

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-117921

(43)Date of publication of application : 15.04.2004

(51)Int.Cl.

G09G 3/30

G09G 3/20

H05B 33/14

(21)Application number : 2002-282041

(71)Applicant : TOSHIBA MATSUSHITA DISPLAY  
TECHNOLOGY CO LTD

(22)Date of filing : 26.09.2002

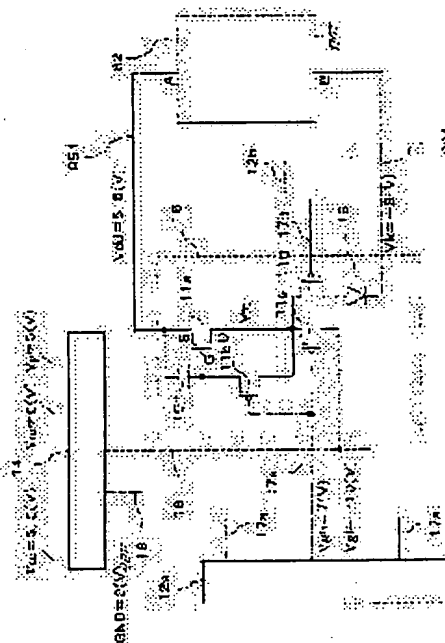
(72)Inventor : MAEDA TOMOYUKI  
TAKUBO YONEJI

## (54) ELECTROLUMINESCENCE DISPLAY DEVICE AND METHOD FOR DRIVING ELECTROLUMINESCENCE DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for driving EL (electroluminescence) display device by which the deterioration of an EL element is suppressed.

**SOLUTION:** When a panel-mounting module is charged, the reverse bias drive is performed. The reverse bias drive is performed by applying voltage  $V_m$  to a source signal line from a source driver circuit. The voltage  $V_m$  is written to the anode side of the EL element of a pixel by applying an ON-voltage to a gate signal line. The voltage  $V_1$  lower than the voltage  $V_m$  is applied to a source (S) terminal of a TFT for driving from an electric source circuit. A reverse bias voltage is applied to the EL element with the voltage  $V_{dd}$  and the voltage  $V_m$ .



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



**【特許請求の範囲】****【請求項 1】**

マトリックス状に配置された、E L 素子と前記 E L 素子を駆動させる駆動手段とから構成される E L 画素を有する E L 表示パネルと、  
前記駆動手段に電流を供給する電流供給手段と、  
前記 E L 素子に印加される電圧が、前記 E L 画素の表示時に印加される電圧と逆方向となるようなバイアス電圧を前記 E L 画素に供給するバイアス電圧供給手段とを備えた E L 表示装置。

**【請求項 2】**

前記バイアス電圧供給手段は、前記 E L 画素が表示を行っていないときに前記バイアス電圧を供給する請求項 1 に記載の E L 表示装置。 10

**【請求項 3】**

前記バイアス電圧供給手段は、前記電流供給手段から前記 E L 画素へ電流が流れないようにしてから、前記バイアス電圧を供給する請求項 2 に記載の E L 表示装置。

**【請求項 4】**

前記バイアス電圧供給手段は、前記電流供給手段が前記 E L 素子に電流を供給する動作をしていないときに、前記バイアス電圧を供給する請求項 2 に記載の E L 表示装置。

**【請求項 5】**

前記電流供給手段は充電池から電力を供給されるものであって、  
前記電流供給手段が電流を供給する動作をしていないとは、前記充電池が充電中である請求項 4 に記載の E L 表示装置。 20

**【請求項 6】**

前記バイアス電圧供給手段は、前記 E L 素子に所定の電圧を印加した後、前記バイアス電圧を供給する請求項 2 に記載の E L 表示装置。

**【請求項 7】**

前記バイアス電圧供給手段は、前記 E L 表示パネルに対するプリチャージ用の電圧を利用して前記所定の電圧を印加する請求項 6 に記載の E L 表示装置。

**【請求項 8】**

前記バイアス電圧印加手段は、前記電流供給手段を利用して前記所定の電圧を印加する請求項 6 に記載の E L 表示装置。 30

**【請求項 9】**

マトリックス状に配置された、E L 素子と前記 E L 素子を駆動させる駆動手段とから構成される E L 画素を有する E L 表示パネルを備えた E L 表示装置の駆動方法であって、  
前記駆動手段に電流を供給する工程と、  
前記 E L 素子に印加される電圧が、前記 E L 画素の表示時に印加される電圧と逆方向となるようなバイアス電圧を前記 E L 画素に供給する工程とを備えた E L 表示装置の駆動方法。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、主として自発光で画像を表示する E L 表示装置と、この E L 表示装置の駆動方法に関するものである。 40

**【0002】****【従来の技術】**

液晶表示パネルは、薄型で低消費電力という利点から、携帯用機器等に多く採用されているため、ワードプロセッサやパーソナルコンピュータ、テレビ (TV) などの機器や、ビデオカメラのビューファインダ、モニターなどにも用いられている。

**【0003】**

しかし、液晶表示パネルは、自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必 50



要であるため、表示モジュールの厚みが厚くなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルターを使用する必要がある。そのため、光利用効率が低いという問題点があった。また、色再現範囲が狭いという問題点があった。

【0004】

近年、有機EL（エレクトロルミネッセンス）表示パネルが開発されてきている。有機EL表示パネルは、低温ポリシリコンTFT（薄膜トランジスタ）アレイを用いてパネルを構成する。また、アモルファスシリコン技術で形成したTFTアレイを用いてパネルを構成する。

【0005】

ところで、EL表示装置は、EL素子が劣化するとともに端子間電圧が上昇するという問題があり、電源電圧を高く設計する必要がある。EL素子そのものの端子間電圧の上昇は、点灯時の電圧と逆方向の逆バイアス電圧を供給し、EL素子に蓄積された電荷を放電することにより解消される（例えば、特許文献1を参照）。

【0006】

【特許文献1】

特許2663648号公報

【0007】

【発明が解決しようとする課題】

しかしながら、上記の技術は飽くまでも単一のEL素子の動作に関するものであり、表示装置として実用可能な、TFTを用いた表示パネルを備えたEL表示装置に対応する技術はなかった。

【0008】

本発明は上記の課題に鑑みてなされたものであり、電源電圧を上げることなくTFTにおける端子間電圧を降下させることのできるEL表示装置およびEL表示方法を提供するものである。

【0009】

【課題を解決するための手段】

上記の目的を達成するために、第1の本発明は、マトリックス状に配置された、EL素子と前記EL素子を駆動させる駆動手段とから構成されるEL画素を有するEL表示パネルと、

前記駆動手段に電流を供給する電流供給手段と、

前記EL素子に印加される電圧が、前記EL画素の表示時に印加される電圧と逆方向となるようなバイアス電圧を前記EL画素に供給するバイアス電圧供給手段とを備えたEL表示装置である。

【0010】

また、第2の本発明は、前記バイアス電圧供給手段は、前記EL画素が表示を行っていないときに前記バイアス電圧を供給する第1の本発明のEL表示装置である。

【0011】

また、第3の本発明は、前記バイアス電圧供給手段は、前記電流供給手段から前記EL画素へ電流が流れないようにしてから、前記バイアス電圧を供給する第2の本発明のEL表示装置である。

【0012】

また、第4の本発明は、前記バイアス電圧供給手段は、前記電流供給手段が前記EL素子に電流を供給する動作をしていないときに、前記バイアス電圧を供給する第2の本発明のEL表示装置である。

【0013】

また、第5の本発明は、前記電流供給手段は充電池から電力を供給されるものであって、前記電流供給手段が電流を供給する動作をしていないとは、前記充電池が充電中である第4の本発明のEL表示装置である。

10

20

30

40

50

## 【0014】

また、第6の本発明は、前記バイアス電圧供給手段は、前記EL素子に所定の電圧を印加した後、前記バイアス電圧を供給する第2の本発明のEL表示装置である。

## 【0015】

また、第7の本発明は、前記バイアス電圧供給手段は、前記EL表示パネルに対するプリチャージ用の電圧を利用して前記所定の電圧を印加する第6の本発明のEL表示装置である。

## 【0016】

また、第8の本発明は、前記バイアス電圧印加手段は、前記電流供給手段を利用して前記所定の電圧を印加する第6の本発明のEL表示装置である。

## 【0017】

また、第9の本発明は、マトリックス状に配置された、EL素子と前記EL素子を駆動させる駆動手段とから構成されるEL画素を有するEL表示パネルを備えたEL表示装置の駆動方法であって、

前記駆動手段に電流を供給する工程と、

前記EL素子に印加される電圧が、前記EL画素の表示時に印加される電圧と逆方向となるようなバイアス電圧を前記EL画素に供給する工程とを備えた

EL表示装置の駆動方法である。

## 【0018】

## 【発明の実施の形態】

本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図11に図示する表示パネルの断面図では封止膜111などを十分厚く図示している。一方、図10において、封止フタ85は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、不要光の反射防止のための位相フィルムなどを省略しているが、適時付加することが望ましい。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

## 【0019】

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図8の表示パネルにタッチパネルなどを付加し、図19、図59から図61に図示する情報表示装置とすることができる。また、拡大レンズ582を取り付けビデオカメラ（図59など参照のこと）などに用いるビューファインダ（図58を参照のこと）を構成することもできる。また、図4、図15、図18、図21、図23などで説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルに適用することができる。つまり、本明細書で記載された駆動方法は本発明の表示パネルに適用することができる。また、本発明は各画素にトランジスタが形成されたアクティブマトリックス型表示パネルを主に説明するがこれに限定するものではなく、単純マトリックス型にも適用することができるというまでもない。

## 【0020】

このように特に明細書中に例示されていなくとも、明細書、図面中で記載あるいは説明した事項、内容、仕様は、互いに組み合わせて請求項に記載することができる。すべての組み合わせについて明細書などで記述することは不可能であるからである。

## 【0021】

近年、低消費電力でかつ高表示品質であり、更に薄型化が可能な表示パネルとして、有機エレクトロルミネッセンス（EL）素子の複数をマトリクス状に配列して構成される有機EL表示パネルが注目されている。有機EL表示パネルは、図10に示すように、画素電極としての透明電極105が形成されたガラス板71（アレイ基板）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも1層の有機機能層（EL層）15、及び金属電極（反射膜）（カソード）106が積層されたものである。透明電極（画素電極）105である陽極（アノード）にプラス、金属電極（反射電極）106の陰極（カソード）に

マイナスの電圧を加え、すなわち、透明電極 105 及び金属電極 106 間に直流を印加することにより、有機機能層 (EL 層) 15 が発光する。良好な発光特性を期待することのできる有機化合物を有機機能層に使用することによって、EL 表示パネルが実用に耐えうるものになっている。なお、本発明は有機 EL 表示パネルを例にして説明をするが、これに限定するものではなく、無機 EL パネルにも適用することができる。また、構造、回路などは TN 液晶表示パネル、STN 液晶表示パネルなど、他の表示パネルにも適用できる事項がある。

#### 【0022】

カソード電極、アノード電極あるいは反射膜は、ITO 電極に誘電体多層膜からなる光学的干渉膜を形成して構成してもよい。誘電体多層膜は低屈折率の誘電体膜と高屈折率の誘電体膜とを交互に多層に形成したものである。つまり、誘電体ミラーである。この誘電体多層膜は有機 EL 構造から放射される光の色調を良好なもの (フィルタ効果) にする機能を有する。なお、透明電極の ITO は IZO などの他の材料でもよい。この事項は画素電極に対しても同様である。

#### 【0023】

アノードあるいはカソードへ電流を供給する配線 (図 8 のカソード配線 86、アノード配線 87) には大きな電流が流れる。たとえば、EL 表示装置の画面サイズが 40 インチサイズになると 100 (A) 程度の電流が流れる。したがって、これらの配線の抵抗値は十分低く作製する必要がある。この課題に対して、本発明では、まず、アノードなどの配線を薄膜で形成する。そして、この薄膜配線に電解めっき技術あるいは無電解めっき技術で導体の厚みを厚く形成している。めっき金属としては、クロム、ニッケル、金、銅、アルミあるいはこれらの合金、アマンガムもしくは積層構造などが例示される。また、必要に応じて、配線そのもの、あるいは配線に銅薄からなる金属配線を付加している。また、配線の上に銅ペーストなどをスクリーン印刷し、ペーストなどを積層させることにより配線の厚みを厚くし、配線抵抗を低下させる。また、ボンディング技術で配線を重複して形成し、配線を補強してもよい。また、必要に応じて、配線に積層してグランドパターンを形成し、配線との間にコンデンサ (容量) を形成してもよい。

#### 【0024】

また、アノードあるいはカソード配線に大きな電流を供給するため、電流供給手段から高電圧で小電流の電力配線で、前記アノード配線などの近傍まで配線し、DCDC コンバータなどを用いて低電圧、高電流に電力変換して供給している。つまり、電源から高電圧、小電流配線で電力消費対象まで配線し、電力消費対象の近傍で大電流、低電圧に変換する。このようなものとして、DCDC コンバータ、トランスなどが例示される。

#### 【0025】

金属電極 106 には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えば Al-Li 合金を用いることが好ましい。また、透明電極 105 には、ITO 等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ITO は IZO などの他の材料でもよい。この事項は他の画素電極 105 に対しても同様である。

#### 【0026】

なお、画素電極 105 などに薄膜を蒸着する際は、アルゴン雰囲気中で有機 EL 膜 15 を成膜するとよい。また、画素電極 105 としての ITO 上にカーボン膜を 20 以上 50 nm 以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。また、EL 膜 15 は蒸着で形成することには限定するものではなく、インクジェットで形成してもよいことは言うまでもない。特に高分子有機 EL 材料ではこのインクジェット工法は有効である。この場合は、高分子有機 EL 材料を塗布する箇所に親水膜を形成しておくといよい。

#### 【0027】

以下、本発明の EL 表示パネル構造の理解を容易とするため、まず、本発明の有機 EL 表

10

20

30

40

50

示パネルの製造方法について説明をする。

【0028】

基板85、基板71の放熱性を良くするため、基板はサファイアガラスで形成してもよい。また、熱伝導性のよい薄膜あるいは厚膜を形成したりしてもよい。たとえば、ダイヤモンド薄膜(DLCなど)を形成した基板を使用することが例示される。もちろん、石英ガラス基板、ソーダガラス基板を用いてもよい。その他、アルミナなどのセラミック基板を使用したり、銅などからなる金属板を使用したり、絶縁膜に金属膜、カーボン膜を蒸着あるいは塗布などのコーティングしたりしたものを用いてもよい。画素電極105を反射型とする場合は、基板材料としては基板の表面方向より光が出射される。したがって、ガラス、石英や樹脂等の透明ないし半透明材料に加えてステンレスなどの非透過材料を用いることもできる。

10

【0029】

また、基板85、基板71の外部あるいは内部に、画素形状に対応してマイクロレンズを形成または配置してもよい。マイクロレンズを構成することにより、EL膜から放射する光の指向性が狭くなり、高輝度化を実現することができる。本発明の実施例では、カソード電極106などを金属膜で形成するとしたが、これに限定するものではなく、ITO、IZOなどの透明膜で形成してもよい。このようにEL素子15のアノードとカソードの両方の電極を透明電極にすることにより、透明EL表示パネルを構成できる(もちろん、一方を光透過性のある金属膜で形成してもよい。あるいは、極薄い金属膜をカソード電極とし、このカソード電極上にITOなどの透明導電体材料を積層して構成してもよい)。金属膜を使わずに透過率を約80%まで上げることにより、文字や絵を表示しながら表示パネルの向こう側がほとんど透けて見えるように構成できる。

20

【0030】

基板85、71はプラスチック基板を用いてもよいことは言うまでもない。プラスチック基板はわれにくく、また、軽量のため携帯電話の表示パネル用基板として最適である。プラスチック基板は、芯材となるベース基板の一方の面に補助の基板を接着剤で貼り合わせて積層基板として用いることが好ましい。もちろん、これらの基板等は板に限定するものではなく、厚さ0.05mm以上0.3mm以下のフィルムでもよい。

【0031】

ベース基板の基板として、脂環式ポリオレフィン樹脂を用いることが好ましい。このような脂環式ポリオレフィン樹脂として日本合成ゴム社製ARTONの厚さ200μmの1枚板が例示される。ベース基板の一方の面に、耐熱性、耐溶剤性または耐透湿性機能を持つハードコート層、および耐透気性機能を持つガスバリア層が形成されたポリエステル樹脂、ポリエチレン樹脂あるいはポリエーテルスルホン樹脂などからなる補助の基板(あるいはフィルムもしくは膜)を配置する。

30

【0032】

以上のように基板71などをプラスチックで構成する場合は、基板71などはベース基板と補助基板から構成する。ベース基板の他方の面に、前述と同様にハードコート層およびガスバリア層が形成されたポリエーテルスルホン樹脂などからなる補助基板(あるいはフィルムもしくは膜)を配置する。補助基板の光学的遅相軸と補助基板の光学的遅相軸とのなす角度が90度となるようにすることが好ましい。なお、ベース基板と補助基板とは接着剤もしくは粘着剤を介して貼り合わせて積層基板とする。

40

【0033】

接着剤としてはUV(紫外線)硬化型でアクリル系の樹脂からなるものを用いることが好ましい。また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は1.47以上1.54以下のものを用いることが好ましい。また、基板の屈折率との屈折率差が0.03以下となるようにすることが好ましい。特に接着剤は先に記載したような酸化チタンなどの光拡散材を添加し、光散乱層として機能させることが好ましい。

【0034】

50

補助基板および補助基板をベース基板に貼り合わせる際には、補助基板の光学的遅相軸と補助基板の光学的遅相軸とがなす角度を45度以上120度以下にすることが好ましい。さらに好ましくは80度以上100度以下することがよい。この範囲にすることにより、補助基板および補助基板であるポリエーテルスルホン樹脂などで発生する位相差を積層基板内で完全に打ち消すことができる。したがって、表示パネル用プラスチック基板は位相差の無い等方性基板として扱うことができるようになる。したがって、円偏光板を使用した構成で、位相状態が異なることによる表示パネルのムラが発生しない。もちろん、円偏光板に関する事項は、基板がプラスチックに限定されるものではなく、ガラス基板の場合にも有効であることは言うまでもない。基板表面で反射する外光によるコントラスト低下を有効に抑制などできるからである。

10

#### 【0035】

この構成により、位相差を持ったフィルム基板またはフィルム積層基板に比べて、著しく汎用性が広がる。つまり、位相差フィルムとを組み合わせるにより直線偏光を楕円偏光に設計どおりに変換できるようになるからである。基板などに位相差があるとこの位相差により設計値との誤差が発生する。

#### 【0036】

ここで、ハードコート層としては、ポリエステル樹脂、エポキシ系樹脂、ウレタン系樹脂またはアクリル系樹脂等を用いることができ、ストライプ状電極（単純マトリックス型EL表示パネル）あるいは画素電極（アクティブマトリックス型表示パネル）を透明導電膜の第1のアンダーコート層とを兼ねる。

20

#### 【0037】

また、ガスバリア層としては、 $\text{SiO}_2$ 、 $\text{SiO}_x$ などの無機材料、またはポリビニールアルコール、ポリイミドなどの有機材料等を用いることができる。粘着剤、接着剤などとしては、先に記述したアクリル系の他にエポキシ系接着剤、またはポリエステル系接着剤等を用いることができる。なお、接着層の厚みは100 $\mu\text{m}$ 以下とする。ただし、基板など表面の凹凸を平滑化するために10 $\mu\text{m}$ 以上とすることが好ましい。

#### 【0038】

また、基板71、85などを構成する補助基板および補助基板として、厚さ40 $\mu\text{m}$ 以上400 $\mu\text{m}$ のものを用いることが好ましい。また、補助基板および補助基板の厚さを120 $\mu\text{m}$ 以下にすることにより、ポリエーテルスルホン樹脂のダイラインと呼ばれる溶融押し出し成形時のむらまたは位相差を低く抑えることができる。好ましくは、補助基板の厚みを50 $\mu\text{m}$ 以上80 $\mu\text{m}$ 以下とする。

30

#### 【0039】

次に、この積層基板に、透明導電膜の補助アンダーコート層として $\text{SiO}_x$ を形成し、必要に応じて画素電極となるITOからなる透明導電膜をスパッタ技術で形成する。また、必要に応じて静電気防止としてITO膜を形成する。このようにして製造した表示パネル用プラスチック基板の透明導電膜は、その膜特性として、シート抵抗値25 $\Omega/\square$ 、透過率80%を実現することができる。

#### 【0040】

ベース基板の厚さが50 $\mu\text{m}$ から100 $\mu\text{m}$ の薄い場合には、表示パネルの製造工程において、表示パネル用プラスチック基板が熱処理によってカールしてしまう。また、回路部品の接続においても良好な結果は得られない。ベース基板を1枚板で厚さ200 $\mu\text{m}$ 以上500 $\mu\text{m}$ 以下とした場合は、基板の変形がなく平滑性に優れ、搬送性が良好で、透明導電膜特性も安定する。また、回路部品の接続も問題なく実施することができる。さらに、特に厚さは250 $\mu\text{m}$ 以上450 $\mu\text{m}$ 以下がよい。適度な柔軟性と平面性をもっているためと考えられる。なお、ITOはIZOなどの他の材料でもよい。この事項は画素電極に対しても同様である。

40

#### 【0041】

なお、基板などとして前述のプラスチック基板などの有機材料を使用する場合は、光変調層に接する面にもバリア層として無機材料からなる薄膜を形成することが好ましい。この

50

無機材料からなるバリア層は、AIRコートと同一材料で形成することが好ましい。なお、封止フタ85、基板71と同様に技術あるいは構成により作製できることは言うまでもない。

#### 【0042】

また、バリア膜を画素電極あるいはストライプ状電極上に形成する場合は、光変調層に印加される電圧のロスを極力低減させるために低誘電率材料を使用することが好ましい。たとえば、フッ素を添加したアモルファスカーボン膜（比誘電率2.0～2.5）が例示される。その他、JSR社が製造販売しているLKDシリーズ（LKD-T200シリーズ（比誘電率2.5～2.7）、LKD-T400シリーズ（比誘電率2.0～2.2））が例示される。LKDシリーズはMSQ（methy-sil sesquioxane）をベースにしたスピン塗布形であり、比誘電率も2.0～2.7と低く好ましい。その他、ポリイミド、ウレタン、アクリル等の有機材料や、SiNx、SiO<sub>2</sub>などの無機材料でもよい。これらのバリア膜材料は補助基板に用いてもよいことは言うまでもない。

#### 【0043】

プラスチックで形成した基板85あるいは71を用いることにより、割れない、軽量化できるといった利点を発揮できる。他に、プレス加工できるといった利点もある。つまり、プレス加工あるいは切削加工により任意の形状の基板を作製できる。また、融解あるいは化学薬品処理により任意の形状、厚みに加工することができる。たとえば、円形に形成したり、球形（曲面など）にしたり、円錐状に加工したりすることが例示される。また、プレス加工により、基板の製造と同時に、一方の基板面に凹凸形状を形成し、散乱面の形成、あるいはエンボス加工を行うことができる。

#### 【0044】

また、プラスチックをプレス加工することにより形成した基板71の穴（図示せず）に、封止フタ85の位置決めピンを挿入できるように形成することも容易である。また、基板71内に厚膜技術あるいは薄膜技術で形成したコンデンサあるいは抵抗などの電気回路を構成してもよい。また、基板71などに凹部（図示せず）を形成し、基板85に凸部を形成し、この凹部と凸部とがちょうどはめ込めるように形成することにより、基板71と基板85とをはめ込みにより一体化することができるよう構成してもよい。

#### 【0045】

ガラス基板を用いた場合は、画素16の周辺部にELを蒸着する際に使用する土手を形成していた。土手（リブ）は樹脂材料を用いて、1.0μm以上3.5μm以下の厚みで凸部状に形成する。さらに好ましくは1.5μm以上2.5μm以下の高さに形成する。土手この樹脂からなる土手（凸部）101を基板71の形成と同時に作製することもできる。なお、土手101材料はアクリル樹脂、ポリイミド樹脂の他、SOG材料でもよい。土手101は基板71をプレス加工する際に樹脂の凸部と同時に形成することが好ましい。これは基板71などを樹脂で形成することにより発生する大きな効果である。このように樹脂部を基板と同時に形成することにより製造時間を短縮できるので低コスト化が可能である。また、基板71などの製造時に、表示領域部にドット状に凸部を形成する。この凸部は隣接画素間に形成するとよい。この凸部は土手101となる。

#### 【0046】

なお、以上の実施例では、土手として機能する凸部を形成するとしたが、これに限定することはない。例えば、画素部をプレス加工などにより掘り下げる（凹部）としてもよい。なお、平面な基板71を最初に形成し、その後、再加熱によりプレスして凹凸を形成する方式も含まれる。

#### 【0047】

また、基板71、85を直接着色することにより、モザイク状のカラーフィルターを形成してもよい。基板にインクジェット印刷などの技術を用いて染料、色素などを塗布し、浸透させる。浸透後、高温で乾燥させ、また、表面をUV樹脂などの樹脂、酸化シリコンあるいは酸化窒素などの無機材料で被覆すればよい。

#### 【0048】

10

20

30

40

50

また、グラビア印刷技術、オフセット印刷技術、スピナーで膜を塗布し、現像する半導体パターン形成技術などでカラーフィルターを形成する。同様に技術を用いてカラーフィルターの他、黒色もしくは暗色あるいは変調する光の補色の関係にあるの着色によりブラックマトリックス（BM）を直接形成してもよい。また、基板面に画素に対応するように凹部を形成し、この凹部にカラーフィルター、BMあるいはトランジスタを埋め込むように構成してもよい。特に表面をアクリル樹脂で被膜することが好ましい。この構成では画素電極面などが平坦化されるという利点もある。

【0049】

また、導電性ポリマーなどにより基板表面の樹脂を導電化し、画素電極105あるいはカソード電極106を直接に構成してもよい。さらに大きくは基板に穴を開け、この穴にコンデンサなどの電子部品を挿入する構成も例示される。基板が薄く構成できる利点が発揮される。

【0050】

また、基板の表面を切削することにより、自由に模様を形成したりしてもよい。また、基板71などの周辺部を溶かすことにより形成してもよい。また、有機EL表示パネルの場合は外部からの水分の進入を阻止するため、基板の周辺部を溶かして封止してもよい。

【0051】

以上のように、基板を樹脂で形成することにより、基板への穴あけ加工が容易である。また、プレス加工などにより自由に基板形状を構成することができる。また、基板71に穴をあけ、この穴に導電樹脂などを充填し、基板の表と裏とを電気的に導通させたりすることもできる。基板71などが多層回路基板あるいは両面基板として利用できる。

【0052】

また、導電樹脂のかわりに導電ピンなどを挿入してもよい。形成した穴にコンデンサなどの電子部品の端子を差し込めるように構成してもよい。また、基板内に薄膜による回路配線、コンデンサ、コイルあるいは抵抗を形成してもよい。つまり、基板71など自身を多層の配線基板としてもよい。多層化は薄い基板をはりあわせることのより構成する。はり合わせる基板（フィルム）の1枚以上を着色してもよい。

【0053】

また、基板材料に染料、色素を加えて基板自身に着色を行ったり、フィルタを形成したりすることができる。また、製造番号を基板作製と同時に形成することもできる。また、表示領域以外の部分だけを着色したりすることにより、積載したICチップに光が照射されることのより誤動作することを防止できる。

また、基板の表示領域の半分を異なる色に着色することもできる。これは、樹脂板加工技術（インジェクション加工、コンプレクション加工など）を応用すればよい。また、同様の加工技術を用いることのより表示領域の半分を異なるEL層膜厚にすることもできる。また、表示部と回路部とを同時に形成することもできる。また、表示領域とドライバ積載領域との基板厚みを変化させることも容易である。

【0054】

また、基板71または基板85に、画素に対応するように、あるいは表示領域に対応するようにマイクロレンズを形成することもできる。また、基板71、85を加工することにより、回折格子を形成してもよい。また、画素サイズよりも十分に微細な凹凸を形成し、視野角を改善したり、視野角依存性を持たせたりすることができる。なお、このような任意形状の加工、微細加工技術などはオムロン（株）が開発したマイクロレンズ形成するスタンプ技術で実現できる。

【0055】

基板71、85が空気と接する面には、反射防止膜（AIRコート）が形成される。基板71などに偏光板などが張り付けられていない場合は、基板71などに直接に反射防止膜（AIRコート）が形成される。偏光板（偏光フィルム）など他の構成材料が張り付けられている場合は、その構成材料の表面などに反射防止膜（AIRコート）が形成される。

【0056】

10

20

30

40

50

なお、以上の実施例は基板 71 などがプラスチックで形成することを中心として説明したが、これに限定するものではない。たとえば、基板 71、859 がガラス基板、金属基板であっても、プレス加工、切削加工などにより、土手 101 などの凹凸部を形成または構成できる。また、基板への着色なども可能である。したがって、説明した事項はプラスチック基板に限定するものではない。また、基板に限定するものでもない。たとえば、フィルムあるいはシートでもよい。

また、偏光板の表面へのごみの付着を防止あるいは抑制するため、フッ素樹脂からなる薄膜を形成することが有効である。また、静電防止のために親水基を有する薄膜、導電性ポリマー膜、金属膜などの導電体膜を塗布あるいは蒸着してもよい。

#### 【0057】

なお、表示パネルの光入射面あるいは光出射面に配置または形成する偏光板（偏光フィルム）は直線偏光にするものに限定するものではなく、楕円偏光となるものであってもよい。また、複数の偏光板をはり合わせたり、偏光板と位相差板とを組み合わせたり、もしくははり合わせたものを用いてもよい。

#### 【0058】

偏光フィルムを構成する主たる材料としては TAC フィルム（トリアセチルセルロースフィルム）が最適である。TAC フィルムは、優れた光学特性、表面平滑性および加工適性を有するからである。

#### 【0059】

AIR コートは誘電体単層膜もしくは多層膜で形成する構成が例示される。その他、1.35~1.45 の低屈折率の樹脂を塗布してもよい。たとえば、フッ素系のアクリル樹脂などが例示される。特に屈折率が 1.37 以上 1.42 以下のものが特性は良好である。

#### 【0060】

また、AIR コートは 3 層の構成あるいは 2 層構成がある。なお、3 層の場合は広い可視光の波長帯域での反射を防止するために用いられる。これをマルチコートと呼ぶ。2 層の場合は特定の可視光の波長帯域での反射を防止するために用いられる。これを V コートと呼ぶ。マルチコートと V コートは表示パネルの用途に応じて使い分ける。なお、2 層以上の限定するものではなく、1 層でもよい。

#### 【0061】

マルチコートの場合は酸化アルミニウム ( $\text{Al}_2\text{O}_3$ ) を光学的膜厚が  $nd = \lambda / 4$ 、ジルコニウム ( $\text{ZrO}_2$ ) を  $nd = \lambda / 2$ 、フッ化マグネシウム ( $\text{MgF}_2$ ) を  $nd = \lambda / 4$  積層して形成する。通常、 $\lambda$  として 520 nm もしくはその近傍の値として薄膜は形成される。

#### 【0062】

V コートの場合は一酸化シリコン ( $\text{SiO}$ ) を光学的膜厚  $nd = \lambda / 4$  とフッ化マグネシウム ( $\text{MgF}_2$ ) を  $nd = \lambda / 4$ 、もしくは酸化イットリウム ( $\text{Y}_2\text{O}_3$ ) とフッ化マグネシウム ( $\text{MgF}_2$ ) を  $nd = \lambda / 4$  積層して形成する。 $\text{SiO}$  は青色側に吸収帯域があるため青色光を変調する場合は  $\text{Y}_2\text{O}_3$  を用いた方がよい。また、物質の安定性からも  $\text{Y}_2\text{O}_3$  の方が安定しているため好ましい。また、 $\text{SiO}_2$  薄膜を使用してもよい。もちろん、低屈折率の樹脂等を用いて AIR コートとしてもよい。たとえばフッ素等のアクリル樹脂が例示される。これらは紫外線硬化タイプを用いることが好ましい。

#### 【0063】

なお、表示パネルに静電気がチャージされることを防止するため、カバー基板などの導光板、表示パネルなどの表面に親水性の樹脂を塗布しておくこと、あるいはパネルなどの基板材料に親水性が良好な材料で構成しておくことが好ましい。

#### 【0064】

1 画素には複数のスイッチング素子あるいは電流制御素子としての薄膜トランジスタ（トランジスタ）を形成する。形成するトランジスタは、同じ種類のトランジスタであってもよいし、P チャンネル型と N チャンネル型のトランジスタというように、違う種類のトランジスタであってもよいが望ましくはスイッチングトランジスタ、駆動用トランジスタと

10

20

30

40

50



も同極性のものが望ましい。またトランジスタの構造は、プレーナー型のトランジスタで限定されるものではなく、スタガー型でも、逆スタガー型でもよく、また、セルフアライン方式を用いて不純物領域（ソース、ドレイン）が形成されたものでも、非セルフアライン方式によるものでもよい。

#### 【0065】

本発明のEL表示素子15は、基板上に、ホール注入電極（画素電極）となるITO、1種以上の有機層と、電子注入電極とが順次積層されたEL構造体を有する。前記基板にはトランジスタが設けられている。

本発明のEL表示素子を製造するには、まず、基板上にトランジスタのアレイを所望の形状に形成する。そして、平坦化膜上の画素電極として透明電極であるITOをスパッタ法で成膜、パターニングする。その後、有機EL層、電子注入電極等を積層する。

#### 【0066】

トランジスタとしては、通常が多結晶シリコントランジスタを用いればよい。トランジスタは、EL構造体の各画素の端部に設けられ、その大きさは10～30μm程度である。なお、画素の大きさは20μm×20μm～300μm×300μm程度である。

#### 【0067】

基板71上には、トランジスタの配線電極が設けられる。配線電極は抵抗が低く、ホール注入電極を電気的に接続して抵抗値を低く抑える機能があり、一般的にはその配線電極は、Al、Alおよび遷移金属（ただしTiを除く）、Tiまたは窒化チタン（TiN）のいずれか1種または2種以上を含有するものが使われるが、本発明においてはこの材料に限られるものではない。EL構造体の下地となるホール注入電極とトランジスタの配線電極とを併せた全体の厚さとしては、特に制限はないが、通常100～1000nm程度とすればよい。

#### 【0068】

トランジスタ11の配線電極とEL構造体の有機層との間には絶縁層を設ける。絶縁層は、SiO<sub>2</sub>等の酸化ケイ素、窒化ケイ素などの無機系材料をスパッタや真空蒸着で成膜したもの、SOG（スピン・オン・ガラス）で形成した酸化ケイ素層、フォトレジスト、ポリイミド、アクリル樹脂などの樹脂系材料の塗膜など、絶縁性を有するものであればいずれであってもよい。中でもポリイミドが好ましい。また、絶縁層は、配線電極を水分や腐食から守る耐食・耐水膜の役割も果たす。

#### 【0069】

EL構造体の発光ピークは2つ以上であってもかまわない。本発明のEL表示素子は、緑および青色発光部は、例えば、青緑色発光のEL構造体と、緑色透過層または青色透過層との組み合わせにより得られる。赤色発光部は、青緑色発光のEL構造体と、このEL構造体の青緑発光を赤色に近い波長に変換する蛍光変換層により得ることができる。

#### 【0070】

次に、本発明のEL表示素子15を構成するEL構造体について説明する。本発明のEL構造体は、透明電極である電子注入電極と、1種以上の有機層と、ホール注入電極とを有する。有機層は、それぞれ少なくとも1層のホール輸送層および発光層を有し、例えば、電子注入輸送層、発光層、正孔輸送層、正孔注入層を順次有する。なお、ホール輸送層はなくてもよい。本発明のEL構造体の有機層は、種々の構成とすることができ、電子注入・輸送層を省略したり、あるいは発光層と一体としたり、正孔注入輸送層と発光層とを混合してもよい。電子注入電極は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金で構成される。

#### 【0071】

ホール注入電極としては、ホール注入電極側から発光した光を取り出す構造であるため、例えば、ITO（錫ドープ酸化インジウム）、IZO（亜鉛ドープ酸化インジウム）、ZnO、SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>等が挙げられるが、特にITO、IZOが好ましい。ホール注入電極の厚さは、ホール注入を十分行える一定以上の厚さを有すれば良く、通常、10～500nm程度とすることが好ましい。素子の信頼性を向上させるために駆動電圧

10

20

30

40

50

が低いことが必要であるが、好ましいものとして、 $10 \sim 30 \Omega/\square$  (膜厚  $50 \sim 300 \text{ nm}$ ) のITOが挙げられる。実際に使用する場合には、ITO等のホール注入電極界面での反射による干渉効果が、光取り出し効率や色純度を十分に満足するように、電極の膜厚や光学定数を設定すればよい。

#### 【0072】

ホール注入電極は、蒸着法等によっても形成できるが、スパッタ法により形成することが好ましい。スパッタガスとしては、特に制限するものではなく、Ar、He、Ne、Kr、Xe等の不活性ガス、あるいはこれらの混合ガスを用いればよい。

#### 【0073】

電子注入電極は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金で構成される。成膜される電子注入電極の構成材料としては例えば、K、Li、Na、Mg、La、Ce、Ca、Sr、Ba、Al、Ag、In、Sn、Zn、Zr等の金属元素単体、または安定性を向上させるためにそれらを含む2成分、3成分の合金系を用いることが好ましい。合金系としては、例えばAg・Mg (Ag:  $1 \sim 20 \text{ at}\%$ )、Al・Li (Li:  $0.3 \sim 14 \text{ at}\%$ )、In・Mg (Mg:  $50 \sim 80 \text{ at}\%$ )、Al・Ca (Ca:  $5 \sim 20 \text{ at}\%$ ) 等が好ましい。

#### 【0074】

電子注入電極薄膜の厚さは、電子注入を十分行える一定以上の厚さとすれば良く、 $0.1 \text{ nm}$ 以上、好ましくは $1 \text{ nm}$ 以上とすればよい。また、その上限値には特に制限はないが、通常、膜厚は $100 \sim 500 \text{ nm}$ 程度とすればよい。

正孔注入層は、ホール注入電極からの正孔の注入を容易にする機能を有し、正孔輸送層は、正孔を輸送する機能および電子を妨げる機能を有し、電荷注入層、電荷輸送層とも称される。

#### 【0075】

電子注入輸送層は、発光層に用いる化合物の電子注入輸送機能がさほど高くないときなどに設けられ、電子注入電極からの電子の注入を容易にする機能、電子を輸送する機能および正孔を妨げる機能を有する。正孔注入層、正孔輸送層および電子注入輸送層は、発光層へ注入される正孔や電子を増大・閉じ込めさせ、再結合領域を最適化させ、発光効率を改善する。なお、電子注入輸送層は、注入機能を持つ層と輸送機能を持つ層とに別個に設けてもよい。

#### 【0076】

発光層の厚さ、正孔注入層と正孔輸送層とを併せた厚さおよび電子注入輸送層の厚さは特に限定されず、形成方法によっても異なるが、通常、 $5 \sim 100 \text{ nm}$ 程度とすることが好ましい。

#### 【0077】

正孔注入層、正孔輸送層の厚さおよび電子注入輸送層の厚さは、再結合・発光領域の設計によるが、発光層の厚さと同程度もしくは $1/10 \sim 10$ 倍程度とすればよい。正孔注入層、正孔輸送層の厚さ、および、電子注入層と電子輸送層とを分ける場合のそれぞれの厚さは、注入層は $1 \text{ nm}$ 以上、輸送層は $20 \text{ nm}$ 以上とするのが好ましい。このときの注入層、輸送層の厚さの上限は、通常、注入層で $100 \text{ nm}$ 程度、輸送層で $100 \text{ nm}$ 程度である。このような膜厚については注入輸送層を2層設けるときの同じである。

#### 【0078】

また、組み合わせる発光層や電子注入輸送層や正孔注入輸送層のキャリア移動度やキャリア密度 (イオン化ポテンシャル・電子親和力により決まる) を考慮しながら、膜厚をコントロールすることで、再結合領域・発光領域を自由に設計することが可能であり、発光色の設計や、両電極の干渉効果による発光輝度・発光スペクトルの制御や、発光の空間分布の制御を可能にできる。

#### 【0079】

本発明のEL素子15の発光層には、発光機能を有する化合物である蛍光性物質を含有させる。この蛍光性物質としては、トリス (8-キノリノラト) アルミニウム [Alq3]

等の金属錯体色素、フェニルアントラセン誘導体、テトラアリールエテン誘導体、青緑色発光材料が挙げられる。

#### 【0080】

なお、正孔注入層の材料に2%のフタルシアニンを添加したCuPcを採用するとよい。CuPcを単独で使う場合に比較して格段に耐熱性が向上する。

#### 【0081】

85℃で1000時間駆動した後の輝度は、初期の輝度(400cd/m<sup>2</sup>に設定)に対し、CuPcのみでは約45%低下するが、フタルシアニンを添加したものが約35%減にとどまる。これは、フタルシアニンの添加によってCuPcの結晶化が抑制されたためと推定される。CuPcがアモルファス状態を保てば、輝度低下を抑えることができる。フタルシアニン添加による耐熱性向上の効果は、1%以上5%以上で最も大きくなる。特に1%以上3%以下が適切である。なお、20%くらいまでは添加の効果はあるが、それ以上に添加量が増えるとかえって耐熱性は低下する。

10

#### 【0082】

青色発光の有機EL素子15は、発光層の材料に発光波長が約400nmの「DMPhen (Triphenylamine)」を用いるとよい。この際、発光効率を高める目的で、電子注入層(Bathocuproine)と正孔注入層(M-MTDATA)にバンド・ギャップが発光層と同じ材料を採用することが好ましい。バンド・ギャップが3.4eVと大きいDMPhenを発光層に用いただけでは、電子は電子注入層に、正孔は正孔注入層にとどまり、発光層で電子と正孔の再結合が起こりにくいからである。DMPhenのようにアミン基を備える発光材料は構造が不安定で長寿命化し難いという課題に対しては、DMPhen中で励起したエネルギーをドープメントに移動させ、ドープメントから発光させることにより解決できる。

20

#### 【0083】

EL材料として、りん光発光材料を用いることにより発光効率を向上できる。蛍光発光材料は、その外部量子効率率は2~3%程度である。蛍光発光材料は内部量子効率(励起によるエネルギーが光に変わる効率)が25%なのに対し、りん光発光材料は100%近くに達するため、外部量子効率が高くなる。

#### 【0084】

有機EL素子の発光層のホスト材料にはCBPを用いるとよい。ここに赤色(R)や緑色(G)、青色(B)のりん光発光材料をドーピングしている。ドーピングした材料はすべてIrを含む。R材料はBtp2Ir(acac)、G材料は(ppy)2Ir(acac)、B材料はFIrpicを用いると良い。

30

#### 【0085】

また、正孔注入層・正孔輸送層には、各種有機化合物を用いることができる。正孔注入輸送層、発光層および電子注入輸送層の形成には、均質な薄膜が形成できることから真空蒸着法を用いることが好ましい。

#### 【0086】

以下、本発明のEL表示パネルの製造方法および構造についてさらに詳しく説明をする。以前に説明したように、まず、アレイ基板71に画素を駆動するトランジスタ11を形成する。1つの画素は2個以上、好ましくは4個または5個のトランジスタで構成される。また、画素は電流プログラムされ、プログラムされた電流がEL素子15に供給される。通常、電流プログラムされた値は電圧値として蓄積容量19に保持される。このトランジスタ11の組み合わせなど画素構成については後に説明をする。次にトランジスタ11に正孔注入電極としての画素電極を形成する。画素電極105はフォトリソグラフィによりパターン化する。なお、トランジスタ11の下層、あるいは上層にはトランジスタ11に光入射することにより発生するホットコンダクタ現象(以後、ホットコンと呼ぶ)による画質劣化を防止するために、遮光膜を形成または配置する。

40

#### 【0087】

なお、電流プログラムとは、ソースドライバ回路14からプログラム電流を画素に印加し

50

(もしくは画素からソースドライバ回路14に吸収し)、この電流に相当する信号値を画素に保持させるものである。この保持された信号値に対応する電流をEL素子15に流す(もしくは、EL素子15から流し込む)。つまり、電流でプログラムし、プログラムされた電流に相当(対応)する電流をEL素子15に流すようにするものである。

#### 【0088】

一方、電圧プログラムとは、ソースドライバ回路14からプログラム電圧を画素に印加し、この電圧に相当する信号値を画素に保持させるものである。この保持された電圧に対応する電流をEL素子15に流す。つまり、電圧でプログラムし、画素内で電圧を電流値に変換し、プログラムされた電圧に相当(対応)する電流をEL素子15に流すようにするものである。

10

#### 【0089】

プラスチック基板にトランジスタを形成するためには、有機半導体を形成する表面を加工することで、炭素と水素からなるペンタセン分子を利用し電子薄膜を形成すればよい。この薄膜は、従来の結晶粒の20倍から100倍の大きさを持つとともに、電子デバイス製造に適した十分な半導体特性を具備する。

#### 【0090】

ペンタセンは、シリコン基板上で成長する際に表面の不純物に付着する傾向がある。このため、成長が不規則となり、高品質のデバイスを製造するには小さすぎる結晶粒になる。結晶粒をより大きく成長させるために、まずシリコン基板の上に、シクロヘキセンと呼ばれる分子の単一層「分子パッファ」を塗布するとよい。この層がシリコン上の「sticky sites(くっつきやすい場所)」を覆うため、清浄な表面ができてペンタセンが非常に大きな結晶粒にまで成長する。

20

#### 【0091】

これらの新しい大きな結晶粒の薄膜を使うことにより、大型結晶粒のペンタセンを用いたフレキシブルなトランジスタ(トランジスタ)を作製することができる。このようなフレキシブルなトランジスタの大量生産のために、低い温度で液状の材料を塗ることによってトランジスタ(トランジスタ)を製造することができる。

#### 【0092】

また、基板上にゲートとなる金属薄膜と島状に形成し、この上にアモルファスシリコン膜を蒸着あるいは塗布した後、加熱して半導体膜を形成してもよい。島状に形成した部分に半導体膜が良好に結晶化する。そのため、モビリティが良好となる。

30

#### 【0093】

有機トランジスタ(トランジスタ)として、静電誘導トランジスタ(SIT)と呼ぶ構造を採用することが好ましい。アモルファス状態のペンタセンを使用する。正孔の移動度は $1 \times 10 \text{ cm}^2/\text{Vs}$ と結晶化したペンタセンよりも低い。しかし、SIT構造を採用することにより周波数特性を高めることができる。ペンタセンの膜厚は100以上300nmとすることが好ましい。

#### 【0094】

また、有機トランジスタとしてp型電界効果トランジスタでもよい。プラスチック基板上にトランジスタを形成できる。プラスチック基板ごと折り曲げることが可能なので、フレキシブルなトランジスタ型表示パネルを構成できるペンタセンは多結晶状態とすることが好ましい。ゲート絶縁膜の材料にはPMAAを使用することが好ましい。有機トランジスタの活性層にはナフタセンを使ってもよい。

40

#### 【0095】

洗浄時に酸素プラズマ、O<sub>2</sub>アッシャーを使用すると、画素電極105の周辺部の平坦化膜102も同時にアッシングされ、画素電極105の周辺部がえぐられてしまう。この課題を解決するために、画素電極105の周辺部をアクリル樹脂からなるエッジ保護膜(基本的には土手101)を形成している。エッジ保護膜105の構成材料としては、平坦化膜102を構成するアクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、SiO<sub>2</sub>、SiN<sub>x</sub>などの無機材料が例示される。その他、Al<sub>2</sub>O<sub>3</sub>、T

50

a 2 O 3 などであってもよいことは言うまでもない。

【0096】

エッジ保護膜101は画素電極105のパターニング後、画素電極105間を埋めるように形成する。もちろん、このエッジ保護膜101を2以上4 $\mu$ m以下の高さに形成し、有機EL材料を塗り分ける際のメタルマスクの土手（メタルマスクが画素電極105とが直接に接しないようにするスペーサ）としてもよいことは言うまでもない。

【0097】

ゲート絶縁膜に比誘電率が2.4と高いTa<sub>2</sub>O<sub>5</sub>を採用するとよい。ゲート絶縁膜の厚さは129nmと厚く、しかもチャネル長は500 $\mu$ mと長いにも関わらずP型トランジスタは電源電圧-5Vで良好に動作する。チャネル層の材料には、ペンタセンと呼ばれる有機材料を用いる。キャリアである正孔（ホール）の移動度は0.40cm<sup>2</sup>/Vs以上、トランジスタがオン時のドレイン電流と、オフ時の漏れ電流との比は10<sup>4</sup>を実現できる。

【0098】

画素電極105上にEL膜（15R（赤）、15G（緑）、15B（青））が形成される。各EL膜15はわずかな隙間をあけて形成されるか、周辺部を重ねられる。重ねられた箇所はほとんど発光しない。また、EL膜15上にカソードとなるアルミ膜106が形成される。

【0099】

真空蒸着装置は市販の高真空蒸着装置（日本真空技術株式会社製、EBV-6DA型）を改造した装置を用いる。主たる排気装置は排気速度1500リットル/minのターボ分子ポンプ（大阪真空株式会社製、TC1500）であり、到達真空度は約1 $\times$ 10<sup>-6</sup>Torr以下であり、全ての蒸着は2 $\sim$ 3 $\times$ 10<sup>-6</sup>Torrの範囲で行う。また、全ての蒸着はタングステン製の抵抗加熱式蒸着ボートに直流電源（菊水電子株式会社製、PAK10-70A）を接続して行うとよい。

【0100】

このようにして真空層中に配置したアレイ基板上に、カーボン膜20 $\sim$ 50nmを成膜する。次に、正孔注入層として4-（N、N'-ビス（p-メチルフェニル）アミノ）- $\alpha$ -フェニルスチルベンを0.3nm/secの蒸着速度で膜厚約5nmに形成する。

【0101】

正孔輸送層として、N、N'-ビス（4'-ジフェニルアミノ-4-ピフェニル）-N、N'-ジフェニルベンジジン（保土ヶ谷化学株式会社製）と、4-N、N'-ジフェニルアミノ- $\alpha$ -フェニルスチルベンを、それぞれ0.3nm/sおよび0.01nm/sの蒸着速度で共蒸着して膜厚約80nmに形成した。発光層（電子輸送層）としてトリス（8-キノリノラト）アルミニウム（同仁化学株式会社製）を0.3nm/secの蒸着速度で膜厚約40nmに形成する。

【0102】

次に、電子注入電極として、AlLi合金（高純度化学株式会社製、Al/Li重量比9/1）から低温でLiのみを、約0.1nm/secの蒸着速度で膜厚約1nmに形成し、続いて、そのAlLi合金をさらに昇温する。Liが出尽くした状態から、Alのみを、約1.5nm/sの蒸着速度で膜厚約100nmに形成し、積層型の電子注入電極とした。

【0103】

このようにして作成した有機薄膜EL素子15は、蒸着槽内を乾燥窒素でリークした後、乾燥窒素雰囲気下で、コーニング7059ガラス製の封止フタ85をシール接着剤（シール剤）（アネルバ株式会社製、商品名スーパーバックシール953-7000）で貼り付けて表示パネルとする。

【0104】

なお、封止フタ85とアレイ基板71との空間には乾燥剤107を配置する。これは、有機EL膜15は湿度に弱いためである。乾燥剤107によりシール剤を浸透する水分を吸

10

20

30

40

50

収し有機EL膜15の劣化を防止する。

【0105】

シール剤15からの水分の浸透を抑制するためには外部からの経路（パス）を長くすることが良好な対策である。このため、本発明の表示パネルでは、表示領域の周辺部に微細な凹凸を形成している。アレイ基板71の周辺部に形成した凹凸部は少なくとも2重に形成する。凸と凸との間隔（形成ピッチ）は $100\mu\text{m}$ 以上 $500\mu\text{m}$ 以下に形成することが好ましく、また、凸の高さは $30\mu\text{m}$ 以上 $300\mu\text{m}$ 以下とすることが好ましい。この凸部はスタンプ技術で形成する。このスタンプ技術はオムロン社がマイクロレンズ形成の方法として採用している方式、松下電器がCDのピックアップレンズで微小レンズの形成方式として用いている方式などを応用する。

10

【0106】

一方、封止フタ85にも凹または凸部を形成する。凹または凸部の形成ピッチは基板71に形成した凸部の形成ピッチと同一にする。このように基板71と基板85の凹または凸部の形成ピッチを同一にすることにより凸部に凹部がちょうどはまり込む。そのため、表示パネルの製造時に封止フタ85とアレイ基板71との位置ずれが発生しない。凸部と凹部間にはシール剤を配置する。シール剤は封止フタ85とアレイ基板71とを接着するとともに、外部からの水分の浸入を防止する。

【0107】

シール剤としてはUV（紫外線）硬化型でアクリル系の樹脂からなるものを用いることが好ましい。また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は1.47以上1.54以下のものを用いることが好ましい。特にシール接着剤は酸化チタンの微粉末、酸化シリコンなどの微粉末を重量比で65%以上95%以下の割合で添加することが好ましい。また、この微粉末の粒子径は平均直径 $20\mu\text{m}$ 以上 $100\mu\text{m}$ 以下とすることが好ましい。微粉末の重量比が多くなるほど外部からの湿度の進入を抑制する効果が高くなる。しかし、あまりに多いと気泡などが入りやすく、かえって空間が大きくなりシール効果が低下してしまう。

20

【0108】

乾燥剤107の重量はシールの長さ10mmあたり0.04g以上0.2g以下をすることが好ましい。特にシールの長さ10mmあたり0.06g以上0.15g以下をすることが望ましい。乾燥剤の量がすくなくすぎると水分防止効果が少なくすぐに有機EL層15が劣化する。多すぎると乾燥剤がシールをする際に障害となり、良好なシールを行うことができない。なお、乾燥剤107はシート状に形成しておき、フタ85とEL膜間に配置するとよい。その際、乾燥剤107にUV硬化樹脂を塗布しておき、配置後、紫外線を照射し、UV樹脂を硬化させて固定させるとよい。

30

【0109】

図10はガラスのフタ85を用いて封止する構成であるが、図11のようにフィルム（薄膜でもよい。つまり薄膜封止膜）111を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）111としては電解コンデンサのフィルムにDLC（ダイヤモンドライクカーボン）を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿）。このフィルムを封止膜111として用いる。また、DLC膜などを電極106の表面に直接蒸着する構成ものよいことは言うまでもない。

40

【0110】

なお、この場合は、カソードとアノードの位置関係は逆転する場合がある。薄膜の膜厚は $n \cdot d$ （ $n$ は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜の $n \cdot d$ を計算）にして計算する。 $d$ は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、EL素子15の発光主波長 $\lambda$ 以下となるようにするとよい。この条件を満足させることにより、EL素子15からの光取り出し効率が、ガラス基板で封止した場合に比較して2倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

50

## 【0111】

以上のようにフタ85を用いず、封止膜111で封止する構成を薄膜封止と呼ぶ。基板71側から光を取り出す「下取り出し（図10を参照、光取り出し方向は図10の矢印方向である）」の場合の薄膜封止は、EL膜を形成後、EL膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下の厚みが適する。さらに好ましくは、膜厚は $2\mu\text{m}$ 以上 $6\mu\text{m}$ 以下の厚みが適する。この緩衝膜上の封止膜74を形成する。緩衝膜がないと、応力によりEL膜の構造が崩れ、筋状に欠陥が発生する。封止膜111は前述したように、DLC（ダイヤモンドライクカーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

10

## 【0112】

EL層15側から光を取り出す「上取り出し図11を参照、光取り出し方向は図11の矢印方向である」の場合の薄膜封止は、EL膜15を形成後、EL膜15上にカソード（アノード）となるAg-Mg膜を20オングストローム以上300オングストロームの膜厚で形成する。その上に、ITOなどの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜111を形成する。

## 【0113】

有機EL層15から発生した光の半分は、反射膜106で反射され、アレイ基板71と透過して出射される。しかし、反射膜106には外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板71に $\lambda/4$ 板108および偏光板（偏光フィルム）109を配置している。

20

## 【0114】

なお、画素が反射電極の場合はEL層15から発生した光は上方向に出射される。したがって、位相板108および偏光板109は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極105を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極105の表面に、凸部（もしくは凹凸部）を設けることで有機EL層15との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード106（アノード105）となる反射膜を透明電極に形成する、あるいは反射率を30%以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

30

## 【0115】

また、ディスプレイ内部に2層の薄膜を形成することによって実現する外光反射を光学干渉によって打ち消すことで有機EL表示パネルのコントラストを向上することができる。従来の円偏光板を使う場合に比べてコストを低減できる。また、円偏光板が抱えていた拡散反射の問題や、表示色の視野角依存性及び有機EL発光層の膜厚依存性の問題を解決できる。

## 【0116】

基板71と偏光板（偏光フィルム）109間には1枚あるいは複数の位相フィルム108（位相板、位相回転手段、位相差板、位相差フィルム）が配置される。位相フィルムとしてはポリカーボネートを使用することが好ましい。位相フィルムは入射光を出射光に位相差を発生させ、効率よく光変調を行うのに寄与する。

40

## 【0117】

その他、位相フィルムとして、ポリエステル樹脂、PVA樹脂、ポリサルホン樹脂、塩化ビニール樹脂、ゼオネックス樹脂、アクリル樹脂、ポリスチレン樹脂等の有機樹脂板あるいは有機樹脂フィルムなどを用いてもよい。その他、水晶などの結晶を用いてもよい。1つの位相板の位相差は一軸方向に $50\text{nm}$ 以上 $350\text{nm}$ 以下とすることが好ましく、さらには $80\text{nm}$ 以上 $220\text{nm}$ 以下とすることが好ましい。なお、位相フィルムと偏光板とを一体化した円偏光板（円偏光フィルム）を用いてもよいことはいうまでもない。

## 【0118】

50

位相フィルム108は染料あるいは顔料で着色しフィルタとしての機能をもたせることが好ましい。特に有機EL15は赤(R)の純度が悪い。そのため、着色した位相フィルム108で一定の波長範囲をカットして色温度を調整する。カラーフィルターは、染色フィルターとして顔料分散タイプの樹脂で設けられるのが一般的である。顔料が特定の波長帯域の光を吸収して、吸収されなかった波長帯域の光を透過する。

#### 【0119】

以上のように位相フィルム108の一部もしくは全体を着色したり、一部もしくは全体に拡散機能をもたせたりしてもよい。また、表面をエンボス加工したり、反射防止のために反射防止膜を形成したりしてもよい。また、画像表示に有効でない箇所もしくは支障のない箇所に、遮光膜もしくは光吸収膜を形成し、表示画像の黒レベルをひきしめたり、ハレーション防止によるコントラスト向上効果を発揮させたりすることが好ましい。また、位相フィルムの表面に凹凸を形成することによりかまぼこ状あるいはマトリックス状にマイクロレンズを形成してもよい。マイクロレンズは1つの画素電極あるいは3原色の画素にそれぞれ対応するように配置する。

10

#### 【0120】

先にも記述したが、位相フィルムの機能はカラーフィルターに持たせてもよい。たとえば、カラーフィルターの形成時に圧延し、もしくは光重合により一定の方向に位相差が生じるようにすることにより位相差を発生させることができる。その他、平滑化膜102を光重合させることにより位相差を持たせてもよい。このように構成すれば位相フィルムを基板外に構成あるいは配置する必要がなくなり表示パネルの構成が簡易になり、低コスト化が望める。なお、以上の事項は偏光板に適用してもよいことはいうまでもない。

20

#### 【0121】

偏光板(偏光フィルム)109を構成する主たる材料としてはTACフィルム(トリアセチルセルロースフィルム)が最適である。TACフィルムは、優れた光学特性、表面平滑性および加工適性を有するからである。TACフィルムの製造については、溶液流延製膜技術で作製することが最適である。

#### 【0122】

偏光板109はヨウ素などをポリビニールアルコール(PVA)樹脂に添加した樹脂フィルムのものが例示される。一對の偏光分離手段の偏光板109は入射光のうち特定の偏光軸方向と異なる方向の偏光成分を吸収することにより偏光分離を行うので、光の利用効率が比較的悪い。そこで、入射光のうち特定の偏光軸方向と異なる方向の偏光成分(reflective polarizer:リフレクティブ・ポラライザー)を反射することにより偏光分離を行う反射偏光子を用いてもよい。このように構成すれば、反射偏光子により光の利用効率が高まって、偏光板を用いた上述の例よりもより明るい表示が可能となる。

30

#### 【0123】

また、このような偏光板や反射偏光子以外にも、本発明の偏光分離手段としては、例えばコレステリック液晶層と(1/4)λ板108を組み合わせたもの、プリュースターの角度を利用して反射偏光と透過偏光とに分離するもの、ホログラムを利用するもの、偏光ビームスプリッタ(PBS)等を用いることも可能である。

40

#### 【0124】

図10では図示していないが、偏光板109の表面にはAIRコートを施している。AIRコートは誘電体単層膜もしくは多層膜で形成する構成が例示される。その他、1.35~1.45の低屈折率の樹脂を塗布してもよい。たとえば、フッ素系のアクリル樹脂などが例示される。特に屈折率が1.37以上1.42以下のものが特性は良好である。

#### 【0125】

また、AIRコートは3層の構成あるいは2層構成がある。なお、3層の場合は広い可視光の波長帯域での反射を防止するために用いられ、これをマルチコートと呼ぶ。2層の場合は特定の可視光の波長帯域での反射を防止するために用いられ、これをVコートと呼ぶ。マルチコートとVコートは表示パネルの用途に応じて使い分ける。なお、2層以上の限

50



定するものではなく、1層でもよい。

#### 【0126】

マルチコートの場合は酸化アルミニウム ( $\text{Al}_2\text{O}_3$ ) を光学的膜厚が  $nd = \lambda/4$ 、ジルコニウム ( $\text{ZrO}_2$ ) を  $nd = \lambda/2$ 、フッ化マグネシウム ( $\text{MgF}_2$ ) を  $nd = \lambda/4$  積層して形成する。通常、 $\lambda$  として  $520\text{nm}$  もしくはその近傍の値として薄膜は形成される。Vコートの場合は一酸化シリコン ( $\text{SiO}$ ) を光学的膜厚  $nd = \lambda/4$  とフッ化マグネシウム ( $\text{MgF}_2$ ) を  $nd = \lambda/4$ 、もしくは酸化イットリウム ( $\text{Y}_2\text{O}_3$ ) とフッ化マグネシウム ( $\text{MgF}_2$ ) を  $nd = \lambda/4$  積層して形成する。 $\text{SiO}$  は青色側に吸収帯域があるため青色光を変調する場合は  $\text{Y}_2\text{O}_3$  を用いた方がよい。また、物質の安定性からも  $\text{Y}_2\text{O}_3$  の方が安定しているため好ましい。また、 $\text{SiO}_2$  薄膜を使用してもよい。もちろん、低屈折率の樹脂等を用いてAIRコートとしてもよい。たとえばフッ素等のアクリル樹脂が例示される。これらは紫外線硬化タイプを用いることが好ましい。

10

#### 【0127】

なお、表示パネルに静電気がチャージされることを防止するため、表示パネルなどの表面に親水性の樹脂を塗布しておくことが好ましい。その他、表面反射を防止するため、偏光板54の表面などにエンボス加工を行ってもよい。

また、画素電極105にはトランジスタが接続されるとしたがこれに限定されるものではない。アクティブマトリックスとは、スイッチング素子として薄膜トランジスタ (トランジスタ) の他、ダイオード方式 (TFD)、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、FET、MOSトランジスタ、PLZT素子などでもよいことは言うまでもない。つまり、スイッチ素子11、駆動素子11と構成するものはこれらのいずれでも使用することができる。また、略ストライプ状電極を複数本配置した単純マトリックス型の画素構成でもよい。

20

#### 【0128】

また、トランジスタはLDD (ロー ドーピング ドレイン) 構造を採用することが好ましい。なお、トランジスタとは、FETなどスイッチングなどのトランジスタ動作をするすべての素子一般を意味する。また、EL膜の構成、パネル構造などは単純マトリックス型表示パネルにも適用できることは言うまでもない。また、本明細書ではEL素子として有機EL素子 (OEL、PEL、PLED、OLEDなど多種多様な略称で記述される) 15を例のあげて説明するがこれに限定するものではなく、無機EL素子にも適用されることは言うまでもない。まず、有機EL表示パネルに用いられるアクティブマトリックス方式は、1. 特定の画素を選択し、必要な表示情報を与えられること。2. 1フレーム期間を通じてEL素子に電流を流すことができることという2つの条件を満足させなければならない。

30

#### 【0129】

この2つの条件を満足させるため、図62に図示する従来の有機ELの画素構成では、第1のトランジスタ11bは画素を選択するためのスイッチング用トランジスタ、第2のトランジスタ11aはEL素子 (EL膜) 15に電流を供給するための駆動用トランジスタとする。

40

#### 【0130】

ここで液晶に用いられるアクティブマトリックス方式と比較すると、スイッチング用トランジスタ11bは液晶用にも必要であるが、駆動用トランジスタ11aはEL素子15を点灯させるために必要である。この理由は液晶の場合は、電圧を印加することでオン状態を保持することができるが、EL素子15の場合は、電流を流し続けなければ画素16の点灯状態を維持できないからである。

#### 【0131】

したがって、EL表示パネルでは電流を流し続けるためにトランジスタ11aをオンさせ続けなければならない。まず、走査線、データ線が両方ともオンになると、スイッチング用トランジスタ11bを通してキャパシタ19に電荷が蓄積される。このキャパシタ19

50

が駆動用トランジスタ 11a のゲートに電圧を加え続けるため、スイッチング用トランジスタ 11b がオフになっても、電流供給線 (Vdd) から電流が流れつづけ、1 フレーム期間にわたり画素 16 をオンできる。

【0132】

この構成を用いて階調を表示させる場合、駆動用トランジスタ 11a のゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ 11a のオン電流のばらつきがそのまま表示に現れる。

【0133】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が 450 度以下の低温ポリシリ技術で形成した低温多結晶トランジスタでは、そのしきい値のばらつきが  $\pm 0.2\text{V} \sim 0.5\text{V}$  の範囲でばらつきがある。そのため、駆動用トランジスタ 11a を流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ 11 の劣化によっても特性は変化する。なお、低温ポリシリコン技術に限定されるものではなく、プロセス温度が 450 度 (摂氏) 以上の高温ポリシリコン技術を用いて構成してもよく、また、固相 (CGS) 成長させた半導体膜を用いて TFT など形成したものをもちいてもよい。その他、有機 TFT を用いたものであっても良い。また、アモルファスシリコン技術で形成した TFT アレイを用いてパネルを構成する。なお、本明細書では低温ポリシリコン技術で形成した TFT を主として説明する。しかし、TFT のバラツキが発生するなどの課題は他の方式でも同一である。

【0134】

したがって、アナログ的に階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要があり、現状の低温多結晶ポリシリコントランジスタではこのバラツキを所定範囲以内の抑えるというスペックを満足できない。この問題を解決するため、1 画素内に 4 つ以上のトランジスタをもうけて、しきい値電圧のばらつきをコンデンサにより補償させて均一な電流を得る方法、定電流回路を 1 画素ごとに形成し電流の均一化を図る方法などが考えられる。

【0135】

しかしながら、これらの方法は、プログラムされる電流が EL 素子 15 を通じてプログラムされるため電流経路が変化した場合に電源ラインに接続されるスイッチングトランジスタに対し駆動電流を制御するトランジスタがソースフォロワとなり駆動マージンが狭くなる。したがって、駆動電圧が高くなるという課題を有する。

【0136】

また、電源に接続するスイッチングトランジスタをインピーダンスの低い領域で使用する必要がある、この動作範囲が EL 素子 15 の特性変動により影響を受けるという課題もある。その上、飽和領域における電圧電流特性に、キンク電流が発生する場合、トランジスタのしきい値電圧の変動が発生した場合、記憶された電流値が変動するという課題もある。

【0137】

本発明の EL 素子構造は、上記課題に対して、EL 素子 15 に流れる電流を制御するトランジスタ 11 が、ソースフォロワ構成とならず、かつそのトランジスタにキンク電流があっても、キンク電流の影響を最小に抑えることが出来て記憶される電流値の変動を小さくすることが出来る構成である。

【0138】

本発明の EL 表示装置の画素構造は、具体的には図 1 に示すように単位画素が最低 4 つからなる複数のトランジスタ 11 ならびに EL 素子により形成される。なお、画素電極はソース信号線と重なるように構成する。つまり、ソース信号線 18 上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極 105 を形成する。このようにソース信号線 18 上に画素電極を重ねる構成をハイパーチャ (HA) 構造と呼ぶ。

10

20

30

40

50

## 【0139】

ゲート信号線（第1の走査線）17aをアクティブ（ON電圧を印加）とすることによりEL素子15駆動用のトランジスタ（トランジスタあるいはスイッチング素子）11aおよびトランジスタ（トランジスタあるいはスイッチング素子）11cを通して、前記EL素子15に流すべき電流値をソースドライバ回路14から流す。また、トランジスタ11aのゲートとドレイン間を短絡するようにトランジスタ11bがゲート信号線17aアクティブ（ON電圧を印加）となることにより開くと共に、トランジスタ11aのゲートとソース間に接続されたコンデンサ（キャパシタ、蓄積容量、付加容量）19に、前記電流値を流すようにトランジスタ11aのゲート電圧（あるいはドレイン電圧）を記憶する（図3（a）を参照のこと）。

10

## 【0140】

なお、トランジスタ11aのソース（S）－ゲート（G）間容量（コンデンサ）19は0.2pF以上の容量とすることが好ましい。他の構成として、別途、コンデンサ19を形成する構成も例示される。つまり、コンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルから蓄積容量を形成する構成である。トランジスタ11cのリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からはこのように別途コンデンサを構成するほうが好ましい。なお、コンデンサ（蓄積容量）19の大きさは、0.2pF以上2pF以下とすることがよく、中でもコンデンサ（蓄積容量）19の大きさは、0.4pF以上1.2pF以下とすることがよい。

## 【0141】

なお、コンデンサ19は隣接する画素間の非表示領域におおむね形成することがこのましい。一般的に、フルカラー有機EL15を作成する場合、有機EL層15をメタルマスクによるマスク蒸着で形成するためマスク位置ずれによるEL層の形成位置が発生する。位置ずれが発生すると各色の有機EL層15（15R、15G、15B）が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は10μ以上離れなければならない。この部分は発光に寄与しない部分となる。したがって、蓄積容量19をこの領域に形成することは開口率向上のために有効な手段となる。

20

## 【0142】

なお、メタルマスクは磁性体で作製し、基板71の裏面から磁石でメタルマスクを磁力で吸着する。磁力により、メタルマスクは基板と隙間なく密着する。以上の製造方法に関する事項は、本発明の他の製造方法にも適用される。

30

次に、ゲート信号線17aを非アクティブ（OFF電圧を印加）、ゲート信号線17bをアクティブとして、電流の流れる経路を前記第1のトランジスタ11a並びにEL素子15に接続されたトランジスタ11dならびに前記EL素子15を含む経路に切り替えて、記憶した電流を前記EL素子15に流すように動作する（図3（b）を参照のこと）。

## 【0143】

この回路は1画素内に4つのトランジスタ11を有しており、トランジスタ11aのゲートはトランジスタ11bのソースに接続されている。また、トランジスタ11bおよびトランジスタ11cのゲートはゲート信号線17aに接続されている。トランジスタ11bのドレインはトランジスタ11cのソースならびにトランジスタ11dのソースに接続され、トランジスタ11cのドレインはソース信号線18に接続されている。トランジスタ11dのゲートはゲート信号線17bに接続され、トランジスタ11dのドレインはEL素子15のアノード電極に接続されている。

40

## 【0144】

なお、図1ではすべてのトランジスタはPチャンネルで構成している。Pチャンネルは多少Nチャンネルのトランジスタに比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はEL素子構成をPチャンネルで構成することのみに限定するものではない。Nチャンネルのみで構成してもよい。また、NチャンネルとPチャンネルの両方を用いて構成してもよい。

## 【0145】

50

なお、図 1 においてトランジスタ 11c、11b は同一の極性で構成し、かつ N チャンネルで構成し、トランジスタ 11a、11d は P チャンネルで構成することが好ましい。一般的に P チャンネルトランジスタは N チャンネルトランジスタに比較して、信頼性が高い、キック電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度を得る EL 素子 15 に対しては、トランジスタ 11a を P チャンネルにする効果が大きい。最適には画素を構成する TFT 11 をすべて P チャンネルで形成し、内蔵ゲートドライバ 12 も P チャンネルで形成することが好ましい。このようにアレイを P チャンネルのみの TFT で形成することにより、マスク枚数が 5 枚となり、低コスト化、高歩留まりを実現できる。

#### 【0146】

以下、さらに本発明の理解を容易にするために、本発明の EL 素子構成について図 3 を用いて説明する。本発明の EL 素子構成は 2 つのタイミングにより制御される。第 1 のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ 11b ならびにトランジスタ 11c が ON することにより、等価回路として図 3 (a) となる。ここで、信号線より所定の電流  $I_w$  が書き込まれる。これによりトランジスタ 11a はゲートとドレインが接続された状態となり、このトランジスタ 11a とトランジスタ 11c を通じて電流  $I_w$  が流れる。従って、トランジスタ 11a のゲートソースの電圧は  $I_1$  が流れるような電圧  $V_1$  となる。

#### 【0147】

第 2 のタイミングはトランジスタ 11a とトランジスタ 11c が閉じ、トランジスタ 11d が開くタイミングであり、そのときの等価回路は図 3 (b) となる。トランジスタ 11a のソースゲート間の電圧は保持されたままとなる。この場合、トランジスタ 11a は常に飽和領域で動作するため、 $I_w$  の電流は一定となる。

#### 【0148】

このように動作させると、図 5 に図示するようになる。つまり、図 5 (a) の 51a は表示画面 50 における、ある時刻での電流プログラムされている画素 (行) (書き込み画素行) を示している。この画素 (行) 51a は、図 5 (b) に図示するように非点灯 (非表示画素 (行)) とする。他の、画素 (行) は表示画素 (行) 53 とする (非画素 53 の EL 素子 15 には電流が流れ、EL 素子 15 が発光している)。

#### 【0149】

図 1 の画素構成の場合、図 3 (a) に示すように、電流プログラム時は、プログラム電流  $I_w$  がソース信号線 18 に流れる。この電流  $I_w$  がトランジスタ 11a を流れ、 $I_w$  を流す電流が保持されるように、コンデンサ 19 に電圧設定 (プログラム) される。このとき、トランジスタ 11d はオープン状態 (オフ状態) である。

#### 【0150】

次に、EL 素子 15 に電流を流す期間は図 3 (b) のように、トランジスタ 11c、11b がオフし、トランジスタ 11d が動作する。つまり、ゲート信号線 17a にオフ電圧 ( $V_{gh}$ ) が印加され、トランジスタ 11b、11c がオフする。一方、ゲート信号線 17b にオン電圧 ( $V_{gl}$ ) が印加され、トランジスタ 11d がオンする。

#### 【0151】

このタイミングチャートを図 4 に図示する。なお、図 4 などにおいて、括弧内の添え字 (たとえば、(1) など) は画素行の番号を示している。つまり、ゲート信号線 17a (1) とは、画素行 (1) のゲート信号線 17a を示している。また、図 4 の上段の \*H とは、水平走査期間を示している。つまり、1H とは第 1 番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定 (1H の番号、1H 周期、画素行番号の順番など) するものではない。

#### 【0152】

図 4 でわかるように、各選択された画素行 (選択期間は、1H としている) において、ゲート信号線 17a にオン電圧が印加されている時には、ゲート信号線 17b にはオフ電圧が印加されている。また、この期間は、EL 素子 15 には電流が流れていない (非点灯状

10

20

30

40

50

態)。選択されていない画素行において、ゲート信号線 17 a にオフ電圧が印加され、ゲート信号線 17 b にはオン電圧が印加されている。また、この期間は、EL素子 15 に電流が流れている（点灯状態）。

#### 【0153】

なお、トランジスタ 11 a のゲートとトランジスタ 11 c のゲートは同一のゲート信号線 11 a に接続している。しかし、トランジスタ 11 a のゲートとトランジスタ 11 c のゲートとを異なるゲート信号線 11 に接続してもよい（図 32 を参照のこと）。1 画素のゲート信号線は 3 本となる（図 1 の構成は 2 本である）。トランジスタ 11 b のゲートの ON/OFF タイミングとトランジスタ 11 c のゲートの ON/OFF タイミングを個別に制御することにより、トランジスタ 11 a のばらつきによる EL 素子 15 の電流値バラツキをさらに低減することができる。

10

#### 【0154】

ゲート信号線 17 a とゲート信号線 17 b とを共通にし、トランジスタ 11 c と 11 d が異なった導電型（N チャンネルと P チャンネル）とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。

#### 【0155】

このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ 11 a のソース（S）－ゲート（G）間容量（コンデンサ）に記憶されない。トランジスタ 11 c とトランジスタ 11 d を異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずトランジスタ 11 c がオフしたのちに、トランジスタ 11 d がオンすることが可能になる。

20

#### 【0156】

ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低 4 つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ 11 e を図 2 に示すように、カスケード接続してトランジスタの総数が 4 以上になっても動作原理は同じである。このようにトランジスタ 11 e を加えた構成とすることにより、トランジスタ 11 c を介してプログラムした電流がより精度よく EL 素子 15 に流すことができるようになる。

30

#### 【0157】

図 1 の構成において、第 1 のトランジスタ 11 a の飽和領域における電流値  $I_{ds}$  が下式の条件を満足させることがさらに好ましい。なお、下式において  $\lambda$  の値は、隣接する画素間において 0.06 以下 0.01 以上の条件を満足させる。

#### 【0158】

$$I_{ds} = k * (V_{gs} - V_{th})^2 (1 + V_{ds} * \lambda)$$

本発明では、トランジスタ 11 a の動作範囲を飽和領域に限定するが、一般的に飽和領域におけるトランジスタ特性は、理想的な特性より外れ、ソースドレイン間電圧の影響を受ける。この効果をミラー効果という。

#### 【0159】

隣接する画素におけるそれぞれのトランジスタ 11 a に  $\Delta V_t$  なる閾値のシフトが発生した場合を考える。この場合記憶される電流値は同じである。閾値のシフトを  $\Delta L$  とすれば、約  $\Delta V \times \lambda$  がトランジスタ 11 a の閾値が変動することによる、EL 素子 15 の電流値のずれに相当する。したがって、電流のずれを  $x$  (%) 以下に抑えるためには、閾値のシフトの許容量を隣接する画素間で  $y$  (V) を許容するとして、 $\lambda$  は  $0.01 \times x / y$  以下でなければならないことが判る。

40

#### 【0160】

この許容値はアプリケーションの輝度により変化する。輝度が  $100 \text{ cd/m}^2$  から  $1000 \text{ cd/m}^2$  までの輝度領域においては、変動量が 2% 以上あれば人間は変動した境界線を認識する。したがって、輝度（電流量）の変動量が 2% 以内であることが必要である

50

。輝度が  $100 \text{ cd/cm}^2$  より高い場合は隣接する画素の輝度変化量は 2 % 以上となる。本発明の EL 表示素子を携帯端末用ディスプレイとして用いる場合、その要求輝度は  $100 \text{ cd/m}^2$  程度である。実際に図 1 の画素構成を試作し、閾値の変動を測定すると、隣接する画素のトランジスタ 11a においては閾値の変動の最大値は 0.3 V であることが判った。したがって、輝度の変動を 2 % 以内に抑えるためには  $\lambda$  は 0.06 以下でなければならない。しかし、0.01 以下にする必要はない。人間が変化を認識することができないからである。また、この閾値のバラツキを達成するためにはトランジスタサイズを十分大きくする必要があり、非現実的である。

#### 【0161】

また、第 1 のトランジスタ 11a の飽和領域における電流値  $I_{ds}$  が下式を満足するように構成することが好ましい。なお、 $\lambda$  の変動が隣接する画素間において 5 % 以下 1 % 以上とする。

#### 【0162】

$$I_{ds} = k * (V_{gs} - V_{th})^2 (1 + V_{ds} * \lambda)$$

隣接する画素間において、たとえ閾値の変動が存在しない場合でも上記式の  $\lambda$  に変動があれば、EL を流れる電流値が変動する。変動を  $\pm 2 \%$  以内に抑えるためには、 $\lambda$  の変動を  $\pm 5 \%$  に抑えなければならない。しかし、しかし、1 % 以下にする必要はない。人間が変化を認識することができないからである。また、1 % 以下を達成するためにはトランジスタサイズを相当に大きくする必要があり、非現実的である。

#### 【0163】

また、実験、アレイ試作および検討によれば第 1 のトランジスタ 11a のチャンネル長が  $10 \mu\text{m}$  以上  $200 \mu\text{m}$  以下とすることが好ましい。さらに好ましくは、第 1 のトランジスタ 11a のチャンネル長が  $15 \mu\text{m}$  以上  $150 \mu\text{m}$  以下とすることが好ましい。これは、チャンネル長  $L$  を長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。

#### 【0164】

また、画素を構成するトランジスタ 11 が、レーザー再結晶化方法（レーザアニール）により形成されたポリシリコントランジスタで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。また、レーザーは同一箇所を 2 回以上スキャンして半導体膜を形成することが好ましい。

#### 【0165】

本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために 4 トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、4 つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたりの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。

#### 【0166】

また、蓄積容量 19 の容量値を  $C_s$ 、第 2 のトランジスタ 11b のオフ電流値を  $I_{off}$  とした場合、次式を満足させることが好ましい。

#### 【0167】

$$3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満足させることが好ましい。

#### 【0168】

$$6 < C_s / I_{off} < 18$$

トランジスタ 11b のオフ電流を  $5 \text{ pA}$  以下とすることにより、EL を流れる電流値の変化を 2 % 以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を 1 フィールド

10

20

30

40

50

間保持できないためである。したがって、コンデンサ 19 の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を 2 % 以下に抑えることができる。

#### 【0169】

また、アクティブマトリックスを構成するトランジスタが p - c h ポリシリコン薄膜トランジスタに構成され、トランジスタ 11 b がデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ 11 b は、トランジスタ 11 a のソース・ドレイン間のスイッチとして作用するため、できるだけ ON / OFF 比の高い特性が要求される。トランジスタ 11 b のゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることにより ON / OFF 比の高い特性を実現できる。

10

#### 【0170】

また、アクティブマトリックスを構成するトランジスタがポリシリコン薄膜トランジスタで構成されており、各トランジスタの (チャンネル幅 W) \* (チャンネル長 L) を  $54 \mu\text{m}^2$  以下とすることが好ましい。(チャンネル幅 W) \* (チャンネル長 L) とトランジスタ特性のパラッキとは相関がある。トランジスタ特性におけるばらつきの原因は、レーザーの照射によるエネルギーのばらつきなどに起因するものが大きく、したがってこれを吸収するためには、できるだけレーザーの照射ピッチ (一般的には 10 数  $\mu\text{m}$ ) をチャンネル内により多く含む構造が望ましい。各トランジスタの (チャンネル幅 W) \* (チャンネル長 L) を  $54 \mu\text{m}^2$  以下とすることによりレーザー照射に起因するばらつきがなく、特性のそろった薄膜トランジスタを得ることができる。なお、あまりにもトランジスタサイズが小さくなると面積による特性ばらつきが発生する。したがって、各トランジスタの (チャンネル幅 W) \* (チャンネル長 L) は  $9 \mu\text{m}^2$  以上となるようにする。なお、さらに好ましくは、各トランジスタの (チャンネル幅 W) \* (チャンネル長 L) は  $16 \mu\text{m}^2$  以上  $45 \mu\text{m}^2$  以下となるようにすることが好ましい。

20

#### 【0171】

また、隣接する単位画素での第 1 のトランジスタ 11 a の移動度変動が 20 % 以下であるようにすることが好ましい。移動度が不足することによりスイッチングトランジスタの充電能力が劣化し、時間内に必要な電流値を流すまでに、M1 のゲート・ソース間の容量を充電できない。従って移動のばらつきを 20 % 以内に抑えることにより画素間の輝度のばらつきを認知限以下にすることができる。

30

#### 【0172】

以上の説明は、画素構成が図 1 の構成として説明したが、以上の事項は他の画素構成にも適用することができる。以下、その一例として図 38 の画素構成について、構成、動作について説明をする。

#### 【0173】

EL 素子 15 に流す電流を設定する時、トランジスタ 11 a に流す信号電流を  $I_w$ 、その結果トランジスタ 11 a に生ずるゲート・ソース間電圧を  $V_{gs}$  とする。書き込み時はトランジスタ 11 d によってトランジスタ 11 a のゲート・ドレイン間が短絡されているので、トランジスタ 11 a は飽和領域で動作する。よって、 $I_w$  は、以下の式で与えられる。

40

#### 【0174】

$$I_w = \mu_1 \cdot C_{ox1} \cdot W_1 / L_1 / 2 (V_{gs} - V_{th1})^2 \quad \dots \quad (1)$$
 ここで、 $C_{ox}$  は単位面積当たりのゲート容量であり、 $C_{ox} = \epsilon_0 \cdot \epsilon_r / d$  で与えられる。 $V_{th}$  はトランジスタの閾値、 $\mu$  はキャリアの移動度、 $W$  はチャンネル幅、 $L$  はチャンネル長、 $\epsilon_0$  は真空の移動度、 $\epsilon_r$  はゲート絶縁膜の比誘電率を示し、 $d$  はゲート絶縁膜の厚みである。

#### 【0175】

EL 素子 15 に流れる電流を  $I_{dd}$  とすると、 $I_{dd}$  は、EL 素子 15 と直列に接続されるトランジスタ 1 b によって電流レベルが制御される。本発明では、そのゲート・ソース間電圧が (1) 式の  $V_{gs}$  に一致するので、トランジスタ 1 b が飽和領域で動作すると仮

50

定すれば、以下の式が成り立つ。

【0176】

$$I_{drv} = \mu^2 \cdot C_{ox2} \cdot W2 / L2 / 2 (V_{gs} - V_{th2})^2 \quad \dots \quad (2)$$

絶縁ゲート電界効果型の薄膜トランジスタ（トランジスタ）が飽和領域で動作するための条件は、 $V_{ds}$  をドレイン・ソース間電圧として、一般に以下の式で与えられる。

【0177】

$$|V_{ds}| > |V_{gs} - V_{th}| \quad \dots \quad (3)$$

ここで、トランジスタ11aとトランジスタ11bは、小さな画素内部に近接して形成されるため、大略 $\mu_1 = \mu_2$ 及び $C_{ox1} = C_{ox2}$ であり、特に工夫を凝らさない限り、 $V_{th1} = V_{th2}$ と考えられる。すると、このとき（1）式及び（2）式から容易に以下の式が導かれる。

【0178】

$$I_{drv} / I_w = (W2 / L2) / (W1 / L1) \quad \dots \quad (4)$$

ここで注意すべき点は、（1）式及び（2）式において、 $\mu$ 、 $C_{ox}$ 、 $V_{th}$ の値自体は、画素毎、製品毎、あるいは製造ロット毎にばらつくのが普通であるが、（4）式はこれらのパラメータを含まないので、 $I_{drv} / I_w$ の値はこれらのばらつきに依存しないということである。

【0179】

仮に $W1 = W2$ 、 $L1 = L2$ と設計すれば、 $I_{drv} / I_w = 1$ 、すなわち $I_w$ と $I_{drv}$ が同一の値となる。すなわちトランジスタの特性ばらつきによらず、EL素子15に流れる駆動電流 $I_d$ は、正確に信号電流 $I_w$ と同一になるので、結果としてEL素子15の発光輝度を正確に制御できる。

【0180】

以上の様に、駆動用トランジスタ11aの $V_{th1}$ と駆動用トランジスタ11bの $V_{th2}$ は基本的に同一である為、両トランジスタお互いにの共通電位にあるゲートに対してカットオフレベルの信号電圧が印加されると、トランジスタ11a及びトランジスタ11b共に非導通状態になるはずである。ところが、実際には画素内でもパラメータのばらつきなどの要因により、 $V_{th1}$ よりも $V_{th2}$ が低くなってしまうことがある。この時には、駆動用トランジスタ11bにサブスレッショルドレベルのリーク電流が流れる為、EL素子15は微発光を呈する。この微発光により画面のコントラストが低下し表示特性が損なわれる。

【0181】

本発明では特に、駆動用トランジスタ11bの閾電圧 $V_{th2}$ が画素内で対応する駆動用トランジスタ11aの閾電圧 $V_{th1}$ より低くならない様に設定している。例えば、トランジスタ11bのゲート長 $L2$ をトランジスタ11aのゲート長 $L1$ よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 $V_{th2}$ が $V_{th1}$ よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。以上の事項は図1のトランジスタ11aとトランジスタ11dの関係にも適用される。

【0182】

図38に示すように、信号電流が流れる駆動用トランジスタ11a、EL素子15等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタ11bの他、ゲート信号線17a1の制御によって画素回路とデータ線dataとを接続もしくは遮断する取込用トランジスタ11c、ゲート信号線17a2の制御によって書き込み期間中にトランジスタ11aのゲート・ドレインを短絡するスイッチ用トランジスタ11d、トランジスタ11aのゲート・ソース間電圧を書き込み終了後も保持するための容量C19および発光素子としてのEL素子15などから構成される。

【0183】

図38でトランジスタ11c、11dはNチャンネルMOS（NMOS）、その他のトランジスタはPチャンネルMOS（PMOS）で構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Cは、その一方の端子をトランジスタ11aのゲ

10

20

30

40

50



ートに接続され、他方の端子はV<sub>dd</sub>（電源電位）に接続されているが、V<sub>dd</sub>に限らず任意の一定電位でも良い。EL素子15のカソード（陰極）は接地電位に接続されている。したがって、以上の事項は図1などにも適用されることは言うまでもない。

#### 【0184】

EL素子15の端子電圧は温度によっても変化する。通常、温度が低い時は高く、温度が高くなるにつれ、低くなる。この傾向はリニアの関係にある。したがって、V<sub>dd</sub>電圧を外部温度によって（正確にはEL素子15の温度によって）調整することが好ましい。温度センサで外部温度を検出し、V<sub>dd</sub>電圧発生部あるいはV<sub>k</sub>電圧発生部のフィードバックをかけてV<sub>dd</sub>電圧あるいはV<sub>k</sub>電圧を変化させる。V<sub>dd</sub>電圧などは摂氏10℃の変化で、2%以上8%以下変化するようにすることが好ましい。中でも3%以上6%以下とすることが好ましい。

10

#### 【0185】

なお、図1などのV<sub>dd</sub>電圧はトランジスタ11bのオフ電圧（トランジスタがPチャンネル時）よりも低くすることが好ましい。具体的には、V<sub>gh</sub>（ゲートのオフ電圧）は少なくともV<sub>dd</sub>-0.5（V）よりの高くするべきである。これよりも低いとトランジスタのオフリークが発生し、レーザーアニールのショットムラが目立つようになる。また、V<sub>dd</sub>+4（V）よりも低くすべきである。あまりにも高いと逆にオフリーク量が増加する。

#### 【0186】

したがって、ゲートのオフ電圧（図1ではV<sub>gh</sub>、つまり、電源電圧に近い電圧側）は、電源電圧（図1ではV<sub>dd</sub>）は、よりも-0.5（V）以上+4（V）以下とすべきである。さらに好ましくは、電源電圧（図1ではV<sub>dd</sub>）は、よりも0（V）以上+2（V）以下とすべきである。つまり、ゲート信号線に印加するトランジスタのオフ電圧は、十分オフになるようにする。トランジスタがNチャンネルの場合は、V<sub>gl</sub>がオフ電圧となる。したがって、V<sub>gl</sub>はGND電圧に対して-4（V）以上0.5（V）以下の範囲となるようにする。さらに好ましくは-2（V）以上0（V）以下の範囲とすることが好ましい。

20

#### 【0187】

以上の事項は、図1の電流プログラムの画素構成について述べたが、これに限定するものではなく、電圧プログラムの画素構成にも適用できることは言うまでもない。なお、電圧プログラムのV<sub>t</sub>オフセットキャンセルは、R、G、Bごとに個別に補償することが好ましい。

30

#### 【0188】

駆動用トランジスタ11bは、コンデンサ19に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流はチャネルを介してEL素子15に流す。トランジスタトランジスタ11aのゲートとトランジスタトランジスタ11bのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流I<sub>w</sub>の電流レベルと駆動電流の電流レベルとが比例関係となる様にしている。

#### 【0189】

トランジスタ11bは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流をEL素子15に流す。

40

#### 【0190】

トランジスタ11bは、その閾電圧が画素内で対応するランジスタ11aの閾電圧より低くならない様に設定されている。具体的には、トランジスタ11bは、そのゲート長がトランジスタ11aのゲート長より短くならない様に設定されている。あるいは、トランジスタ11bは、そのゲート絶縁膜が画素内で対応するトランジスタ11aのゲート絶縁膜より薄くならないように設定しても良い。

#### 【0191】

あるいは、トランジスタ11bは、そのチャネルに注入される不純物濃度を調整して、閾電圧が画素内で対応するトランジスタ11aの閾電圧より低くならない様に設定してもよ

50

い。仮に、トランジスタ 11 a とトランジスタ 11 b の閾電圧が同一となる様に設定した場合、共通接続されたトランジスタのゲートにカットオフレベルの信号電圧が印加されると、トランジスタ 11 a 及びトランジスタ 11 b は両方共オフ状態になるはずである。ところが、実際には画素内にも僅かながらプロセスパラメータのばらつきがあり、トランジスタ 11 a の閾電圧よりトランジスタ 11 b の閾電圧が低くなる場合がある。

#### 【0192】

この時には、カットオフレベル以下の信号電圧でもサブスレッショルドレベルの微弱電流が駆動用トランジスタ 11 b に流れる為、EL 素子 15 は微発光し画面のコントラスト低下が現れる。そこで、トランジスタ 11 b のゲート長をトランジスタ 11 a のゲート長よりも長くしている。これにより、トランジスタ 11 のプロセスパラメータが画素内で変動しても、トランジスタ 11 b の閾電圧がトランジスタ 11 a の閾電圧よりも低くならない様にする。

#### 【0193】

ゲート長 L が比較的短い短チャネル効果領域 A では、ゲート長 L の増加に伴い  $V_{th}$  が上昇する。一方、ゲート長 L が比較的大きな抑制領域 B ではゲート長 L に関わらず  $V_{th}$  はほぼ一定である。この特性を利用して、トランジスタ 11 b のゲート長をトランジスタ 11 a のゲート長よりも長くしている。例えば、トランジスタ 11 a のゲート長が  $7 \mu m$  の場合、トランジスタ 11 b のゲート長を  $10 \mu m$  程度にする。

#### 【0194】

トランジスタ 11 a のゲート長が短チャネル効果領域 A に属する一方、トランジスタ 11 b のゲート長が抑制領域 B に属する様にしても良い。これにより、トランジスタ 11 b における短チャネル効果を抑制することができるとともに、プロセスパラメータの変動による閾電圧低減を抑制可能である。以上により、トランジスタ 11 b に流れるサブスレッショルドレベルのリーク電流を抑制して EL 素子 15 の微発光を抑え、コントラスト改善に寄与可能である。

#### 【0195】

このようにして作製した図 1、図 2、図 3 8 などで説明した EL 表示素子 15 に直流電圧を印加し、 $10 mA/cm^2$  の一定電流密度で連続駆動させた。EL 構造体は、 $7.0 V$ 、 $200 cd/cm^2$  の緑色（発光極大波長  $\lambda_{max} = 460 nm$ ）の発光が確認できた。青色発光部は、輝度  $100 cd/cm^2$  で、色座標が  $x = 0.129$ 、 $y = 0.105$ 、緑色発光部は、輝度  $200 cd/cm^2$  で、色座標が  $x = 0.340$ 、 $y = 0.625$ 、赤色発光部は、輝度  $100 cd/cm^2$  で、色座標が  $x = 0.649$ 、 $y = 0.338$  の発光色が得られた。

#### 【0196】

フルカラー有機 EL 表示パネルでは、開口率の向上が重要な開発課題になる。開口率を高めると光の利用効率が上がり、高輝度化や長寿命化につながるためである。開口率を高めるためには、有機 EL 層からの光を遮るトランジスタの面積を小さくすればよい。低温多結晶 Si-トランジスタはアモルファスシリコンに比較して  $10-100$  倍の性能を持ち、電流の供給能力が高いため、トランジスタの大きさを非常に小さくできる。したがって、有機 EL 表示パネルでは、画素トランジスタ、周辺駆動回路を低温ポリシリコン技術、高温ポリシリコン技術で作製することが好ましい。もちろん、アモルファスシリコン技術で形成してもよいが画素開口率はかなり小さくなってしまう。

#### 【0197】

ゲートドライバ回路 12 あるいはソースドライバ回路 14 などの駆動回路をガラス基板 71 上に形成することにより、電流駆動の有機 EL 表示パネルで特に問題になる抵抗を下げることができる。TCP の接続抵抗がなくなるうえに、TCP 接続の場合に比べて電極からの引き出し線が  $2-3 mm$  短くなり配線抵抗が小さくなる。さらに、TCP 接続のための工程がなくなる、材料コストが下がるという利点があるとする。

#### 【0198】

次に、本発明の EL 表示パネルあるいは EL 表示装置について説明をする。図 6 は EL 表

10

20

30

40

50

示装置の回路を中心とした説明図である。画素 16 がマトリックス状に配置または形成されている。各画素 16 には各画素の電流プログラムを行う電流を出力するソースドライバ回路 14 が接続されている。ソースドライバ回路 14 の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている（後に説明する）。たとえば、64 階調であれば、63 個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線 18 に印加できるように構成されている。

#### 【0199】

なお、1 個のカレントミラー回路の最小出力電流は 10 nA 以上 50 nA にしている。特にカレントミラー回路の最小出力電流は 15 nA 以上 35 nA にすることがよい。ドライバ IC 14 内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

10

#### 【0200】

また、ソース信号線 18 の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。ソース信号線 18 の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、R、G、B で独立に設定できるように構成することが好ましい。EL 素子 15 の閾値が RGB でことなるからである。

#### 【0201】

以上に説明した画素構成、アレイ構成、パネル構成などは、以下に説明する構成、方法、装置に適用されることは言うまでもない。また、以下に説明する構成、方法、装置は、すでに説明した画素構成、アレイ構成、パネル構成などが適用されることは言うまでもない。

20

#### 【0202】

有機 EL 素子は大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはポジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。

#### 【0203】

この場合は、選択する EL 材料で一義的に決定されるから、マイコンなどのソフト制御する必要がない場合が多い。つまり、液晶材料により、一定のシフト量などに固定しておいてもよい。重要なのは発光色材料により温特が異なっている点であり、発光色（R、G、B）ごとに最適な温特補償を行う必要がある点である。

30

#### 【0204】

R、G、B の各 EL 素子の温特は一定範囲内にする必要がある。R、G、B の EL 素子 15 の温特はない事が好ましいのはいうまでもない。少なくとも R、G、B の温特方向が同一方向か、もしくは変化しないようにする。また、変化は各色摂氏 10℃ の変化で、2% 以上 8% 以下変化するようにすることが好ましい。中でも 3% 以上 6% 以下とすることが好ましい。

#### 【0205】

また、温特補償はマイコンでおこなってもよい。温度センサで EL 表示パネルの温度を測定し、測定した温度によりマイコン（図示せず）などで変化させる。また、切り替え時に基準電流などをマイコン制御などにより自動的に切り替えてもよいし、また、特定のメニュー表示を表示できるように制御してもよい。また、マウスなどを用いて切り替えできるように構成できる。また、EL 表示装置の表示画面をタッチパネルにし、かつメニューを表示して特定箇所を押さえることにより切り替えできるように構成してもよい。

40

#### 【0206】

本発明ではソースドライバは半導体シリコンチップで形成し、ガラスオンチップ（COG）技術で基板 71 のソース信号線 18 の端子と接続されている。ソース信号線 18 などの信号線の配線はクロム、アルミニウム、銀などの金属配線が用いられる。細い配線幅で低

50

抵抗の配線が得られるからである。配線は画素が反射型の場合は画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。工程が簡略できるからである。

#### 【0207】

本発明はCOG技術に限定するものではなく、チップオンフィルム(COF)技術に前述のソースドライバIC14などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライバICは電源IC82を別途作製し、3チップ構成としてもよい。

#### 【0208】

また、TCFテープを用いてもよい。TCFテープ向けフィルムは、ポリイミドフィルムと銅(Cu)箔を、接着剤を使わずに熱圧着することができる。接着剤を使わずにポリイミドフィルムにCuを付けるTCPテープ向けフィルムにはこのほか、Cu箔の上に溶解したポリイミドを重ねてキャスト成型する方式と、ポリイミドフィルム上にスパッタリングで形成した金属膜の上にCuをメッキや蒸着で付ける方式がある。これらのいずれでもよいが、接着剤を使わずにポリイミドフィルムにCuを付けるTCPテープを用いる方法が最も好ましい。30μm以下のリード・ピッチには、接着剤を使わないCuはり積層板で対応する。接着剤を使わないCuはり積層板のうち、Cu層をメッキや蒸着で形成する方法はCu層の薄型化に適しているため、リード・ピッチの微細化に有利である。

#### 【0209】

一方、ゲートドライバ回路12は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路14に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリコン技術で形成しても容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ12をシリコンチップで形成し、COG技術などを用いて基板71上に実装してもよいことは言うまでもない。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成(有機トランジスタ)してもよい。

#### 【0210】

ゲートドライバ12はゲート信号線17a用のシフトレジスタ回路61aと、ゲート信号線17b用のシフトレジスタ回路61bとを内蔵する。各シフトレジスタ回路61は正相と負相のクロック信号(CLKxP、CLKxN)、スタートパルス(STx)で制御される。その他、ゲート信号線の出力、非出力を制御するイネーブル(ENABL)信号、シフト方向を上下逆転するアップダウン(UPDWM)信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールIC81からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。また、検査回路を内蔵する。

#### 【0211】

シフトレジスタ回路61のバッファ容量は小さいため、直接にはゲート信号線17を駆動することができない。そのため、シフトレジスタ回路61の出力とゲート信号線17を駆動する出力ゲート63間には少なくとも2つ以上のインバータ回路62が形成されている。

#### 【0212】

ソースドライバ14を低温ポリシリなどのポリシリ技術で基板71上に直接形成する場合も同様であり、ソース信号線18を駆動するトランスファークゲートなどのアナログスイッチのゲートとソースドライバ回路14のシフトレジスタ間には複数のインバータ回路が形成される。以下の事項(シフトレジスタの出力と、信号線を駆動する出力段(出力ゲートあるいはトランスファークゲートなどの出力段間に配置されるインバータ回路に関する事項)は、ソースドライバおよびゲートドライバ回路に共通の事項である。

#### 【0213】

たとえば、図6ではソースドライバ14の出力が直接ソース信号線18に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバー

10

20

30

40

50

タ回路が接続されて、インバータの出力がトランスファージョイントなどのアナログスイッチのゲートに接続されている。

インバータ回路 6 2 は P チャンネルの MOS トランジスタと N チャンネルの MOS トランジスタから構成される。先にも説明したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 の出力端にはインバータ回路 6 2 が多段に接続されており、その最終出力が出力ゲート回路 6 3 に接続されている。なお、インバータ回路 6 2 は P チャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

#### 【0214】

図 8 は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コンとロール IC 8 1 からソースドライバ回路 1 4 a に供給する信号（電源配線、データ配線など）はフレキシブル基板 8 4 を介して供給する。

10

#### 【0215】

図 8 ではゲートドライバ 1 2 の制御信号はコントロール IC で発生させ、ソースドライバ 1 4 でいったん、レベルシフトを行った後、ゲートドライバ 1 2 に印加している。ソースドライバ 1 4 の駆動電圧は 4 ～ 8 (V) であるから、コントロール IC 8 1 から出力された 3. 3 (V) 振幅の制御信号を、ゲートドライバ 1 2 が受け取れる 5 (V) 振幅に変換することができる。

#### 【0216】

ソースドライバ 1 4 内には画像メモリを持たせることが好ましい。画像メモリの画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。誤差拡散処理、ディザ処理などを行うことにより、26 万色表示データを 4096 色などに変換することができ、画像メモリの容量を小さくすることができる。誤差拡散処理などは誤差拡散コントローラ 8 1 で行うことができる。また、ディザ処理を行った後、さらに誤差拡散処理を行ってもよい。以上の事項は、逆誤差拡散処理にも適用される。

20

#### 【0217】

なお、図 8 などにおいて 1 4 をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、図 8 などで説明する構成にあっても、図 9 などで説明する 3 辺フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。

30

#### 【0218】

表示パネルを携帯電話などの情報表示装置に使用する場合、ソースドライバ IC（回路）1 4、ゲートドライバ IC（回路）1 2 を図 9 に示すように、表示パネルの一辺に実装（形成）することが好ましい（なお、このように一辺にドライバ IC（回路）を実装（形成）する形態を 3 辺フリー構成（構造）と呼ぶ。従来は、表示領域の X 辺にゲートドライバ IC 1 2 が実装され、Y 辺にソースドライバ IC 1 4 が実装されていた）。画面 5 0 の中心線が表示装置の中心になるように設計し易く、また、ドライバ IC の実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などで 3 辺フリーの構成で作製してもよい（つまり、図 9 のソースドライバ回路 1 4 とゲートドライバ回路 1 2 のうち、少なくとも一方をポリシリコン技術で基板 7 1 に直接形成する）。

40

#### 【0219】

なお、3 辺フリー構成とは、基板 7 1 に直接 IC を積載あるいは形成した構成だけでなく、ソースドライバ IC（回路）1 4、ゲートドライバ IC（回路）1 2 などを取り付けたフィルム（TCP、TAB 技術など）を基板 7 1 の一辺（もしくはほぼ一辺）にはりつけた構成も含む。つまり、2 辺に IC が実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

図 9 のようにゲートドライバ回路 1 2 をソースドライバ回路 1 4 の横に配置すると、ゲート信号線 1 7 は辺 C の沿って形成し、画面表示領域 5 0 まで形成する必要がある。

50

## 【0220】

なお、図9などにおいて太い実線で図示した箇所はゲート信号線17が並列して形成した箇所を示している。したがって、bの部分（画面下部）は走査信号線の本数分のゲート信号線17が並列して形成され、aの部分（画面上部）はゲート信号線17が1本形成されている。

## 【0221】

C辺に形成するゲート信号線17のピッチは5 $\mu$ m以上12 $\mu$ m以下にする。5 $\mu$ m未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば7 $\mu$ m以下で寄生容量の影響が顕著に発生する。さらに5 $\mu$ m未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減12 $\mu$ mを越えると表示パネルの額縁幅Dが大きくなりすぎ実用的でない。

10

## 【0222】

前述の画像ノイズを低減するためには、ゲート信号線17を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線17上に配置すればよい。

## 【0223】

図9のC辺のゲート信号線17はITO電極で形成してもよいが、低抵抗化するため、ITOと金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。ITOと積層する場合は、ITO上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくはITO上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

20

## 【0224】

なお、図9などにおいて、ゲート信号線17などは表示領域の片側に配置するとしたがこれに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線17aを表示領域50の右側に配置（形成）し、ゲート信号線17bを表示領域50の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

30

## 【0225】

また、ソースドライバIC14とゲートドライバIC12とを1チップ化してもよい。1チップ化すれば、表示パネルへのICチップの実装が1個で済む。したがって、実装コストも低減できる。また、1チップドライバIC内で使用する各種電圧も同時に発生することができる。

なお、ソースドライバIC14、ゲートドライバIC12はシリコンなどの半導体ウェハで作製し、表示パネルに実装するとしたがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術、アモルファスシリコン技術により表示パネル82に直接形成してもよいことは言うまでもない。

## 【0226】

40

図1などで図示した構成ではEL素子15のトランジスタ11aを介してV<sub>dd</sub>電位に接続されている。しかし、各色を構成する有機ELの駆動電圧が異なるという問題がある。たとえば、単位平方センチメートルあたり0.01(A)の電流を流した場合、青(B)ではEL素子の端子電圧は5(V)であるが、緑(G)および赤(R)では9(V)である。つまり、端子電圧がBとG、Rで異なる。したがって、BとG、Rでは保持するトランジスタ11aのソースドレイン電圧(SD電圧)が異なる。そのため、各色でトランジスタのソースドレイン電圧(SD電圧)間オフリーク電流が異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に相関してガンマ特性がずれるという複雑な表示状態をな

50

## 【0227】

この課題に対応するため、少なくともR、G、B色のうち、1つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構成している。もしくはR、G、B色のうち、1つのV<sub>dd</sub>の電位を他色のV<sub>dd</sub>の電位と異ならせるように構成している。

## 【0228】

R、G、BのEL素子15の端子電圧は極力一致させることが好ましいことは言うまでもない。少なくとも、白ピーク輝度を表示しており、色温度が6000K以上9000K以下の範囲で、R、G、BのEL素子の端子電圧は10（V）以下となるように材料あるいは構造選定をする必要がある。また、R、G、Bののうち、EL素子の最大の端子電圧と最小の端子電圧との差は、2.5（V）以内にすることが必要である。さらに好ましくは1.5（V）以下にすることが必要である。なお、以上の実施例では、色はRGBとしたがこれに限定するものではない。このことは後に説明する。

10

## 【0229】

また、色ムラの補正も必要である。これは、各色のEL材料を塗り分けるため、膜厚のパラツキ、特性のパラツキによって発生する。これを補正するため、30%もしくは70%の輝度で白ラスタ表示を行い、表示領域50内の各色の面内分布を測定する。面内分布は少なくとも30画素に1ポイントずつは測定する。この測定データをメモリからなるテーブルに保存し、この保存されたデータを使用して、入力画像データを補正して表示画面50に表示するように構成する。

## 【0230】

なお、画素は、R、G、Bの3原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの3色でもよい。また、Bとイエローの2色でもよい。もちろん、単色でもよい。また、R、G、B、シアン、イエロー、マゼンダの6色でもよい。R、G、B、シアン、マゼンダの5色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。その他、R、G、B、白の4色でもよい。R、G、B、シアン、イエロー、マゼンダ、黒、白の7色でもよい。また、白色発光の画素を表示領域50全体に形成（作製）し、RGBなどのカラーフィルターで3原色表示としてもよい。この場合は、EL層に各色の発光材料を積層して形成すればよい。また、1画素をBとイエローのように塗り分けてもよい。以上のように本発明のEL表示装置は、RGBの3原色でカラー表示を行うものに限定されるものではない。

20

30

## 【0231】

有機EL表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、RGBの各層を塗り分ける必要がない、RGBの各色の有機EL材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明のEL表示パネルなどはこのいずれの方式でも適用される。

## 【0232】

また、3原色の他に、白色発光の画素を形成してもよい。白色発光の画素はR、G、B発光の構造を積層することにより作製（形成または構成）することにより実現できる。1組の画素は、RGBの3原色と、白色発光の画素16Wからなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。

40

## 【0233】

RGBなどの3原色を1組の画素をする場合であっても、図169に図示するように、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1つまたは複数の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が6000K（ケルビン）以上9000K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±3

50

0%以内となるようにする。さらに好ましくは±15%以内となるようにする。たとえば、電流密度が100A/平方メートルをすれば、3原色がいずれも70A/平方メートル以上130A/平方メートル以下となるようにする。さらに好ましくは、3原色がいずれも85A/平方メートル以上115A/平方メートル以下となるようにする。

#### 【0234】

また、隣接した画素行で、3原色の配置が異なるように配置することが好ましい。たとえば、偶数行目が、左からR、G、Bの配置であれば、奇数行目はB、G、Rの配置とする。このように配置することにより、少ない画素数でも、画像の斜め方向の解像度が改善される。さらに、1行目を左からR、G、B、R、G、Bの配置とし、2行目をG、B、R、G、B、Rの配置とし、3行目をB、R、G、B、R、Gの配置とするように、3画素行以上で、画素配置を異ならせてもよい。もちろん、R、G、Bの画素配置もしくは、シアン、イエロー、マゼンダなどの色配置は、デルタ配置(1/2画素ずらす配置)としてもよいことは言うまでもない。

10

#### 【0235】

有機EL15は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象(ホトコン)が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク(オフリーク)が増える現象を言う。

#### 【0236】

この課題に対処するため、本発明ではゲートドライバ12(場合によってはソースドライバ14)の下層、画素トランジスタ11の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ11A1のパターニングが困難になる。

20

#### 【0237】

遮光膜上に20以上100nm以下の無機材料からなる平滑化膜を形成する。この遮光膜のレイヤーを用いて蓄積容量19の一方の電極を形成してもよい。この場合、平滑膜は極力薄く作り蓄積容量の容量値を大きくすることが好ましい。また遮光膜をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜の表面に形成し、この酸化シリコン膜を蓄積容量19の誘電体膜として用いてもよい。平滑化膜上にはハイアパーチャ(HA)構造の画素電極が形成される。

30

#### 【0238】

ドライバ回路12などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ12などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

#### 【0239】

しかし、ドライバ12の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電氣的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路12などの上に少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。

40

#### 【0240】

基本的に有機EL膜は絶縁物であるから、ドライバ上に有機EL膜を形成することにより、カソードとドライバ間が隔離される。したがって、前述の課題を解消することができる。

#### 【0241】

画素の1つ以上のトランジスタ11の端子間あるいはトランジスタ11と信号線とが短絡すると、EL素子15が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつので黒点化(非点灯)する必要がある。輝点に対しては、該当画素16を検出し、コンデンサ19にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コン

50



デンサ 19 には電荷を保持できなくなるので、トランジスタ 11 a は電流を流さなくすることができる。

【0242】

なお、レーザー光を照射する位置にあたる。カソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ 19 の端子電極とカソード膜とがショートすることを防止するためである。

【0243】

画素 16 のトランジスタ 11 の欠陥は、ドライバ IC 14 などにも影響を与える。例えば、図 58 では駆動トランジスタ 11 a にソースドレイン (SD) ショート 582 が発生していると、パネルの V<sub>dd</sub> 電圧がソースドライバ IC 14 に印加される。したがって、ソースドライバ IC 14 の電源電圧は、パネルの電源電圧 V<sub>dd</sub> と同一かもしくは高くしておくことが好ましい。なお、ソースドライバ IC で使用する基準電流は電子ボリウム 581 で調整できるように構成しておくことが好ましい。

【0244】

トランジスタ 11 a に SD ショート 582 が発生していると、EL 素子 15 に過大な電流が流れる。つまり、EL 素子 15 が常時点灯状態 (輝点) となる。輝点は欠陥として目立ちやすい。たとえば、図 58 において、トランジスタ 11 a のソースドレイン (SD) ショートが発生していると、トランジスタ 11 a のゲート (G) 端子電位の大小に関わらず、V<sub>dd</sub> 電圧から EL 素子 15 に電流が常時流れる (トランジスタ 11 d がオンの時)。したがって、輝点となる。

【0245】

一方、トランジスタ 11 a に SD ショートが発生していると、トランジスタ 11 c がオン状態の時、V<sub>dd</sub> 電圧がソース信号線 18 に印加されソースドライバ 14 に V<sub>dd</sub> 電圧が印加される。もし、ソースドライバ 14 の電源電圧が V<sub>dd</sub> 以下であれば、耐圧を越えて、ソースドライバ 14 が破壊される恐れがある。そのため、ソースドライバ 14 の電源電圧は V<sub>dd</sub> 電圧 (パネルの高い方の電圧) 以上にすることが好ましい。

【0246】

トランジスタ 11 a の SD ショートなどは、点欠陥にとどまらず、パネルのソースドライバ回路を破壊につながる恐れがあり、また、輝点は目立つためパネルとしては不良となる。したがって、図 58 のトランジスタ 11 a と EL 素子 15 間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断することがよい。なお、光学手段とはレーザーに限定されるものではなく、キセノンランプなどから発生する光を集光し、この集光した光で配線を切断する方式でもよい。また、切断箇所にはサンドブラスト方式で切断 (微粒子の砂を吹き付け、切断する) する方法を採用してもよい。つまり、切断手段としては何を用いても良い。しかし、レーザーなどの光学手段を用いる方法は切断箇所に非接触で加工を行うことができ好ましい。

【0247】

なお、レーザー光は連続方式のものよりは、Q スイッチを用いたパルス発振のものを採用することが好ましい。また、切断箇所には複数のレーザーパルスが照射されるようにする。そして、レーザーのパルス間隔は 0.1 msec (m 秒、ミリ秒) 以上 100 msec (m 秒、ミリ秒) 以下にすることが好ましい。特に 1 msec 以上 10 msec 以下にすることが好ましい。この間隔では、先に照射したレーザー光による加工箇所の熔融状態が継続しており、良好な切断あるいは加工が実施できるからである。また、レーザー光の波長は 1 μm 前後が好ましい。この波長のレーザーとしては YAG レーザーが例示される。もちろん、他のレーザーでもよい。たとえば、炭酸ガスレーザー、エキシマレーザー、ネオンヘリウムレーザーなどが例示される。

【0248】

なお、以上の実施例は配線を切断させるとしたが、黒表示するためにはこれに限定されるものではない。たとえば、図 1 でもわかるように、トランジスタ 11 a の電源 V<sub>dd</sub> が、トランジスタ 11 a のゲート (G) 端子に常時印加されるように修正してもよい。たとえ

ば、コンデンサ 19 の 2 つの電極間をショートさせれば、V d d 電圧がトランジスタ 11 a のゲート (G) 端子に印加されるようになる。したがって、トランジスタ 11 a は完全にオフ状態になり、E L 素子 15 に電流を流さなくすることができる。これば、コンデンサ 19 にレーザー光を照射することによりコンデンサ電極をショートできるから、容易に実現できる。また、実際には、画素電極の下層に V d d 配線が配置されているから、V d d 配線と画素電極とにレーザー光を照射することにより、画素の表示状態を制御 (修正) することができる。

#### 【0249】

その他、トランジスタ 11 a の S D 間 (チャンネル) をオープンにすることでも実現できる。簡単にはトランジスタ 11 a にレーザー光を照射し、トランジスタ 11 a のチャンネルをオープンにする。同様に、トランジスタ 11 d のチャンネルをオープンにしてもよい。もちろん、トランジスタ 11 b のチャンネルをオープンしても該当画素 16 が選択されないから、黒表示となる。

#### 【0250】

画素 16 を黒表示するためには、E L 素子 15 を劣化させてもよい。たとえば、レーザー光を E L 層 15 に照射し、E L 層 15 を物理的にあるいは化学的に劣化させ、発光しないようにする (常時黒表示)。レーザー光の照射により E L 層 15 を加熱し、容易に劣化させることができる。また、エキシマレーザーを用いれば、E L 膜 15 の化学的変化を容易に行うことができる。

#### 【0251】

なお、以上の実施例は、図 1 に図示した画素構成を例示したが、本発明はこれに限定するものではない。レーザー光を用いて配線あるいは電極をオープンあるいはショートさせることは、カレントミラーなどの他の電流駆動の画素構成あるいは図 6 2、図 5 1 などで図示する電圧駆動の画素構成であっても適用できることは言うまでもない。

#### 【0252】

カソード (もしくはアノード) 電極が透明電極の場合、画素電極を反射タイプとし共通電極を透明電極 (I T O、I Z O など) にする光上取り出しの構造 (ガラス基板 7 1 側から光を取り出すのは下取出し、E L 膜蒸着面から光を取り出すのが上取り出し) の場合は、透明電極のシート抵抗値が問題となる。透明電極は高抵抗であるが、有機 E L のカソードには高い電流密度で電流を流す必要がある。したがって、I T O 膜の単層でカソード電極を形成すると発熱により加熱状態となったり、表示画面に極度の輝度傾斜が発生したりする。

#### 【0253】

この課題に対応するため、カソード電極の表面に金属薄膜からなる低抵抗化配線を形成すればよい。低抵抗化配線は液晶表示パネルのブラックマトリックス (B M) と同様の構成 (クロムまたはアルミ材料で 50 n m ~ 200 n m の膜厚) で、かつ同様の位置 (画素電極間、ドライバ 12 の上など) である。しかし、有機 E L では B M を形成する必要はないから機能は全く異なる。なお、低抵抗化配線は透明電極の表面に限定するものではなく、裏面 (有機 E L 膜と接する面) に形成してもよい。また、B M 状に形成した金属膜として、M g · A g、M g · L i、A l · L i などの合金あるいは積層構造体など、アルミニウム、マグネシウム、インジウム、銅または各々の合金等を用いてもよい。なお、B M 上には腐食などを防止するため、さらに I T O、I Z O 膜を積層し、また、S i N<sub>x</sub>、S i O<sub>2</sub> などの無機薄膜、あるいはポリイミドなどの有機薄膜を形成する。

#### 【0254】

また、E L 膜の蒸着面から光を取り出す場合 (上取り出し) の場合は、有機 E L 膜 15 上の M g - A l 膜を形成し、その上に I T O、I Z O 膜を形成することが好ましい。また、有機 E L 膜 15 上の M g - A l 膜を形成し、その上にブラックマトリックス (液晶表示パネルのようなブラックマトリックス) を形成することが好ましい。このブラックマトリックスはクロム、A l、A g、A u、C u などで形成し、この上に、S i O<sub>2</sub>、S i N<sub>x</sub> などの無機絶縁膜、ポリエステル、アクリルなどの有機絶縁膜からなる保護膜を形成するこ

とが好ましい。さらに、この保護膜上に、反射防止膜（AIRコート）を形成する。AIRコートは3層の構成あるいは2層構成がある。3層構成の場合は酸化アルミニウム（ $\text{Al}_2\text{O}_3$ ）を光学的膜厚が $nd = \lambda / 4$ 、ジルコニウム（ $\text{ZrO}_2$ ）を $nd = \lambda / 2$ 、フッ化マグネシウム（ $\text{MgF}_2$ ）を $nd = \lambda / 4$ 積層して形成する。通常、 $\lambda$ として520nmもしくはその近傍の値として薄膜は形成される。

【0255】

2層構成の場合は一酸化シリコン（ $\text{SiO}$ ）を光学的膜厚 $nd = \lambda / 4$ とフッ化マグネシウム（ $\text{MgF}_2$ ）を $nd = \lambda / 4$ 、もしくは酸化イットリウム（ $\text{Y}_2\text{O}_3$ ）とフッ化マグネシウム（ $\text{MgF}_2$ ）を $nd = \lambda / 4$ 積層して形成する。

【0256】

1層の場合は、フッ化マグネシウム（ $\text{MgF}_2$ ）を $nd = \lambda / 2$ 積層して形成する。

【0257】

なお、下取り出しの場合であっても、カソード電極106の金属膜の透過率を高くすることは効果がある。基板71側から表示画像を見る構成であっても、金属膜の透過率を高めるため、写り込みが減少するからである。写り込みが減少すれば、円偏光板（位相板）108は不要となる。したがって、上取り出しよりも光取り出し効率が向上する場合がある。金属膜の透過率は、60%以上90%以下にすることが好ましい。特に70%以上90%以下にすることが好ましい。60%以下であるとカソード電極のシート抵抗値が低くなる。しかし、写り込みが大きくなる。逆に90%以上ではカソード電極のシート抵抗値が高くなる。したがって、表示画像の輝度傾斜が大きくなる。

【0258】

金属膜の透過率を高くするにはA1膜を薄く形成する。厚みは20nm以上100nm以下に形成する。その上にITO、IZO膜を形成することが好ましい。また、A1膜上にブラックマトリックスを形成することが好ましい。このブラックマトリックスはクロム、Al、Ag、Au、Cuなどで形成し、この上に、 $\text{SiO}_2$ 、 $\text{SiN}_x$ などの無機絶縁膜、ポリエステル、アクリルなどの有機絶縁膜からなる保護膜を形成することが好ましい。さらに、この保護膜上に、反射防止膜（AIRコート）を形成することが好ましい。

【0259】

なお、EL膜15または画素電極105は、円弧状に限定するものではなく、三角錐状、円錐状、サインカーブ状でもよく、また、これらを組み合わせた構造でもよい。また、1画素に微細な円弧上、三角錐状、円錐状、サインカーブ状が形成されたり、これらが組み合わされたり、もしくは、ランダムな凹凸が形成された構成であっても良い。

【0260】

画素16のトランジスタ11を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のパラツキがトランジスタ11特性のパラツキとなる。しかし、1画素16内のトランジスタ11の特性が一致していれば、図1などの電流プログラムを行う方式では、所定の電流がEL素子15に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。

【0261】

なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相（CGS）成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術、アモルファスシリコン技術を用いても良いことはいうまでもない。

【0262】

この課題に対して、本発明では図7に示すように、アニールの時のレーザー照射スポット（レーザー照射範囲）72をソース信号線18に平行に照射する。また、1画素列に一致するようにレーザー照射スポット72を移動させる。もちろん、1画素列に限定するものではなく、たとえば、図72のRGBを1画素16という単位でレーザーを照射してもよい（この場合は、3画素列ということになる）。また、複数の画素に同時に照射してもよ

10

20

30

40

50

い。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。

#### 【0263】

画素はRGBの3画素で正方形の形状となるように作製されている。したがって、R、G、Bの各画素は縦長の画素形状となる。したがって、レーザー照射スポット72を縦長にしてアニールすることにより、1画素内ではトランジスタ11の特性バラツキが発生しないようにすることができる。また、1つのソース信号線18に接続されたトランジスタ11の特性（モビリティ、 $V_t$ 、S値など）を均一にすることができる（つまり、隣接したソース信号線18のトランジスタ11とは特性が異なる場合があるが、1つのソース信号線に接続されたトランジスタ11の特性はほぼ等しくすることができる）。

10

#### 【0264】

一般的にレーザー照射スポット72の長さは10インチというように固定値である。このレーザー照射スポット72を移動させるのであるから、1つのレーザー照射スポット72を移動できる範囲内におさまるようにパネルを配置する必要がある（つまり、パネルの表示領域50の中央部でレーザー照射スポット72が重ならないようにする）。

#### 【0265】

図7の構成では、レーザー照射スポット72の長さの範囲内に3つのパネルが縦に配置されるように形成されている。レーザー照射スポット72を照射するアニール装置はガラス基板74の位置決めマーカー73a、73bを認識（パターン認識による自動位置決め）してレーザー照射スポット72を移動させる。位置決めマーカー73の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー73を認識し、画素列の位置をわりだす（レーザー照射範囲72がソース信号線18と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット72を照射してアニールを順次行う。

20

#### 【0266】

図7で説明したレーザーアニール方法（ソース信号線18に平行にライン状のレーザー照射スポットを照射する方式）は、有機EL表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ11の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。

30

#### 【0267】

たとえば、白ラスタ表示であれば、隣接した各画素のトランジスタ11aに流す電流はほぼ同一のため、ソースドライバIC14から出力する電流振幅の変化が少ない。もし、図1のトランジスタ11aの特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線18の電位は一定である。したがって、ソース信号線18の電位変動は発生しない。1つのソース信号線18に接続されたトランジスタ11aの特性がほぼ同一であれば、ソース信号線18の電位変動は小さいことになる。このことは、図38などの他の電流プログラム方式の画素構成でも同一である（つまり、図7の製造方法を適用することが好ましい）。

#### 【0268】

また、図27、図30などで説明する複数の画素行を同時書き込みする方式で均一が画像表示（主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである）を実現できる。図27などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはドライバ回路14で吸収できる。

40

#### 【0269】

なお、図7では、ソースドライバ回路14は、ICチップを積載するように図示しているが、これに限定するものではなく、ソースドライバ回路14を画素16と同一プロセスで形成してもよいことは言うまでもない。

#### 【0270】

50

以下、図 1 の画素構成について、その駆動方法について説明をする。図 1 に示すように、ゲート信号線 17 a は行選択期間に導通状態（ここでは図 1 のトランジスタ 11 が p チャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線 17 b は非選択期間時に導通状態とする。

【0271】

ソース信号線 18 には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線 18 とゲート信号線 17 とのクロス部の容量、トランジスタ 11 b、11 c のチャンネル容量などにより発生する。

【0272】

ソース信号線 18 の電流値変化に要する時間  $t$  は浮遊容量の大きさを  $C$ 、ソース信号線の電圧を  $V$ 、ソース信号線に流れる電流を  $I$  とすると  $t = C \cdot V / I$  であるため電流値を 10 倍大きくできることは電流値変化に要する時間が 10 分の 1 近くまで短くできる。またはソース容量が 10 倍になっても所定の電流値に変化できるということを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

【0273】

入力電流を 10 倍にすると出力電流も 10 倍となり、EL の輝度が 10 倍となるため所定の輝度を得るために、図 1 のトランジスタ 17 d の導通期間を従来の 10 分の 1 とし、発光期間を 10 分の 1 とすることで、所定輝度を表示するようにした。

【0274】

つまり、ソース信号線 18 の寄生容量の充放電を十分に行い、所定の電流値を画素 16 のトランジスタ 11 a にプログラムを行うためには、ソースドライバ 14 から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線 18 に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流が EL 素子 15 に流れる。たとえば、10 倍の電流でプログラムすれば、当然、10 倍の電流が EL 素子 15 に流れ、EL 素子 15 は 10 倍の輝度で発光する。所定の発光輝度にするためには、EL 素子 15 に流れる時間を  $1/10$  にすればよい。このように駆動することにより、ソース信号線 18 の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

【0275】

なお、10 倍の電流値を画素のトランジスタ 11 a（正確にはコンデンサ 19 の端子電圧を設定している）に書き込み、EL 素子 15 のオン時間を  $1/10$  にするとしたがこれは一例である。場合によっては、10 倍の電流値を画素のトランジスタ 11 a に書き込み、EL 素子 15 のオン時間を  $1/5$  にしてもよい。逆に 10 倍の電流値を画素のトランジスタ 11 a に書き込み、EL 素子 15 のオン時間を  $1/2$  倍にする場合もあるであろう。

【0276】

本発明は、画素への書き込み電流を所定値以外の値にし、EL 素子 15 に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、 $N$  倍の電流値を画素のトランジスタ 11 に書き込み、EL 素子 15 のオン時間を  $1/N$  倍にするとして説明する。しかし、これに限定するものではなく、 $N1$  倍の電流値を画素のトランジスタ 11 に書き込み、EL 素子 15 のオン時間を  $1/N2$  倍（ $N1$  と  $N2$  とは異なる）でもよいことは言うまでもない。なお、間欠する間隔は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、RGB で異なってもよい。つまり、白（ホワイト）バランスが最適になるように、R、G、B 表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。また、説明を容易にするため、 $1/N$  を  $1F$ （1 フィールドまたは 1 フレーム）を基準にしてこの  $1F$  を  $1/N$  にするとして説明する。しかし、1 画素行が選択され、電流値がプログラムされる時間（通常、1 水平走査期間（1 H））があるし、また、走査状態によっては誤差も生じる。したがって、以上の説明はあくまでも説明を容易にするための便宜状の問題だけであり、これに限定するものではない

い。

【0277】

有機（無機）EL表示装置は、CRTのように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、EL表示装置では、1F（1フィールドあるいは1フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

【0278】

本発明では、1F/Nの期間の間だけ、EL素子15に電流を流し、他の期間（1F（N-1）/N）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では1Fごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。動画データ表示を、この間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

【0279】

液晶表示パネルの場合は、光変調をする画像データ（電圧）は液晶層に保持される。したがって、黒挿入表示を実施しようとする液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバIC14の動作クロックを高くし、画像データを黒表示データとを交互にソース信号線18に印加する必要がある。したがって、黒挿入（黒表示などの間欠表示）を実現しようとする回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

【0280】

図1、図2、図38などに示す本発明のEL表示パネルの画素構成では、画像データはコンデンサ19に保持されている。このコンデンサ19の端子電圧に対応する電流をEL素子15に流す。したがって、画像データは液晶表示パネルのように光変調層に保持されているのではない。

【0281】

本発明はスイッチングのトランジスタ11d、あるいはトランジスタ11eなどをオンオフさせるだけでEL素子15に流す電流を制御する。つまり、EL素子15に流れる電流Iwをオフしても、画像データはそのままコンデンサ19の保持されている。したがって、次のタイミングでスイッチング素子11dなどをオンさせ、EL素子15に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現しようとする際においても回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機EL素子15は電流を印加してから発光するまでの時間が短く高速応答である。そのため、動画表示に適し、さらに間欠表示を実施することのより従来のデータ保持型の表示パネル（液晶表示パネル、EL表示パネルなど）の問題である動画表示の問題を解決できる。

【0282】

さらに、大型の表示装置でソース容量が大きくなる場合はソース電流を10倍以上にしてやればよい。一般にソース電流値をN倍にした場合、ゲート信号線17b（トランジスタ11d）の導通期間を1F/Nとすればよい。これによりテレビ、モニター用の表示装置などにも適用が可能である。

【0283】

以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線18の寄生容量は、隣接したソース信号線18間の結合容量、ソースドライバIC（回路）14のパッファ出力容量、ゲート信号線17とソース信号線18とのクロス容量などにより発生する。この寄生容量は通常10pF以上となる。電圧駆動の場合は、ドラ

イバIC14からは低インピーダンスで電圧がソース信号線18に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

【0284】

しかし、電流駆動では特に黒レベルの画像表示では5 nA以下の微小電流で画素のコンデンサ19をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさに発生すると、1画素行にプログラムする時間（通常、1 H以内、ただし、2画素行を同時に書き込む場合もあるので1 H以内に限定されるものではない。）内に寄生容量を充放電することができない。1 H期間で充放電できなければ、画素への書き込み不足となり、解像度がでない。

【0285】

図1の画素構成の場合、図3(a)に示すように、電流プログラム時は、プログラム電流 $I_w$ がソース信号線18に流れる。この電流 $I_w$ がトランジスタ11aを流れ、 $I_w$ を流す電流が保持されるように、コンデンサ19に電圧設定（プログラム）される。このとき、トランジスタ11dはオープン状態（オフ状態）である。

【0286】

次に、EL素子15に電流を流す期間は図3(b)のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧（ $V_{gh}$ ）が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧（ $V_{gl}$ ）が印加され、トランジスタ11dがオンする。

【0287】

今、電流 $I_1$ が本来流す電流（所定値）のN倍であるとする、図3(b)のEL素子15に流れる電流も $I_w$ となる。したがって、所定値の10倍の輝度でEL素子15は発光する。つまり、図12に図示するように、倍率Nを高くするほど、表示パネルの表示輝度Bも高くなる。したがって、倍率と輝度とは比例関係となる。逆に、 $1/N$ と駆動することにより、輝度と倍率とは反比例の関係となる。

【0288】

そこで、トランジスタ11dを本来オンする時間（約1 F）の $1/N$ の期間だけオンさせ、他の期間（ $N-1$ ）/N期間はオフさせれば、1 F全体の平均輝度は所定の輝度となる。この表示状態は、CRTが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の $1/N$ （全画面を1とする）が点灯している点である（CRTでは、点灯している範囲は1画素行（厳密には1画素である））。

【0289】

本発明では、この1 F/Nの画像表示領域53が図13(b)に示すように画面50の上から下に移動する。本発明では、1 F/Nの期間の間だけ、EL素子15に電流が流れ、他の期間（1 F・（ $N-1$ ）/N）は電流を流れない。したがって、各画素は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

【0290】

なお、図13に図示するように、書き込み画素行51aは非点灯表示52aとする。しかし、これは、図1、図2などの画素構成の場合である。図38などで図示するカレントミラーの画素構成では、書き込み画素行51aは点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図1の画素構成を例示して説明をする。また、図13、図16などの所定駆動電流 $I_w$ よりも大きい電流でプログラムし、間欠駆動する駆動方法をN倍パルス駆動と呼ぶ。

【0291】

この表示状態では1 Fごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（本発明以外のEL表示パネル）では、1 Fの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、

10

20

30

40

50

画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。

#### 【0292】

このタイミングチャートを図14に図示する。なお、本発明などにおいて、特に断りがない時の画素構成は図1であるとする。図14でわかるように、各選択された画素行（選択期間は、1Hとしている）において、ゲート信号線17aにオン電圧（Vg1）が印加されている時（図14（a）を参照）には、ゲート信号線17bにはオフ電圧（Vgh）が印加されている（図14（b）を参照）。また、この期間は、EL素子15には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線17aにオフ電圧（Vgh）が印加され、ゲート信号線17bにはオン電圧（Vg1）が印加されている。また、この期間は、EL素子15に電流が流れている（点灯状態）。また、点灯状態では、EL素子15は所定のN倍の輝度（N・B）で点灯し、その点灯期間は1F/Nである。したがって、1Fを平均した表示パネルの表示輝度は、 $(N \cdot B) \times (1/N) = B$ （所定輝度）となる。

#### 【0293】

図15は、図14の動作を各画素行に適用した実施例である。ゲート信号線17に印加する電圧波形を示している。電圧波形はオフ電圧をVgh（Hレベル）とし、オン電圧をVg1（Lレベル）としている。（1）（2）などの添え字は選択している画素行番号を示している。

#### 【0294】

図15において、ゲート信号線17a（1）が選択され（Vg1電圧）、選択された画素行のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このプログラム電流は所定値のN倍（説明を容易にするため、N=10として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。）である。したがって、コンデンサ19には10倍に電流がトランジスタ11aに流れるようにプログラムされる。画素行（1）が選択されている時は、図1の画素構成ではゲート信号線17b（1）はオフ電圧（Vgh）が印加され、EL素子15には電流が流れない。

#### 【0295】

1H後には、ゲート信号線17a（2）が選択され（Vg1電圧）、選択された画素行のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このプログラム電流は所定値のN倍（説明を容易にするため、N=10として説明する）である。したがって、コンデンサ19には10倍に電流がトランジスタ11aに流れるようにプログラムされる。画素行（2）が選択されている時は、図1の画素構成ではゲート信号線17b（2）はオフ電圧（Vgh）が印加され、EL素子15には電流が流れない。しかし、先の画素行（1）のゲート信号線17a（1）にはオフ電圧（Vgh）が印加され、ゲート信号線17b（1）にはオン電圧（Vg1）が印加されるため、点灯状態となっている。

#### 【0296】

次の1H後には、ゲート信号線17a（3）が選択され、ゲート信号線17b（3）はオフ電圧（Vgh）が印加され、画素行（3）のEL素子15には電流が流れない。しかし、先の画素行（1）（2）のゲート信号線17a（1）（2）にはオフ電圧（Vgh）が印加され、ゲート信号線17b（1）（2）にはオン電圧（Vg1）が印加されるため、点灯状態となっている。

#### 【0297】

以上の動作を1Hの同期信号に同期して画像を表示していく。しかし、図15の駆動方式では、EL素子15には10倍の電流が流れる。したがって、表示画面50は約10倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を1/10にしておけばよいことは言うまでもない。しかし、1/10の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面52

10

20

30

40

50



挿入により所定の輝度を得るのは本発明の基本的な主旨である。

【0298】

なお、本発明の駆動方法において、所定電流よりも高い電流がEL素子15に流れるようにし、ソース信号線18の寄生容量を十分に充放電するという概念である。つまり、EL素子15にN倍の電流を流さなくともよい。たとえば、EL素子15に並列に電流経路を形成し（ダミーのEL素子を形成し、このEL素子は遮光膜を形成して発光させないなど）、ダミーEL素子とEL素子15に分流して電流を流しても良い。たとえば、信号電流が $0.2\mu\text{A}$ のとき、プログラム電流を $2.2\mu\text{A}$ として、トランジスタ11aには $2.2\mu\text{A}$ を流す。この電流のうち、信号電流 $0.2\mu\text{A}$ をEL素子15に流して、 $2\mu\text{A}$ をダミーのEL素子に流すなどの方式が例示される。

10

【0299】

以上のように構成することにより、ソース信号線18に流す電流をN倍に増加させることにより、駆動トランジスタ11aにN倍の電流が流れるようにプログラムすることができ、かつ、電流EL素子15には、N倍よりは十分小さい電流をながることができることになる。以上の方法では、図5に図示するように、非点灯領域52を設けることなく、全表示領域50を画像表示領域53とすることができる。

【0300】

図13(a)は表示画像50への書き込み状態を図示している。図13(a)において、51aは書き込み画素行である。ソースドライバIC14から各ソース信号線18にプログラム電流が供給される。なお、図13などでは1H期間に書き込む画素行は1行である。しかし、何ら1Hに限定するものではなく、 $0.5\text{H}$ 期間でも、 $2\text{H}$ 期間でもよい。また、ソース信号線18にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線18に書き込まれるのは電圧である電圧プログラム方式でもよい。

20

【0301】

図13(a)において、ゲート信号線17aが選択されるとソース信号線18に流れる電流がトランジスタ11aにプログラムされる。この時、ゲート信号線17bはオフ電圧が印加されEL素子15には電流が流れない。これは、EL素子15側にトランジスタ11dがオン状態であると、ソース信号線18からEL素子15の容量成分が見え、この容量に影響されてコンデンサ19に十分に正確な電流プログラムができなくなるためである。したがって、図1の構成を例にすれば、図13(b)で示すように電流を書き込まれている画素行は非点灯領域52となる。

30

【0302】

今、N（ここでは、先に述べたように $N=10$ とする）倍の電流でプログラムしたとすれば、画面の輝度は10倍になる。したがって、表示領域50の90%の範囲を非点灯領域52とすればよい。したがって、画像表示領域の水平走査線がQCIFの220本（ $S=220$ ）とすれば、22本と表示領域53とし、 $220-22=198$ 本を非表示領域52とすればよい。一般的に述べれば、水平走査線（画素行数）をSとすれば、 $S/N$ の領域を表示領域53とし、この表示領域53をN倍の輝度で発光させる。そして、この表示領域53を画面の上下方向に走査する。したがって、 $S(N-1)/N$ の領域は非点灯領域52とする。この非点灯領域は黒表示（非発光）である。また、この非発光部52はトランジスタ11dをオフさせることにより実現する。なお、N倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりN倍の値と調整することは言うまでもない。

40

【0303】

また、先の実施例で、10倍の電流でプログラムしたとすれば、画面の輝度は10倍になり、表示領域50の90%の範囲を非点灯領域52とすればよいとした。しかし、これは、RGBの画素を共通に非点灯領域52とすることに限定するものではない。例えば、Rの画素は、 $1/8$ を非点灯領域52とし、Gの画素は、 $1/6$ を非点灯領域52とし、Bの画素は、 $1/10$ を非点灯領域52と、それぞれの色により変化させてもよい。また、

50

R G B の色で個別に非点灯領域 5 2 (あるいは点灯領域 5 3) を調整できるようにしてもよい。これらを実現するためには、R、G、B で個別のゲート信号線 1 7 b が必要になる。しかし、以上の R G B の個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる (図 4 1 を参照のこと)。

#### 【0304】

図 1 3 (b) に図示するように、書き込み画素行 5 1 a を含む画素行が非点灯領域 5 2 とし、書き込み画素行 5 1 a よりも上画面の S / N (時間的には 1 F / N) の範囲を表示領域 5 3 とする (書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる)。画像表示状態は、表示領域 5 3 が帯状になって、画面の上から下

10

#### 【0305】

図 1 3 の表示では、1 つの表示領域 5 3 が画面の上から下方向に移動する。フレームレートが低いと、表示領域 5 3 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

#### 【0306】

この課題に対しては、図 1 6 に図示するように、表示領域 5 3 を複数に分割するとよい。この分割された総和が  $S(N-1)/N$  の面積となれば、図 1 3 の明るさと同等になる。なお、分割された表示領域 5 3 は等しく (等分に) する必要はない。また、分割された非表示領域 5 2 も等しくする必要はない。

20

#### 【0307】

以上のように、表示領域 5 3 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほど動画表示性能は低下する。

#### 【0308】

図 1 7 はゲート信号線 1 7 の電圧波形および E L の発光輝度を図示している。図 1 7 デ明らかなように、ゲート信号線 1 7 b を  $V_{g1}$  にする期間 ( $1 F / N$ ) を複数に分割 (分割数  $K$ ) している。つまり、 $V_{g1}$  にする期間は  $1 F / (K / N)$  の期間を  $K$  回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出して  $K$  の値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

30

#### 【0309】

なお、図 1 7 などにおいて、ゲート信号線 1 7 b を  $V_{g1}$  にする期間 ( $1 F / N$ ) を複数に分割 (分割数  $K$ ) し、 $V_{g1}$  にする期間は  $1 F / (K / N)$  の期間を  $K$  回実施するとしてもこれ限定するものではない。 $1 F / (K / N)$  の期間を  $L$  ( $L \neq K$ ) 回実施してもよい。つまり、本発明は、E L 素子 1 5 に流す期間 (時間) を制御することにより画像 5 0 を表示するものである。したがって、 $1 F / (K / N)$  の期間を  $L$  ( $L \neq K$ ) 回実施することは本発明の技術的思想に含まれる。また、 $L$  の値を変化させることにより、画像 5 0 の輝度をデジタル的に変更することができる。たとえば、 $L = 2$  と  $L = 3$  では 5 0 % の輝度 (コントラスト) 変化となる。また、画像の表示領域 5 3 を分割する時、ゲート信号線 1 7 b を  $V_{g1}$  にする期間は同一期間に限定するものではない。

40

#### 【0310】

以上の実施例は、E L 素子 1 5 に流れる電流を遮断し、また、E L 素子に流れる電流を接続することにより、表示画面 5 0 をオンオフ (点灯、非点灯) するものであった。つまり、コンデンサ 1 9 に保持された電荷によりトランジスタ 1 1 a に複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ 1 9 に保持された電荷を充放電させることにより、表示画面 5 0 をオンオフ (点灯、非点灯) する方

50

式でもよい。

【0311】

図18は図16の画像表示状態を実現するための、ゲート信号線17に印加する電圧波形である。図18と図15の差異は、ゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ（V<sub>gl</sub>とV<sub>gh</sub>）動作する。他の点は図15と同一であるので説明を省略する。

【0312】

EL表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図1の構成においては、トランジスタ11dをオンオフ操作するだけで、図38の構成においては、トランジスタ素子11eをオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ19に画像データがメモリ（アナログ値であるから階調数は無限大）されているためである。つまり、各画素16に、画像データは1Fの期間中は保持されている。この保持されている画像データに相当する電流をEL素子15に流すか否かをトランジスタ11d、11eの制御により実現しているのである。

10

【0313】

コンデンサ19の端子電圧を維持することは重要である。1フィールド（フレーム）期間でコンデンサ19の端子電圧が変化（充放電）すると、画面輝度が変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ11aが1フレーム（1フィールド）期間でEL素子15に流す電流は、少なくとも65%以下に低下しないようにする必要がある。この65%とは、画素16に書き込み、EL素子15に流す電流の最初が100%とした時、次のフレーム（フィールド）で前記画素16に書き込む直前のEL素子15に流す電流が65%以上とすることである。

20

【0314】

図1の画素構成では、間欠表示を実現する場合としない場合では、1画素を構成するトランジスタ11の個数に変化はない。つまり、画素構成はそのまま、ソース信号線18の寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、CRTに近い動画表示を実現しているのである。

【0315】

また、ゲートドライバ回路12の動作クロックはソースドライバ回路14の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、Nの値の変更も容易である。

30

【0316】

なお、画像表示方向（画像書き込み方向）は、1フィールド（1フレーム）目では画面の上から下方向とし、つぎの第2フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。

【0317】

さらに、1フィールド（1フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第2フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。

40

【0318】

なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域52の動作方向を1フィールド目では画面の上から下方向とし、つぎの第2フィールド目では画面の下から上方向としてもよい。以上の事項は他の本発明の実施例でも同様である。

【0319】

非表示領域52は完全に非点灯状態である必要はない。微弱な発光あるいはうっすらとした画像表示があっても実用上は問題ない。つまり、画像表示領域53よりも表示輝度が低い領域と解釈すべきである。また、非表示領域52とは、R、G、B画像表示のうち、

50

1色または2色のみが非表示状態という場合も含まれる。

#### 【0320】

基本的には表示領域53の輝度（明るさ）が所定値に維持される場合、表示領域53の面積が広がるほど、画面50の輝度は高くなる。たとえば、表示領域53の輝度が100（nt）の場合、表示領域53が全画面50に占める割合が10%から20%にすれば、画面の輝度は2倍となる。したがって、全画面50に占める表示領域53の面積を変化させることにより、画面の表示輝度を変化することができる。

#### 【0321】

表示領域53の面積はシフトレジスタ61へのデータパルス（ST2）を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図16の表示状態と図13の表示状態とを切り替えることができる。1F周期でのデータパルス数を多くすれば、画面50は明るくなり、少なくすれば、画面50は暗くなる。また、連続してデータパルスを印加すれば図13の表示状態となり、間欠にデータパルスを入力すれば図16の表示状態となる。

#### 【0322】

図19（a）は図13のように表示領域53が連続している場合の明るさ調整方式である。図19（a1）の画面50の表示輝度が最も明るい。図19（a2）の画面50の表示輝度が次に明るく、図19（a3）の画面50の表示輝度が最も暗い。図19（a1）から図19（a3）への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路12のシフトレジスタ回路61などの制御により、容易に実現できる。この際、図1のVdd電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面50の輝度変化を実施できる。また、図19（a1）から図19（a3）への変化の際、画面のガンマ特性は全く変化しない。したがって、画面50の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。従来の画面の輝度調整では、画面50の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は64階調表示を実現できて、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の64階調表示を実現できる。

#### 【0323】

図19（b）は図16のように表示領域53が分散している場合の明るさ調整方式である。図19（b1）の画面50の表示輝度が最も明るい。図19（b2）の画面50の表示輝度が次に明るく、図19（b3）の画面50の表示輝度が最も暗い。図19（b1）から図19（b3）への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路12のシフトレジスタ回路61などの制御により、容易に実現できる。図19（b）のように表示領域53を分散させれば、低フレームレートでもフリッカが発生しない。

#### 【0324】

さらに低フレームレートでも、フリッカが発生しないようにするには、図19（c）のように表示領域53を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図19（a）の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図19（c）の駆動方法が適している。図19（a）から図19（c）の駆動方法の切り替えも、シフトレジスタ61の制御により容易に実現できる。

#### 【0325】

図20はソース信号線18に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線18の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、1画素あたりの駆動する電流を減少させることができる。したがって、EL素子15に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、N=10として説明する（ソース信号線18に流す電流を10倍にする）。

10

20

30

40

50

## 【0326】

図20で説明する本発明は、画素行は同時にK画素行を選択する。ソースドライバIC14からは所定電流のN倍電流をソース信号線18に印加する。各画素にはEL素子15に流す電流のN/K倍の電流がプログラムされる。EL素子15を所定発光輝度とするために、EL素子15に流れる時間を1フレーム(1フィールド)のK/N時間にする。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。

## 【0327】

つまり、1フレーム(1フィールド)のK/Nの期間の間だけ、EL素子15に電流を流し、他の期間(1F(N-1)K/N)は電流を流さない。この表示状態では1Fごとに画像データ表示、黒表示(非点灯)が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示(間欠表示)状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線18にはN倍の電流で駆動するため、寄生容量の影響を受けず、高精細表示パネルにも対応できる。

## 【0328】

図21は、図20の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧をV<sub>gh</sub>(Hレベル)とし、オン電圧をV<sub>gl</sub>(Lレベル)としている。各信号線の添え字は画素行の番号((1)(2)(3)など)を記載している。なお、行数はQCI F表示パネルの場合は220本であり、VGAパネルでは480本である。

## 【0329】

図21において、ゲート信号線17a(1)が選択され(V<sub>gl</sub>電圧)、選択された画素行のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行51aが画素行(1)番目であるとして説明する。

## 【0330】

また、ソース信号線18に流れるプログラム電流は所定値のN倍(説明を容易にするため、N=10として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。)である。また、5画素行が同時に選択(K=5)として説明をする。したがって、理想的には1つの画素のコンデンサ19には2倍(N/K=10/5=2)に電流がトランジスタ11aに流れるようにプログラムされる。

## 【0331】

書き込み画素行が(1)画素行目である時、図21で図示したように、ゲート信号線17aは(1)(2)(3)(4)(5)が選択されている。つまり、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっている。したがって、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

## 【0332】

理想的には、5画素のトランジスタ11aが、それぞれI<sub>w</sub>×2の電流をソース信号線18に流す(つまり、ソース信号線18にはI<sub>w</sub>×2×N=I<sub>w</sub>×2×5=I<sub>w</sub>×10。したがって、本発明のN倍パルス駆動を実施しない場合が所定電流I<sub>w</sub>とすると、I<sub>w</sub>の10倍の電流がソース信号線18に流れる)。

## 【0333】

以上の動作(駆動方法)により、各画素16のコンデンサ19には、2倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ11aは特性(V<sub>t</sub>、S値)が一致しているとして説明をする。

## 【0334】

同時に選択する画素行が5画素行(K=5)であるから、5つの駆動トランジスタ11a

10

20

30

40

50

が動作する。つまり、1画素あたり、 $10/5 = 2$  倍の電流がトランジスタ 11a に流れる。ソース信号線 18 には、5つのトランジスタ 11a のプログラム電流を加えた電流が流れる。たとえば、書き込み画素行 51a に、本来、書き込む電流  $I_w$  とし、ソース信号線 18 には、 $I_w \times 10$  の電流を流す。書き込み画素行 (1) より以降に画像データを書き込む書き込み画素行 51b ソース信号線 18 への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行 51b は後に正規の画像データが書き込まれるので問題がない。

#### 【0335】

したがって、4画素行 51b において、1H 期間の間は 51a と同一表示である。そのため、書き込み画素行 51a と電流を増加させるために選択した画素行 51b とを少なくとも非表示状態 52 とするのである。ただし、図 38 のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では、場合によっては表示状態としてもよい。

#### 【0336】

次の、1H 後には、ゲート信号線 17a (1) は非選択となり、ゲート信号線 17b にはオン電圧 ( $V_{g1}$ ) が印加される。また、同時に、ゲート信号線 17a (6) が選択され ( $V_{g1}$  電圧)、選択された画素行 (6) のトランジスタ 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行 (1) には正規の画像データが保持される。

#### 【0337】

次の、1H 後には、ゲート信号線 17a (2) は非選択となり、ゲート信号線 17b にはオン電圧 ( $V_{g1}$ ) が印加される。また、同時に、ゲート信号線 17a (7) が選択され ( $V_{g1}$  電圧)、選択された画素行 (7) のトランジスタ 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行 (2) には正規の画像データが保持される。以上の動作と 1画素行ずつシフトしながら走査することにより 1画面が書き換えられる。

#### 【0338】

図 20 の駆動方法では、各画素には 2 倍の電流 (電圧) でプログラムを行うため、各画素の EL 素子 15 の発光輝度は理想的には 2 倍となる。したがって、表示画面の輝度は所定値よりも 2 倍となる。これを所定の輝度とするためには、図 16 に図示するように、書き込み画素行 51 を含み、かつ表示領域 50 の  $1/2$  の範囲を非表示領域 52 とすればよい。

#### 【0339】

図 13 と同様に、図 20 のように 1つの表示領域 53 が画面の上から下方向に移動すると、フレームレートが低いと、表示領域 53 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

#### 【0340】

この課題に対しては、図 22 に図示するように、表示領域 53 を複数に分割するとよい。分割された非表示領域 52 を加えた部分が  $S(N-1)/N$  の面積となれば、分割しない場合と同一となる。

#### 【0341】

図 23 はゲート信号線 17 に印加する電圧波形である。図 21 と図 23 との差異は、基本的にはゲート信号線 17b の動作である。ゲート信号線 17b は画面を分割する個数に対応して、その個数分だけオンオフ ( $V_{g1}$  と  $V_{gh}$ ) 動作する。他の点は図 21 とほぼ同一あるいは類推できるので説明を省略する。

#### 【0342】

以上のように、表示領域 53 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特に EL 素子 15 の応答性は速いため、 $5 \mu s$  (μ秒) よりも小さい時間でオンオフしても、表示輝度の低下はない。

10

20

30

40

50

## 【0343】

本発明の駆動方法において、EL素子15のオンオフは、ゲート信号線17bに印加する信号のオンオフで制御できる。そのため、クロック周波数はkHzオーダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域52挿入）を実現するには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

## 【0344】

図24は同時に選択する画素行が2画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、2画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の駆動用トランジスタ11aの特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線18と平行に照射することで良好な結果が得られた。

## 【0345】

これは同一時間にアニールされる範囲の半導体膜は特性が均一であるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したTFTの $V_t$ 、モビリティがほぼ等しくなるためである。したがって、ソース信号線18の形成方向に平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより、ソース信号線18に沿った画素（画素列、画面の上下方向の画素）の特性はほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った時、プログラム電流は、同時に選択されて複数の画素にはプログラム電流を選択された画素数で割った電流が、ほぼ同一に電流プログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向と図24などで説明する駆動方式とは相乗効果がある。

## 【0346】

以上のように、レーザーショットの方向をソース信号線18の形成方向と略一致させることにより、画素の上下方向のTFT11aの特性がほぼ同一になり、良好な電流プログラムを実施することができる（画素の左右方向のTFT11aの特性が一致していなくとも）。以上の動作は、1H（1水平走査期間）に同期して、1画素行あるいは複数画素行づつ選択画素行位置をずらせて実施する。なお、本発明は、レーザーショットの方向をソース信号線18と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線18に対して斜め方向にレーザーショットを照射しても1つのソース信号線18に沿った画素の上下方向のTFT11aの特性はほぼ一致して形成されるからある。したがって、ソース信号線に平行にレーザーショットを照射するという意味はソース信号線18の沿った任意の画素の上または下に隣接した画素を、1つのレーザー照射範囲に入るように形成することである。また、ソース信号線18とは一般的には、映像信号となるプログラム電流あるいは電圧を伝達する配線である。

## 【0347】

なお、本発明の実施例では1Hごとに、書き込み画素行位置をシフトさせるとしたが、これに限定するものではなく、2Hごとにシフトしてもよく、また、それ以上の画素行づつシフトさせてもよい。また、任意の時間単位でシフトしてもよい。また、画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。また、フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択することに限定するものではない。例えば、1画素行へだてた画素行を選択してもよい。つまり、第1番目の水平走査期間に第1番目の画素行と第3番目の画素行を選択し、第2番目の水平走査期間に第2番目の画素行と第4番目の画素行を選択し、第3番目の水平走査期間に第3番目の画素行と第5番目の画素行を選択し、第4番目の水平走査期間に第4番目の画素行と第6番目の画素行を選択する駆動方法である。もちろん、第1番目の水平走査期間に第1番目の画素行と第3番目の画素行と第5番目の画素行を選択するという駆動方法も技術的範疇である。

## 【0348】

なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、図 1、図 2、図 3 2 の画素構成のみに限定されるものではなく、カレントミラーの画素構成である図 3 8、図 4 2、図 5 0 などの他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、図 4 3、図 5 1、図 5 4、図 6 2 などの電圧駆動の画素構成にも適用できる。つまり、画素上下の T F T の特性が一致しておれば、同一のソース信号線 1 8 に印加した電圧値により良好に電圧プログラムを実施できるからである。

#### 【0349】

図 2 4 において、書き込み画素行が (1) 画素行目である時、ゲート信号線 1 7 a は (1) (2) が選択されている (図 2 5 を参照のこと)。つまり、画素行 (1) (2) のスイッチングトランジスタ 1 1 b、トランジスタ 1 1 c がオン状態である。また、ゲート信号線 1 7 b はゲート信号線 1 7 a の逆位相となっている。したがって、少なくとも画素行 (1) (2) のスイッチングトランジスタ 1 1 d がオフ状態であり、対応する画素行の E L 素子 1 5 には電流が流れていない。つまり、非点灯状態 5 2 である。なお、図 2 4 では、フリッカの発生を低減するため、表示領域 5 3 を 5 分割している。

#### 【0350】

理想的には、2 画素 (行) のトランジスタ 1 1 a が、それぞれ  $I_w \times 5$  ( $N = 10$  の場合。つまり、 $K = 2$  であるから、ソース信号線 1 8 に流れる電流は  $I_w \times K \times 5 = I_w \times 10$  となる) の電流をソース信号線 1 8 に流す。そして、各画素 1 6 のコンデンサ 1 9 には、5 倍の電流がプログラムされる。

#### 【0351】

同時に選択する画素行が 2 画素行 ( $K = 2$ ) であるから、2 つの駆動トランジスタ 1 1 a が動作する。つまり、1 画素あたり、 $10 / 2 = 5$  倍の電流がトランジスタ 1 1 a に流れる。ソース信号線 1 8 には、2 つのトランジスタ 1 1 a のプログラム電流を加えた電流が流れる。

#### 【0352】

たとえば、書き込み画素行 5 1 a に、本来、書き込む電流  $I_d$  とし、ソース信号線 1 8 には、 $I_w \times 10$  の電流を流す。書き込み画素行 5 1 b は後に正規の画像データが書き込まれるので問題がない。画素行 5 1 b は、1 H 期間の間は 5 1 a と同一表示である。そのため、書き込み画素行 5 1 a と電流を増加させるために選択した画素行 5 1 b とを少なくとも非表示状態 5 2 とするのである。

#### 【0353】

次の、1 H 後には、ゲート信号線 1 7 a (1) は非選択となり、ゲート信号線 1 7 b にはオン電圧 ( $V_{g1}$ ) が印加される。また、同時に、ゲート信号線 1 7 a (3) が選択され ( $V_{g1}$  電圧)、選択された画素行 (3) のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行 (1) には正規の画像データが保持される。

#### 【0354】

次の、1 H 後には、ゲート信号線 1 7 a (2) は非選択となり、ゲート信号線 1 7 b にはオン電圧 ( $V_{g1}$ ) が印加される。また、同時に、ゲート信号線 1 7 a (4) が選択され ( $V_{g1}$  電圧)、選択された画素行 (4) のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行 (2) には正規の画像データが保持される。以上の動作と 1 画素行ずつシフト (もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であれば、2 行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう) しながら走査することにより 1 画面が書き換えられる。

#### 【0355】

図 1 6 と同様であるが、図 2 4 の駆動方法では、各画素には 5 倍の電流 (電圧) でプログラムを行うため、各画素の E L 素子 1 5 の発光輝度は理想的には 5 倍となる。したがって、表示領域 5 3 の輝度は所定値よりも 5 倍となる。これを所定の輝度とするためには、図 1 6 などに図示するように、書き込み画素行 5 1 を含み、かつ表示画面 1 の  $1 / 5$  の範囲

10

20

30

40

50



を非表示領域 5 2 とすればよい。

【0356】

図 27 に図示するように、2 本の書き込み画素行 5 1 (5 1 a、5 1 b) が選択され、画面 5 0 の上辺から下辺に順次選択されていく (図 26 も参照のこと。図 26 では画素行 1 6 a と 1 6 b が選択されている)。しかし、図 27 (b) のように、画面の下辺までくると書き込み画素行 5 1 a は存在するが、5 1 b はなくなる。つまり、選択する画素行が 1 本しかなくなる。そのため、ソース信号線 1 8 に印加された電流は、すべて画素行 5 1 a に書き込まれる。したがって、画素行 5 1 a に比較して、2 倍の電流が画素にプログラムされてしまう。

【0357】

この課題に対して、本発明は、図 27 (b) に図示するように画面 5 0 の下辺にダミー画素行 2 8 1 を形成 (配置) している。したがって、選択画素行が画面 5 0 の下辺まで選択された場合は、画面 5 0 の最終画素行とダミー画素行 2 8 1 が選択される。そのため、図 27 (b) の書き込み画素行には、規定どおりの電流が書き込まれる。

【0358】

図 28 は図 27 (b) の状態を示している。図 28 で明らかなように、選択画素行が画面 5 0 の下辺の画素 1 6 c 行まで選択された場合は、画面 5 0 の最終画素行 2 8 1 が選択される。ダミー画素行 2 8 1 は表示領域 5 0 外に配置する。つまり、ダミー画素行 2 8 1 は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極と T F T 1 1 とのコンタクトホールをなくすとか、ダミー画素行には E L 膜を形成しないとかである。

【0359】

図 27 では、画面 5 0 の下辺にダミー画素 (行) 2 8 1 を設ける (形成する、配置する) としたが、これに限定するものではない。たとえば、図 29 (a) に図示するように、画面の下辺から上辺に走査する (上下逆転走査) する場合は、図 29 (b) に図示するように画面 5 0 の上辺にもダミー画素行 2 8 1 を形成すべきである。つまり、画面 5 0 の上辺を下辺のそれぞれにダミー画素行 2 8 1 を形成 (配置) する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。以上の実施例は、2 画素行を同時選択する場合であった。

【0360】

本発明はこれに限定するものではなく、たとえば、5 画素行を同時選択する方式 (図 23 を参照のこと) でもよい。つまり、5 画素行同時駆動の場合は、ダミー画素行 2 8 1 は 4 行分形成すればよい。本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも 1 つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法と N 倍パルス駆動とを組み合わせる用いることが好ましい。

【0361】

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、トランジスタ 1 1 a の特性バラツキを吸収することが困難になる。しかし、選択本数が低下すると、1 画素にプログラムする電流が大きくなり、E L 素子 1 5 に大きな電流を流すことになる。E L 素子 1 5 に流す電流が大きいと E L 素子 1 5 が劣化しやすくなる。

【0362】

図 30 はこの課題を解決するものである。図 30 の基本概念は、1 / 2 H (水平走査期間の 1 / 2) は、図 22、図 29 で説明したように、複数の画素行を同時に選択する方法である。その後の 1 / 2 H (水平走査期間の 1 / 2) は図 5、図 13 などでも説明したように、1 画素行を選択する方法を組み合わせたものである。このようにくみあわせることにより、トランジスタ 1 1 a の特性バラツキを吸収しより、高速にかつ面内均一性を良好にすることができる。

【0363】

図 30 において、説明を容易にするため、第 1 の期間では 5 画素行を同時に選択し、第 2 の期間では 1 画素行を選択するとして説明をする。まず、第 1 の期間 (前半の 1 / 2 H)

10

20

30

40

50

では、図30(a1)に図示するように、5画素行を同時に選択をする。この動作は図22を用いて説明したので省略する。一例としてソース信号線18に流す電流は所定値の25倍とする。したがって、各画素16のトランジスタ11a(図1の画素構成の場合)には5倍の電流( $25 / 5 \text{ 画素行} = 5$ )がプログラムされる。25倍の電流であるから、ソース信号線18などに発生する寄生容量は極めて短期間に充放電される。したがって、ソース信号線18の電位は、短時間で目標の電位となり、各画素16のコンデンサ19の端子電圧も5倍電流を流すようにプログラムされる。この25倍電流の印加時間は前半の $1 / 2 H$ (1水平走査期間の $1 / 2$ )とする。

#### 【0364】

当然のことながら、書き込み画素行の5画素行は同一画像データが書き込まれるから、表示しないように5画素行のトランジスタ11dはオフ状態とされる。したがって、表示状態は図30(a2)となる。

10

#### 【0365】

次の後半の $1 / 2 H$ 期間は、1画素行を選択し、電流(電圧)プログラムを行う。この状態を図30(b1)に図示している。書き込み画素行51aは先と同様に5倍の電流を流すように電流(電圧)プログラムされる。図30(a1)と図30(b1)とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ19の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

#### 【0366】

つまり、図30(a1)で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第1の段階では、複数のトランジスタ11aでプログラムしているため、目標値に対してトランジスタのパラツキによる誤差が発生している。次の第2の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。

20

#### 【0367】

なお、非点灯領域52を画面の上から下方向に走査し、また、書き込み画素行51aも画面の上から下方向に走査することは図13などの実施例と同様であるので説明を省略する。

#### 【0368】

図31は図30の駆動方法を実現するための駆動波形である。図31でわかるように、 $1 H$ (1水平走査期間)は2つのフェーズで構成されている。この2つのフェーズはISEL信号で切り替える。ISEL信号は図31に図示している。

30

#### 【0369】

まず、ISEL信号について説明をしておく。図30を実施するドライバ回路14は、電流出力回路Aと電流出力回路Bとを具備している。それぞれの電流出力回路は、8ビットの階調データをDA変換するDA回路とオープンアンプなどから構成される。図30の実施例では、電流出力回路Aは25倍の電流を出力するように構成されている。一方、電流出力回路Bは5倍の電流を出力するように構成されている。電流出力回路Aと電流出力回路Bの出力はISEL信号により電流出力部に形成(配置)されたスイッチ回路が制御され、ソース信号線18に印加される。この電流出力回路は各ソース信号線に配置されている。

40

#### 【0370】

ISEL信号は、Lレベルの時、25倍電流を出力する電流出力回路Aが選択されてソース信号線18からの電流をソースドライバIC14が吸収する(より適切には、ソースドライバ回路14内に形成された電流出力回路Aが吸収する)。25倍、5倍などの電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。

#### 【0371】

図30に示すように書き込み画素行が(1)画素行目である時(図30の $1 H$ の欄を参照)、ゲート信号線17aは(1)(2)(3)(4)(5)が選択されている(図1の画

50

素構成の場合)。つまり、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ISELがLレベルであるから、25倍電流を出力する電流出力回路Aが選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧(V<sub>gh</sub>)が印加されている。したがって、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

#### 【0372】

理想的には、5画素のトランジスタ11aが、それぞれ $I_w \times 2$ の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、5倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ11aは特性(V<sub>t</sub>、S値)が一致しているとして説明をする。

10

#### 【0373】

同時に選択する画素行が5画素行(K=5)であるから、5つの駆動トランジスタ11aが動作する。つまり、1画素あたり、 $25 / 5 = 5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行51aに、従来の駆動方法で画素に書き込む電流 $I_w$ とする時、ソース信号線18には、 $I_w \times 25$ の電流を流す。書き込み画素行(1)より以降に画像データを書き込む書き込み画素行51bソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行51bは後に正規の画像データが書き込まれるので問題がない。

20

#### 【0374】

したがって、画素行51bは、1H期間の間は51aと同一表示である。そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである。

#### 【0375】

次の $1/2$ H(水平走査期間の $1/2$ )では、書き込み画素行51aのみを選択する。つまり、(1)画素行目のみを選択する。図31で明らかなように、ゲート信号線17a(1)のみが、オン電圧(V<sub>g1</sub>)が印加され、ゲート信号線17a(2)(3)(4)(5)はオフ(V<sub>gh</sub>)が印加されている。したがって、画素行(1)のトランジスタ11aは動作状態(ソース信号線18に電流を供給している状態)であるが、画素行(2)(3)(4)(5)のスイッチングトランジスタ11b、トランジスタ11cがオフ状態である。つまり、非選択状態である。また、ISELがHレベルであるから、5倍電流を出力する電流出力回路Bが選択され、この電流出力回路Bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の $1/2$ Hの状態と変化がなく、オフ電圧(V<sub>gh</sub>)が印加されている。したがって、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

30

#### 【0376】

以上のことから、画素行(1)のトランジスタ11aが、それぞれ $I_w \times 5$ の電流をソース信号線18に流す。そして、各画素行(1)のコンデンサ19には、5倍の電流がプログラムされる。

40

#### 【0377】

次の水平走査期間では1画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が(2)である。最初の $1/2$ Hの期間では、図31に示すように書き込み画素行が(2)画素行目である時、ゲート信号線17aは(2)(3)(4)(5)(6)が選択されている。つまり、画素行(2)(3)(4)(5)(6)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ISELがLレベルであるから、25倍電流を出力する電流出力回路Aが選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧(V<sub>gh</sub>)が印加されている。したがって

50

、画素行(2)(3)(4)(5)(6)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。一方、画素行(1)のゲート信号線17b(1)はVg1電圧が印加されているから、トランジスタ11dはオン状態であり、画素行(1)のEL素子15は点灯する。

#### 【0378】

同時に選択する画素行が5画素行( $K=5$ )であるから、5つの駆動トランジスタ11aが動作する。つまり、1画素あたり、 $25/5=5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。

10

#### 【0379】

次の $1/2H$ (水平走査期間の $1/2$ )では、書き込み画素行51aのみを選択する。つまり、(2)画素行目のみを選択する。図31で明らかなように、ゲート信号線17a(2)のみが、オン電圧(Vg1)が印加され、ゲート信号線17a(3)(4)(5)(6)はオフ(Vgh)が印加されている。したがって、画素行(1)(2)のトランジスタ11aは動作状態(画素行(1)はEL素子15に電流を流し、画素行(2)はソース信号線18に電流を供給している状態)であるが、画素行(3)(4)(5)(6)のスイッチングトランジスタ11b、トランジスタ11cがオフ状態である。つまり、非選択状態である。また、ISELがHレベルであるから、5倍電流を出力する電流出力回路Bが選択され、この電流出力回路1222bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の $1/2H$ の状態と変化がなく、オフ電圧(Vgh)が印加されている。したがって、画素行(2)(3)(4)(5)(6)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

20

#### 【0380】

以上のことから、画素行(2)のトランジスタ11aが、それぞれ $I_w \times 5$ の電流をソース信号線18に流す。そして、各画素行(2)のコンデンサ19には、5倍の電流がプログラムされる。以上の動作を順次、実施することにより1画面を表示することができる。

#### 【0381】

図30で説明した駆動方法は、第1の期間でG画素行(Gは2以上)を選択し、各画素行にはN倍の電流を流すようにプログラムする。第1の期間後の第2の期間ではB画素行(BはGよりも小さく、1以上)を選択し、画素にはN倍の電流を流すようにプログラムする方式である。

30

#### 【0382】

しかし、他の方策もある。第1の期間でG画素行(Gは2以上)を選択し、各画素行の総和電流がN倍の電流となるようにプログラムする。第1の期間後の第2の期間ではB画素行(BはGよりも小さく、1以上)を選択し、選択された画素行の総和の電流(ただし、選択画素行が1の時は、1画素行の電流)がN倍となるようにプログラムする方式である。たとえば、図30(a1)において、5画素行を同時に選択し、各画素のトランジスタ11aには2倍の電流を流す。したがって、ソース信号線18には $5 \times 2$ 倍=10倍の電流が流れる。次の第2の期間では図30(b1)において、1画素行を選択する。この1画素のトランジスタ11aには10倍の電流を流す。

40

#### 【0383】

なお、図31において、複数の画素行を同時に選択する期間を $1/2H$ とし、1画素行を選択する期間を $1/2H$ としたがこれに限定するものではない。複数の画素行を同時に選択する期間を $1/4H$ とし、1画素行を選択する期間を $3/4H$ としてもよい。また、複数の画素行を同時に選択する期間と、1画素行を選択する期間とを加えた期間は $1H$ としたがこれに限定するものではない。たとえば、 $2H$ 期間でも、 $1.5H$ 期間であっても良い。

#### 【0384】

50

また、図30において、5画素行を同時に選択する期間を $1/2H$ とし、次の第2の期間では2画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

【0385】

また、図30において、5画素行を同時に選択する第1の期間を $1/2H$ とし、1画素行を選択する第2の期間を $1/2H$ とする2段階としたがこれに限定するものではない。たとえば、第1の段階は、5画素行を同時に選択し、第2の期間は前記5画素行のうち、2画素行を選択し、最後に、1画素行を選択する3つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

【0386】

以上の本発明のN倍パルス駆動方法では、各画素行で、ゲート信号線17bの波形を同一にし、1Hの間隔でシフトさせて印加していく。このように走査することにより、EL素子15が点灯している時間を $1F/N$ に規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線17bの波形を同一にし、シフトさせていることを実現することは容易である。図6のシフトレジスタ回路61a、61bに印加するデータであるST1、ST2を制御すればよいからである。たとえば、入力ST2がLレベルの時、ゲート信号線17bにVg1が出力され、入力ST2がHレベルの時、ゲート信号線17bにVghが出力されるとすれば、シフトレジスタ17bに印加するST2を $1F/N$ の期間だけLレベルで入力し、他の期間はHレベルにする。この入力されたST2を1Hに同期したクロックCLK2でシフトしていくだけである。

【0387】

なお、EL素子15をオンオフする周期は0.5msec以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を100msec以上になると、点滅状態に見える。したがって、EL素子のオンオフ周期は0.5μsec以上100msec以下にすべきである。さらに好ましくは、オンオフ周期を2msec以上30msec以下にすべきである。さらに好ましくは、オンオフ周期を3msec以上20msec以下にすべきである。

【0388】

黒画面152の分割数は、1つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は1以上8以下とすべきである。さらに好ましくは1以上5以下とすることが好ましい。

【0389】

なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、 $N=4$ では、75%が黒画面であり、25%が画像表示である。このとき、75%の黒表示部を75%の黒帯状態で画面の上下方向に走査するのが分割数1である。25%の黒画面と25/3%の表示画面の3ブロックで走査するのが分割数3である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替ええするように構成すればよい。

【0390】

たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を10以上とする（極端には1Hごとにオンオフしてもよい）。NTSCの動画を表示するときは、分割数を1以上5以下とする。なお、分割数は3以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、2、4、8などである。

【0391】

また、全表示画面に対する黒画面の割合は、全画面の面積を1とした時、0.2以上0.9以下（Nで表示すれば1.2以上9以下）とすることが好ましい。また、特に0.25

10

20

30

40

50

以上 0.6 以下 ( $N$  で表示すれば 1.25 以上 6 以下) とすることが好ましい。0.2 以下であると動画表示での改善効果が低い。0.9 以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

【0392】

また、1 秒あたりのフレーム数は、10 以上 100 以下 (10 Hz 以上 100 Hz 以下) が好ましい。さらには 12 以上 65 以下 (12 Hz 以上 65 Hz 以下) が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ドライバ回路 14 などからの書き込みが苦しくなり解像度が劣化する。

【0393】

いずれにせよ、本発明では、ゲート信号線 17 の制御により画像の明るさを変化させることができる。ただし、画像の明るさはソース信号線 18 に印加する電流 (電圧) を変化させて行ってもよいことは言うまでもない。また、先に説明した (図 33、図 35 などを用いて) ゲート信号線 17 の制御と、ソース信号線 18 に印加する電流 (電圧) を変化させることを組み合わせて行ってもよいことは言うまでもない。

【0394】

なお、以上の事項は、図 38 などの電流プログラムの画素構成、図 43、図 51、図 54 などの電圧プログラムの画素構成でも適用できることは言うまでもない。図 38 では、トランジスタ 11d を、図 43 ではトランジスタ 11d を、図 51 ではトランジスタ 11e をオンオフ制御すればよい。このように、EL 素子 15 に電流を流す配線をオンオフすることにより、本発明の  $N$  倍パルス駆動を容易に実現できる。

【0395】

また、ゲート信号線 17b の  $1F/N$  の期間だけ、 $V_{g1}$  にする時刻は  $1F$  ( $1F$  に限定するものではない。単位期間でよい。) の期間のうち、どの時刻でもよい。単位時間のうち、所定の期間だけ EL 素子 15 をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間 ( $1H$ ) 後、すぐにゲート信号線 17b を  $V_{g1}$  にして EL 素子 15 を発光させる方がよい。図 1 のコンデンサ 19 の保持率特性の影響を受けにくくなるからである。

【0396】

また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出して  $K$  の値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0397】

このように  $K$  の値 (画像表示部 53 の分割数) を変化させることも容易に実現できる。図 6 において  $ST$  に印加するデータのタイミング ( $1F$  のいつに  $L$  レベルにするか) を調整あるいは可変できるように構成しておけばよいからである。

【0398】

なお、図 16 などでは、ゲート信号線 17b を  $V_{g1}$  にする期間 ( $1F/N$ ) を複数に分割 (分割数  $K$ ) し、 $V_{g1}$  にする期間は  $1F/(K/N)$  の期間を  $K$  回実施するとしたがこれ限定するものではない。 $1F/(K/N)$  の期間を  $L$  ( $L \neq K$ ) 回実施してもよい。つまり、本発明は、EL 素子 15 に流す期間 (時間) を制御することにより画像 50 を表示するものである。したがって、 $1F/(K/N)$  の期間を  $L$  ( $L \neq K$ ) 回実施することは本発明の技術的思想に含まれる。また、 $L$  の値を変化させることにより、画像 50 の輝度をデジタル的に変更することができる。たとえば、 $L=2$  と  $L=3$  では 50% の輝度 (コントラスト) 変化をなす。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない (もちろん、以降に説明する本発明にも適用できる)。これらも本発明の  $N$  倍パルス駆動である。

【0399】

以上の実施例は、EL 素子 15 と駆動用トランジスタ 11a との間にスイッチング素子としてのトランジスタ 11d を配置 (形成) し、このトランジスタ 11d を制御することに

10

20

30

40

50

より、画面50をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが重要である。次に説明する駆動方法は、駆動用トランジスタ11aをリセットし、良好な黒表示を実現するものである。以下、図32を用いて、その実施例について説明をする。

#### 【0400】

図32は基本的には図1の画素構成である。図32の画素構成では、プログラムされたI<sub>w</sub>電流がEL素子15に流れ、EL素子15が発光する。つまり、駆動トランジスタ11aはプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ11aをリセット（オフ状態）にする方式が図32の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

10

#### 【0401】

図1の画素構成でリセット駆動を実現するためには、トランジスタ11bとトランジスタ11cを独立してオンオフ制御できるように構成する必要がある。つまり、図32で図示するようにトランジスタ11bをオンオフ制御するゲート信号線11a（ゲート信号線WR）、トランジスタ11cをオンオフ制御するゲート信号線11c（ゲート信号線EL）とを独立して制御できるようにする。ゲート信号線11aとゲート信号線11cの制御は図6に図示するように独立した2つのシフトレジスタ61で行えばよい。

#### 【0402】

ゲート信号線WRとゲート信号線ELの駆動電圧は変化させるとよい。ゲート信号線WRの振幅値（オン電圧とオフ電圧との差）は、ゲート信号線ELの振幅値よりも小さくする。基本的にゲート信号線の振幅値が大きいと、ゲート信号線と画素との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線WRの振幅は、ソース信号線18の電位が画素16に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線18の電位変動は小さいから、ゲート信号線WRの振幅値は小さくすることができる。一方、ゲート信号線ELはELのオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ61aと61bとの出力電圧を変化させる。画素がPチャンネルTFTで形成されている場合は、シフトレジスタ61aと61bのV<sub>gh</sub>（オフ電圧）を略同一にし、シフトレジスタ61aのV<sub>gl</sub>（オン電圧）をシフトレジスタ61bのV<sub>gl</sub>（オン電圧）よりも低くする。

20

30

#### 【0403】

以下、図33を参照しながら、リセット駆動方式について説明をする。図33はリセット駆動の原理説明図である。まず、図33（a）に図示するように、トランジスタ11c、トランジスタ11dをオフ状態にし、トランジスタ11bをオン状態にする。すると、駆動用トランジスタ11aのドレイン（D）端子とゲート（G）端子はショート状態となり、I<sub>b</sub>電流が流れる。一般的に、トランジスタ11aは1つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある。この状態でトランジスタ11dがオフ状態となり、トランジスタ11bがオン状態にすれば、駆動電流I<sub>b</sub>がトランジスタ11aのゲート（G）端子に流れる。そのため、トランジスタ11aのゲート（G）端子とドレイン（D）端子とが同一電位となり、トランジスタ11aはリセット（電流を流さない状態）になる。

40

#### 【0404】

このトランジスタ11aのリセット状態（電流を流さない状態）は、図51などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図33（a）の状態では、コンデンサ19の端子間には、オフセット電圧が保持されていることになる。このオフセット電圧はトランジスタ11aの特性に応じて異なる電圧値である。したがって、図33（a）の動作を実施することにより、各画素のコンデンサ19にはトランジスタ11aが電流を流さない（つまり、黒表示電流（ほとんど0に等しい）が保持されることになるのである。

#### 【0405】

50

なお、図 3 3 (a) の動作の前に、トランジスタ 1 1 b、トランジスタ 1 1 c をオフ状態にし、トランジスタ 1 1 d をオン状態にし、駆動用トランジスタ 1 1 a に電流を流すという動作を実施することが好ましい。この動作は、極力短時間にすることが好ましい。E L 素子 1 5 に電流が流れて E L 素子 1 5 が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、1 H (1 水平走査期間) の 0. 1 % 以上 1 0 % 以下とすることが好ましい。さらに好ましくは 0. 2 % 以上 2 % 以下となるようにすることが好ましい。もしくは 0. 2  $\mu$  s e c 以上 5  $\mu$  s e c 以下となるようにすることが好ましい。また、全画面の画素 1 6 に一括して前述の動作 (図 3 3 (a) の前に行う動作) を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ 1 1 a のドレイン (D) 端子電圧が低下し、図 3 3 (a) の状態でスムーズな I b 電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

10

#### 【0406】

図 3 3 (a) の実施時間を長くするほど、I b 電流が流れ、コンデンサ 1 9 の端子電圧が小さくなる傾向がある。したがって、図 3 3 (a) の実施時間は固定値にする必要がある。実験および検討によれば、図 3 3 (a) の実施時間は、1 H 以上 5 H 以下にすることが好ましい。なお、この期間は、R、G、B の画素で異ならせることが好ましい。各色の画素で E L 材料が異なり、この E L 材料の立ち上がり電圧などに差異があるためである。R G B の各画素で、E L 材料に適応して、もっとも最適な期間を設定する。なお、実施例において、この期間は 1 H 以上 5 H 以下にするとしたが、黒挿入 (黒画面を書き込む) を主とする駆動方式では、5 H 以上であってもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

20

#### 【0407】

図 3 3 (a) を実施後、1 H 以上 5 H 以下の期間において、図 3 3 (b) の状態にする。図 3 3 (b) はトランジスタ 1 1 c、トランジスタ 1 1 b をオンさせ、トランジスタ 1 1 d をオフさせた状態である。図 3 3 (b) の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ回路 1 4 からプログラム電流 I w を出力 (あるいは吸収) し、このプログラム電流 I w を駆動用トランジスタ 1 1 a に流す。このプログラム電流 I w が流れるように、駆動用トランジスタ 1 1 a のゲート (G) 端子の電位を設定するのである (設定電位はコンデンサ 1 9 に保持される)。

#### 【0408】

もし、プログラム電流 I w が 0 (A) であれば、トランジスタ 1 1 a は電流を図 3 3 (a) の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図 3 3 (b) で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ 1 1 a の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

30

#### 【0409】

図 3 3 (b) の電流プログラミング後、図 3 3 (c) に図示するように、トランジスタ 1 1 b、トランジスタ 1 1 c とオフし、トランジスタ 1 1 d をオンさせて、駆動用トランジスタ 1 1 a からのプログラム電流 I w (= I e) を E L 素子 1 5 に流し、E L 素子 1 5 を発光させる。図 3 3 (c) に関しても、図 1 などで以前に説明をしたので詳細は省略する。

40

#### 【0410】

つまり、図 3 3 で説明した駆動方式 (リセット駆動) は、駆動用トランジスタ 1 1 a と E L 素子 1 5 間を切断 (電流が流れない状態) し、かつ、駆動用トランジスタのドレイン (D) 端子とゲート (G) 端子 (もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれば駆動用トランジスタのゲート (G) 端子を含む 2 端子) 間をショートする第 1 の動作と、前記動作の後、駆動用トランジスタに電流 (電圧) プログラムを行う第 2 の動作とを実施するものである。そして、少なくとも第 2 の動作は第 1 の動作後に行う

50



ものである。なお、リセット駆動を実施するためには、図 3 2 の構成のように、トランジスタ 1 1 b とトランジスタ 1 1 c とを独立に制御できるように、構成しておかねばならない。

#### 【0411】

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、1 H 後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ 1 1 d がオフだからである。）。次に、EL 素子 1 5 に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。なお、リセット後、1 H 後に電流プログラムを行うとしたがこの期間は、5 H 程度以内としてもよい。図 3 3 (a) のリセットが完全に行われるのに比較的長時間を必要とするからである。もし、この期間を 5 H とすれば、5 画素行が黒表示（電流プログラムの画素行もいれると 6 画素行）となるはずである。

10

#### 【0412】

また、リセット状態は 1 画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、4 画素行を同時にリセットするのであれば、第 1 の水平走査期間（1 単位）に、画素行（1）（2）（3）（4）をリセット状態にし、次の第 2 の水平走査期間に、画素行（3）（4）（5）（6）をリセット状態にし、さらに次の第 3 の水平走査期間に、画素行（5）（6）（7）（8）をリセット状態にする。また、次の第 4 の水平走査期間に、画素行（7）（8）（9）（10）をリセット状態にするという駆動状態が例示される。なお、当然、図 3 3 (b)、図 3 3 (c) の駆動状態も図 3 3 (a) の駆動状態と同期して実施される。

20

#### 【0413】

また、1 画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、図 3 3 (b) (c) の駆動を実施してもよいことは言うまでもない。また、インターレース駆動状態（1 画素行あるいは複数画素行の飛び越し走査）で、リセット状態（1 画素行あるいは複数画素行飛び越し）にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である（つまり、画面の上下方向の制御する）。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでもない。

30

#### 【0414】

なお、図 3 3 のリセット駆動は、本発明の N 倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に図 2 2 の構成は、間欠 N/K 倍パルス駆動（1 画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線 1 7 b を制御し、トランジスタ 1 1 d をオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。）を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。これは、図 2 2 あるいはその変形構成のすぐれた特徴である。また、他の駆動方法、たとえば、以降の説明する逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせることで実施することができることは言うまでもない。

40

#### 【0415】

図 3 4 はリセット駆動を実現する表示装置の構成図である。ゲートドライバ回路 1 2 a は、図 3 2 におけるゲート信号線 1 7 a およびゲート信号線 1 7 b を制御する。ゲート信号線 1 7 a にオンオフ電圧を印加することによりトランジスタ 1 1 b がオンオフ制御される。また、ゲート信号線 1 7 b にオンオフ電圧を印加することによりトランジスタ 1 1 d が

50

オンオフ制御される。ゲートドライバ回路 12 b は、図 3 2 におけるゲート信号線 17 c を制御する。ゲート信号線 17 c にオンオフ電圧を印加することによりトランジスタ 11 c がオンオフ制御される。

【0416】

したがって、ゲート信号線 17 a はゲートドライバ回路 12 a で操作し、ゲート信号線 17 c はゲートドライバ回路 12 b で操作する。そのため、トランジスタ 11 b をオンさせて駆動用トランジスタ 11 a をリセットするタイミングと、トランジスタ 11 c をオンさせて駆動用トランジスタ 11 a に電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。

【0417】

図 3 5 はリセット駆動のタイミングチャートである。ゲート信号線 17 a にオン電圧を印加し、トランジスタ 11 b をオンさせ、駆動用トランジスタ 11 a をリセットしている時には、ゲート信号線 17 b にはオフ電圧を印加し、トランジスタ 11 d をオフ状態にしている。したがって、図 3 2 (a) の状態となっている。この期間に I b 電流が流れる。

【0418】

図 3 5 のタイミングチャートでは、リセット時間は 2 H (ゲート信号線 17 a にオン電圧が印加され、トランジスタ 11 b がオンする) としているが、これに限定するものではない。2 H 以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は 1 H 未満であってもよい。また、リセット期間を何 H 期間にするかはゲートドライバ回路 12 に入力する DATA (ST) パルス期間で容易に変更できる。たとえば、ST 端子に入力する DATA を 2 H 期間の間 H レベルとすれば、各ゲート信号線 17 a から出力されるリセット期間は 2 H 期間となる。同様に、ST 端子に入力する DATA を 5 H 期間の間 H レベルとすれば、各ゲート信号線 17 a から出力されるリセット期間は 5 H 期間となる。

【0419】

1 H 期間のリセット後、画素行 (1) のゲート信号線 17 c (1) に、オン電圧が印加される。トランジスタ 11 c がオンすることにより、ソース信号線 18 に印加されたプログラム電流 I w がトランジスタ 11 c を介して駆動用トランジスタ 11 a に書き込まれる。

【0420】

電流プログラム後、画素 (1) のゲート信号線 17 c にオフ電圧が印加され、トランジスタ 11 c がオフし、画素がソース信号線と切り離される。同時に、ゲート信号線 17 a にもオフ電圧が印加され、駆動用トランジスタ 11 a のリセット状態が解消される (なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である)。また、ゲート信号線 17 b にはオン電圧が印加され、トランジスタ 11 d がオンして、駆動用トランジスタ 11 a にプログラムされた電流が EL 素子 15 に流れる。なお、画素行 (2) 以降についても、画素行 (1) と同様であり、また、図 3 5 からその動作は明らかであるから説明を省略する。

【0421】

図 3 5 において、リセット期間は 1 H 期間であった。図 3 6 はリセット期間を 5 H とした実施例である。リセット期間を何 H 期間にするかはゲートドライバ回路 12 に入力する DATA (ST) パルス期間で容易に変更できる。図 3 6 ではゲートドライバ回路 12 a の ST1 端子に入力する DATA を 5 H 期間の間 H レベルし、各ゲート信号線 17 a から出力されるリセット期間を 5 H 期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分は表示輝度が低下することになる。

【0422】

図 3 6 はリセット期間を 5 H とした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線 17 a から出力される信号を 1 H ごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路 (図示せず) を操作することにより容易に実現できる。また、ゲートドライバ回路 12

10

20

30

40

50

に入力するDATA (ST) パルスを制御することで容易に実現できる。

【0423】

図34の回路構成では、ゲートドライバ回路12aは少なくとも2つのシフトレジスタ回路(1つはゲート信号線17a制御用、他の1つはゲート信号線17b制御用)が必要であった。そのため、ゲートドライバ回路12aの回路規模が大きくなるという課題があった。図37はゲートドライバ回路12aのシフトレジスタを1つにした実施例である。図37の回路を動作させた出力信号のタイミングチャートは図35のごとくなる。なお、図35と図37とはゲートドライバ回路12a、12bから出力されているゲート信号線17の記号が異なっているので注意が必要である。

【0424】

図37のOR回路371が付加されていることから明らかであるが、各ゲート信号線17aの出力は、シフトレジスタ回路61aの前段出力とのORをとって出力される。つまり、2H期間、ゲート信号線17aからはオン電圧が出力される。一方、ゲート信号線17cはシフトレジスタ回路61aの出力がそのまま出力される。したがって、1H期間の間、オン電圧が印加される。

【0425】

たとえば、シフトレジスタ回路61aの2番目にHレベル信号が出力されている時、画素16(1)のゲート信号線17cにオン電圧が出力され、画素16(1)が電流(電圧)プログラムの状態である。同時に、画素16(2)のゲート信号線17aにもオン電圧が出力され、画素16(2)のトランジスタ11bがオン状態となり、画素16(2)の駆動用トランジスタ11aがリセットされる。

【0426】

同様に、シフトレジスタ回路61aの3番目にHレベル信号が出力されている時、画素16(2)のゲート信号線17cにオン電圧が出力され、画素16(2)が電流(電圧)プログラムの状態である。同時に、画素16(3)のゲート信号線17aにもオン電圧が出力され、画素16(3)トランジスタ11bがオン状態となり、画素16(3)駆動用トランジスタ11aがリセットされる。つまり、2H期間、ゲート信号線17aからはオン電圧が出力され、ゲート信号線17cに1H期間、オン電圧が出力される。

【0427】

プログラム状態の時は、トランジスタ11bとトランジスタ11cが同時にオン状態となる(図33(b))ら、非プログラム状態(図33(c))に移行する際、トランジスタ11cがトランジスタ11bよりも先にオフ状態となると、図33(b)のリセット状態となってしまう。これと防止するためには、トランジスタ11cがトランジスタ11bよりもあとからオフ状態にする必要がある。そのためには、ゲート信号線17aがゲート信号線17cよりも先にオン電圧が印加されるように制御する必要がある。

【0428】

以上の実施例は、図32(基本的には図1)の画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、図38に示すようなカレントミラーの画素構成であっても実施することができる。なお、図38ではトランジスタ11eをオンオフ制御することにより、図13、図15などで図示するN倍パルス駆動を実現できる。図39は図38のカレントミラーの画素構成での実施例の説明図である。以下、図39を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

【0429】

図39(a)に図示するように、トランジスタ11c、トランジスタ11eをオフ状態にし、トランジスタ11dをオン状態にする。すると、電流プログラム用トランジスタ11bのドレイン(D)端子とゲート(G)端子はショート状態となり、図に示すようにI<sub>b</sub>電流が流れる。一般的に、トランジスタ11bは1つ前のフィールド(フレーム)で電流プログラムされ、電流を流す能力がある(ゲート電位はコンデンサ19に1F期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合

10

20

30

40

50

、電流は流れない)。この状態でトランジスタ 11 e がオフ状態とし、トランジスタ 11 d がオン状態にすれば、駆動電流  $I_b$  がトランジスタ 11 a のゲート (G) 端子の方向に流れる (ゲート (G) 端子とドレイン (D) 端子がショートされる)。そのため、トランジスタ 11 a のゲート (G) 端子とドレイン (D) 端子とが同一電位となり、トランジスタ 11 a はリセット (電流を流さない状態) になる。また、駆動用トランジスタ 11 b のゲート (G) 端子は電流プログラム用トランジスタ 11 a のゲート (G) 端子と共通であるから、駆動用トランジスタ 11 b もリセット状態となる。

#### 【0430】

このトランジスタ 11 a、トランジスタ 11 b のリセット状態 (電流を流さない状態) は、図 51 など で説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図 39 (a) の状態では、コンデンサ 19 の端子間には、オフセット電圧 (電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ 11 に電流が流れる) が保持されていることになる。このオフセット電圧はトランジスタ 11 a、トランジスタ 11 b の特性に応じて異なる電圧値である。したがって、図 39 (a) の動作を実施することにより、各画素のコンデンサ 19 にはトランジスタ 11 a、トランジスタ 11 b が電流を流さない (つまり、黒表示電流 (ほとんど 0 に等しい) ) 状態が保持されることになるのである (電流が流れ始める開始電圧にリセットされた)。

#### 【0431】

なお、図 39 (a) においても図 33 (a) と同様に、リセットの実施時間を長くするほど、 $I_b$  電流が流れ、コンデンサ 19 の端子電圧が小さくなる傾向がある。したがって、図 39 (a) の実施時間は固定値にする必要がある。実験および検討によれば、図 39 (a) の実施時間は、1 H 以上 10 H (10 水平走査期間) 以下とすることが好ましい。さらには 1 H 以上 5 H 以下にすることが好ましい。あるいは、20  $\mu$ sec 以上 2 msec 以下とすることが好ましい。このことは図 33 の駆動方式でも同様である。

#### 【0432】

図 33 (a) も同様であるが、図 39 (a) のリセット状態と、図 39 (b) の電流プログラム状態とを同期をとって行う場合は、図 39 (a) のリセット状態から、図 39 (b) の電流プログラム状態までの期間が固定値 (一定値) となるから問題はない (固定値にされている)。つまり、図 33 (a) あるいは図 39 (a) のリセット状態から、図 33 (b) あるいは図 39 (b) の電流プログラム状態までの期間が、1 H 以上 10 H (10 水平走査期間) 以下とすることが好ましい。さらには 1 H 以上 5 H 以下にすることが好ましいのである。あるいは、20  $\mu$ sec 以上 2 msec 以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ 11 が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ 11 が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面 50 の輝度も低下する。

#### 【0433】

図 39 (a) を実施後、図 39 (b) の状態にする。図 39 (b) はトランジスタ 11 c、トランジスタ 11 d をオンさせ、トランジスタ 11 e をオフさせた状態である。図 39 (b) の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ回路 14 からプログラム電流  $I_w$  を出力 (あるいは吸収) し、このプログラム電流  $I_w$  を電流プログラム用トランジスタ 11 a に流す。このプログラム電流  $I_w$  が流れるように、駆動用トランジスタ 11 b のゲート (G) 端子の電位をコンデンサ 19 に設定するのである。

#### 【0434】

もし、プログラム電流  $I_w$  が 0 (A) (黒表示) であれば、トランジスタ 11 b は電流を図 33 (a) の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図 39 (b) で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧 (各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧) から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そ

のため、トランジスタ 11 a あるいはトランジスタ 11 b の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【0435】

図 39 (b) の電流プログラミング後、図 39 (c) に図示するように、トランジスタ 11 c、トランジスタ 11 d とオフし、トランジスタ 11 e をオンさせて、駆動用トランジスタ 11 b からのプログラム電流  $I_w (= I_e)$  を EL 素子 15 に流し、EL 素子 15 を発光させる。図 39 (c) に関しても、以前に説明をしたので詳細は省略する。

【0436】

図 33、図 39 で説明した駆動方式（リセット駆動）は、駆動用トランジスタ 11 a あるいはトランジスタ 11 b と EL 素子 15 間を切断（電流が流れない状態。トランジスタ 11 e あるいはトランジスタ 11 d で行う）し、かつ、駆動用トランジスタのドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（G）端子を含む 2 端子）間をショートする第 1 の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第 2 の動作とを実施するものである。そして、少なくとも第 2 の動作は第 1 の動作後に行うものである。なお、第 1 の動作における駆動用トランジスタ 11 a あるいはトランジスタ 11 b と EL 素子 15 間を切断するという動作は、必ずしも必須の条件ではない。もし、第 1 の動作における駆動用トランジスタ 11 a あるいはトランジスタ 11 b と EL 素子 15 間を切断せずに、駆動用トランジスタのドレイン（D）端子とゲート（G）端子間をショートする第 1 の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。

【0437】

図 39 のカレントミラーの画素構成は、電流プログラムトランジスタ 11 a をリセットすることにより、結果として駆動用トランジスタ 11 b をリセットする駆動方法であった。

【0438】

図 39 のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用トランジスタ 11 b と EL 素子 15 間を切断する必要はない。したがって、電流プログラム用トランジスタ a のドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート（G）端子を含む 2 端子、あるいは駆動用トランジスタのゲート（G）端子を含む 2 端子）間をショートする第 1 の動作と、前記動作の後、電流プログラム用トランジスタに電流（電圧）プログラムを行う第 2 の動作とを実施するものである。そして、少なくとも第 2 の動作は第 1 の動作後に行うものである。

【0439】

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、所定 H 後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

【0440】

以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。図 43 は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成（パネル構成）の説明図である。

【0441】

図 43 の画素構成では、駆動用トランジスタ 11 a をリセット動作させるためのトランジスタ 11 e が形成されている。ゲート信号線 17 e にオン電圧が印加されることにより、トランジスタ 11 e がオンし、駆動用トランジスタ 11 a のゲート（G）端子とドレイン（D）端子間をショートさせる。また、EL 素子 15 と駆動用トランジスタ 11 a との電流経路を切断するトランジスタ 11 d が形成されている。以下、図 44 を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

## 【0442】

図44(a)に図示するように、トランジスタ11b、トランジスタ11dをオフ状態にし、トランジスタ11eをオン状態にする。駆動用トランジスタ11aのドレイン(D)端子とゲート(G)端子はショート状態となり、図に示すようにI<sub>b</sub>電流が流れる。そのため、トランジスタ11aのゲート(G)端子とドレイン(D)端子とが同一電位となり、駆動用トランジスタ11aはリセット(電流を流さない状態)になる。なお、トランジスタ11aをリセットする前に、図33あるいは図39で説明したように、HD同期信号に同期して、最初にトランジスタ11dをオンさせ、トランジスタ11eをオフさせて、トランジスタ11aに電流を流しておく。その後、図44(a)の動作を実施する。

## 【0443】

10

このトランジスタ11a、トランジスタ11bのリセット状態(電流を流さない状態)は、図41などで説明した電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図44(a)の状態では、コンデンサ19の端子間には、オフセット電圧(リセット電圧)が保持されていることになる。このリセット電圧は駆動用トランジスタ11aの特性に応じて異なる電圧値である。つまり、図44(a)の動作を実施することにより、各画素のコンデンサ19には駆動用トランジスタ11aが電流を流さない(つまり、黒表示電流(ほとんど0に等しい))状態が保持されることになるのである(電流が流れ始める開始電圧にリセットされた)。

## 【0444】

なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図44(a)のリセットの実施時間を長くするほど、I<sub>b</sub>電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、図44(a)の実施時間は固定値にする必要がある。実施時間は、0.2H以上5H(5水平走査期間)以下とすることが好ましい。さらには0.5H以上4H以下とすることが好ましい。あるいは、2μsec以上400μsec以下とすることが好ましい。

20

## 【0445】

また、ゲート信号線17eは前段の画素行のゲート信号線17aと共通にしておくことが好ましい。つまり、ゲート信号線17eと前段の画素行のゲート信号線17aとをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも1H前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、1画素行前に限定されるものではない。たとえば、2画素行前のゲート信号線の信号波形を用いて着目画素の駆動用トランジスタ11aのリセットを実施してもよい。

30

## 【0446】

前段ゲート制御方式をさらに具体的に記載すれば以下のようなになる。着目する画素行が(N)画素行とし、そのゲート信号線がゲート信号線17e(N)、ゲート信号線17a(N)とする。1H前に選択される前段の画素行は、画素行が(N-1)画素行とし、そのゲート信号線がゲート信号線17e(N-1)、ゲート信号線17a(N-1)とする。また、着目画素行の次の1H後に選択される画素行が(N+1)画素行とし、そのゲート信号線がゲート信号線17e(N+1)、ゲート信号線17a(N+1)とする。

40

## 【0447】

第(N-1)H期間では、第(N-1)画素行のゲート信号線17a(N-1)にオン電圧が印加されると、第(N)画素行のゲート信号線17e(N)にもオン電圧が印加される。ゲート信号線17e(N)と前段の画素行のゲート信号線17a(N-1)とがショート状態で形成されているからである。したがって、第(N-1)画素行の画素のトランジスタ11b(N-1)がオンし、ソース信号線18の電圧が駆動用トランジスタ11a(N-1)のゲート(G)端子に書き込まれる。同時に、第(N)画素行の画素のトランジスタ11e(N)がオンし、駆動用トランジスタ11a(N)のゲート(G)端子とドレイン(D)端子間がショートされ、駆動用トランジスタ11a(N)がリセットされる。

50

## 【0448】

第(N-1)H期間の次の第(N)期間では、第(N)画素行のゲート信号線17a(N)にオン電圧が印加されると、第(N+1)画素行のゲート信号線17e(N+1)にもオン電圧が印加される。したがって、第(N)画素行の画素のトランジスタ11b(N)がオンし、ソース信号線18に印加されている電圧が駆動用トランジスタ11a(N)のゲート(G)端子に書き込まれる。同時に、第(N+1)画素行の画素のトランジスタ11e(N+1)がオンし、駆動用トランジスタ11a(N+1)のゲート(G)端子とドレイン(D)端子間がショートされ、駆動用トランジスタ11a(N+1)がリセットされる。

## 【0449】

以下同様に、第(N)H期間の次の第(N+1)期間では、第(N+1)画素行のゲート信号線17a(N+1)にオン電圧が印加されると、第(N+2)画素行のゲート信号線17e(N+2)にもオン電圧が印加される。したがって、第(N+1)画素行の画素のトランジスタ11b(N+1)がオンし、ソース信号線18に印加されている電圧が駆動用トランジスタ11a(N+1)のゲート(G)端子に書き込まれる。同時に、第(N+2)画素行の画素のトランジスタ11e(N+2)がオンし、駆動用トランジスタ11a(N+2)のゲート(G)端子とドレイン(D)端子間がショートされ、駆動用トランジスタ11a(N+2)がリセットされる。

## 【0450】

以上の本発明の前段ゲート制御方式では、1H期間、駆動用トランジスタ11aはリセットされ、その後、電圧(電流)プログラムが実施される。

## 【0451】

図33(a)も同様であるが、図44(a)のリセット状態と、図44(b)の電圧プログラム状態とを同期をとって行う場合は、図44(a)のリセット状態から、図44(b)の電流プログラム状態までの期間が固定値(一定値)となるから問題はない(固定値にされている)。この期間が短いと駆動用トランジスタ11が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ11aが完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面12の輝度も低下する。

## 【0452】

図44(a)を実施後、図44(b)の状態にする。図44(b)はトランジスタ11bをオンさせ、トランジスタ11e、トランジスタ11dをオフさせた状態である。図44(b)の状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ回路14からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ11aのゲート(G)端子に書き込む(駆動用トランジスタ11aのゲート(G)端子の電位をコンデンサ19に設定する)。なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ11dを必ずしもオフさせる必要はない。また、図13、図15などのN倍パルス駆動などと組み合わせること、あるいは以上のような、間欠N/K倍パルス駆動(1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ11eをオンオフ動作させることにより容易に実現できる)を実施する必要がなければ、トランジスタ11eが必要でない。このことは以前に説明をしたので、説明を省略する。

## 【0453】

図43の構成あるいは図44の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧(各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧)から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ11aの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

## 【0454】

図44(b)の電流プログラミング後、図44(c)に図示するように、トランジスタ11bをオフし、トランジスタ11dをオンさせて、駆動用トランジスタ11aからのプロ

グラム電流をEL素子15に流し、EL素子15を発光させる。

【0455】

以上のように、図43の電圧プログラムにおける本発明のリセット駆動は、まず、HD同期信号に同期して、最初にトランジスタ11dをオンさせ、トランジスタ11eをオフさせて、トランジスタ11aに電流を流す第1の動作と、トランジスタ11aとEL素子15間を切断し、かつ、駆動用トランジスタ11aのドレイン(D)端子とゲート(G)端子(もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば駆動用トランジスタのゲート(G)端子を含む2端子)間をショートする第2の動作と、前記動作の後、駆動用トランジスタ11aに電圧プログラムを行う第3の動作とを実施するものである。

10

【0456】

以上の実施例では、駆動トランジスタ素子11a(図1の画素構成の場合)からEL素子15に流す電流を制御するのに、トランジスタ11dをオンオフさせて行う。トランジスタ11dをオンオフさせるためには、ゲート信号線17bを走査する必要がある。走査のためには、シフトレジスタ61(ゲート回路12)が必要となる。しかし、シフトレジスタ61は規模が大きく、ゲート信号線17bの制御にシフトレジスタ61を用いたのでは狭額縁化できない。図40で説明する方式は、この課題を解決するものである。

【0457】

なお、本発明は、主として図1などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、図38などで説明した他の電流プログラム構成(カレントミラーの画素構成)であっても適用できることは言うまでもない。また、ブロックでオンオフする技術的概念は、図41などの電圧プログラムの画素構成であっても適用できることは言うまでもない。また、本発明は、EL素子15に流れる電流を間欠にする方式であるから、図50などで説明する逆バイアス電圧を印加する方式とも組み合わせることができることは言うまでもない。以上のように、本発明は他の実施例と組み合わせることができる。

20

【0458】

図40はブロック駆動方式の実施例である。まず、説明を容易にするため、ゲートドライバ回路12は基板71に直接形成したか、もしくはシリコンチップのゲートドライバIC12を基板71に積載したとして説明をする。また、ソースドライバ14およびソース信号線18は図面が煩雑になるため省略する。

30

【0459】

図40において、ゲート信号線17aはゲートドライバ回路12と接続されている。一方、各画素のゲート信号線17bは点灯制御線401と接続されている。図40では4本のゲート信号線17bが1つの点灯制御線401と接続されている。

【0460】

なお、4本のゲート信号線17bでブロックするというのはこれに限定するものではなく、それ以上であってもよいことは言うまでもない。一般的に表示領域50は少なくとも5以上に分割することが好ましい。さらに好ましくは、10以上に分割することが好ましい。さらには、20以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線401の本数が多くなり、制御線401のレイアウトが困難になる。

40

【0461】

したがって、QCIF表示パネルの場合は、垂直走査線の本数が220本であるから、少なくとも、 $220/5=44$ 本以上でブロック化する必要がある。好ましくは、 $220/10=22$ 以上でブロック化する必要がある。ただし、奇数行と偶数行で2つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、2つのブロック化で十分の場合がある。

【0462】

図40の実施例では、点灯制御線401a、401b、401c、401d……401n

50



と順次、オン電圧（ $V_{gl}$ ）を印加するか、もしくはオフ電圧（ $V_{gh}$ ）を印加し、ブロックごとにEL素子15に流れる電流をオンオフさせる。

なお、図40の実施例では、ゲート信号線17bと点灯制御線401とがクロスすることがない。したがって、ゲート信号線17bと点灯制御線401とのショート欠陥は発生しない。また、ゲート信号線17bと点灯制御線401とが容量結合することがないため、点灯制御線401からゲート信号線17b側を見た時の容量付加が極めて小さい。したがって、点灯制御線401を駆動しやすい。

#### 【0463】

ゲートドライバ12にはゲート信号線17aが接続されている。ゲート信号線17aにオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ11b、11cはオンして、ソース信号線18に印加された電流（電圧）を各画素のコンデンサ19にプログラムする。一方、ゲート信号線17bは各画素のトランジスタ11dのゲート（G）端子と接続されている。したがって、点灯制御線401にオン電圧（ $V_{gl}$ ）が印加されたとき、駆動トランジスタ11aとEL素子15との電流経路を形成し、逆にオフ電圧（ $V_{gh}$ ）が印加された時は、EL素子15のアノード端子をオープンにする。

#### 【0464】

なお、点灯制御線401に印加するオンオフ電圧の制御タイミングと、ゲートドライバ回路12がゲート信号線17aに出力する画素行選択電圧（ $V_{gl}$ ）のタイミングは1水平走査クロック（1H）に同期していることが好ましい。しかし、これに限定するものではない。

#### 【0465】

点灯制御線401に印加する信号は単に、EL素子15への電流をオンオフさせるだけである。また、ソースドライバ14が出力する画像データと同期がとれている必要もない。点灯制御線401に印加する信号は、各画素16のコンデンサ19にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは1H信号に限定されるものではなく、 $1/2H$ でも、 $1/4H$ であってもよい。

#### 【0466】

図38に図示したカレントミラーの画素構成の場合であっても、ゲート信号線17bを点灯制御線401に接続することにより、トランジスタ11eをオンオフ制御できる。したがって、ブロック駆動を実現できる。

#### 【0467】

なお、図32において、ゲート信号線17aを点灯制御線401に接続し、リセットを実施すれば、ブロック駆動を実現できる。つまり、本発明のブロック駆動とは、1つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法である。

#### 【0468】

以上の実施例は、1画素行ごとに1本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で1本の選択ゲート信号線を配置（形成）してもよい。

#### 【0469】

図41はその実施例である。なお、説明を容易にするため、画素構成は図1の場合を主として例示して説明をする。図41では画素行の選択ゲート信号線17aは3つの画素（16R、16G、16B）を同時に選択する。Rの記号とは赤色の画素関連を意味し、Gの記号とは緑色の画素関連を意味し、Bの記号とは青色の画素関連を意味するものとする。

#### 【0470】

したがって、ゲート信号線17aの選択により、画素16R、画素16Gおよび画素16Bが同時に選択されデータ書き込み状態となる。画素16Rはソース信号線18Rからデータをコンデンサ19Rに書き込み、画素16Gはソース信号線18Gからデータをコンデンサ19Gに書き込む。画素16Bはソース信号線18Bからデータをコンデンサ19Bに書き込む。

10

20

30

40

50

## 【0471】

画素16Rのトランジスタ11dはゲート信号線17bRに接続されている。また、画素16Gのトランジスタ11dはゲート信号線17bGに接続され、画素16Bのトランジスタ11dはゲート信号線17bBに接続されている。したがって、画素16RのEL素子15R、画素16GのEL素子15G、画素16BのEL素子15Bは別個にオンオフ制御することができる。つまり、EL素子15R、EL素子15G、EL素子15Bはそれぞれのゲート信号線17bR、17bG、17bBを制御することにより、点灯時間、点灯周期を個別に制御可能である。

## 【0472】

この動作を実現するためには、図6の構成において、ゲート信号線17aを走査するシフトレジスタ回路61と、ゲート信号線17bRを走査するシフトレジスタ回路61と、ゲート信号線17bGを走査するシフトレジスタ回路61と、ゲート信号線17bBを走査するシフトレジスタ回路61の4つを形成（配置）することが適切である。

10

## 【0473】

なお、ソース信号線18に所定電流のN倍の電流を流し、EL素子15に所定電流のN倍の電流を1/Nの期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線17に印加した信号パルスがコンデンサ19に突き抜け、コンデンサ19に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ19には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、10倍の電流値を設定するように駆動しても、5倍程度の電流しかコンデンサ19には設定されない。たとえば、N=10としても実際にEL素子15に流れる電流はN=5の場合と同一となる。したがって、本発明はN倍の電流値を設定し、N倍に比例したあるいは対応する電流をEL素子15に流れるように駆動する方法である。もしくは、所望値よりも大きい電流をEL素子15にパルス状に印加する駆動方法である。

20

## 【0474】

また、所望値より電流（そのまま、EL素子15に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動トランジスタ11a（図1を例示する場合）に電流（電圧）プログラムを行い、EL素子15に流れる電流を間欠にすることにより、所望のEL素子の発光輝度を得るものである。

## 【0475】

なお、このコンデンサ19への突き抜けによる補償回路は、ソースドライバ回路14内に導入する。この事項については後ほど説明をする。

30

## 【0476】

また、図1などのスイッチングトランジスタ11b、11cなどはNチャンネルで形成することが好ましい。コンデンサ19への突き抜け電圧が低減するからである。また、コンデンサ19のオフリークも減少するから、10Hz以下の低いフレームレートにも適用できるようにする。

## 【0477】

また、画素構成によっては、突き抜け電圧がEL素子15に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。

40

## 【0478】

逆に、図1のスイッチングトランジスタ11b、11cをPチャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Pチャンネルトランジスタ11bがオフするときにはV<sub>gh</sub>電圧となる。そのため、コンデンサ19の端子電圧がV<sub>dd</sub>側に少しシフトする。そのため、トランジスタ11aのゲート（G）端子電圧は上昇し、より黒表示となる。また、第1階調表示とする電流値を大きくすることができるから（階調1までに一定のベース電流を流すことができる）、電流プログラム方式で書き込み電流不足を軽減できる。

## 【0479】

50

その他、ゲート信号線 17a とトランジスタ 11a のゲート (G) 端子間に積極的にコンデンサ 19b を形成し、突き抜け電圧を増加させる構成も有効である (図 42 (a) を参照)。このコンデンサ 19b の容量は正規のコンデンサ 19a の容量の  $1/50$  以上  $1/10$  以下にすることが好ましい。さらには  $1/40$  以上  $1/15$  以下とすることが好ましい。もしくはトランジスタ 11b のソースゲート (ソースドレイン (SG) もしくはゲートドレイン (GD)) 容量の 1 倍以上 10 倍以下にする。さらに好ましくは、SG 容量の 2 倍以上 6 倍以下にすることが好ましい。なお、コンデンサ 19b の形成位置は、コンデンサ 19a の一方の端子 (トランジスタ 11a のゲート (G) 端子) とトランジスタ 11d のソース (S) 端子間に形成または配置してもよい。この場合も容量などは先に説明した値と同様である。

10

#### 【0480】

突き抜け電圧発生用のコンデンサ 19b の容量 (容量を  $C_b$  (pF) とする) は、電荷保持用のコンデンサ 19a の容量 (容量を  $C_a$  (pF) とする) と、トランジスタ 11a の白ピーク電流時 (画像表示で表示最大輝度の白ラスタ時) のゲート (G) 端子電圧  $V_w$  を黒表示での電流を流す (基本的には電流は 0 である。つまり、画像表示で黒表示としている時) のゲート (G) 端子電圧  $V_b$  が関連する。これらの関係は、

$$C_a / (200 C_b) \leq |V_w - V_b| \leq C_a / (8 C_b)$$

の条件を満足させることが好ましい。なお、 $|V_w - V_b|$  とは、駆動用トランジスタの白表示時の端子電圧と黒表示時の端子電圧との差の絶対値である (つまり、変化する電圧幅)。

20

#### 【0481】

さらに好ましくは、

$$C_a / (100 C_b) \leq |V_w - V_b| \leq C_a / (10 C_b)$$

の条件を満足させることが好ましい。

#### 【0482】

トランジスタ 11b は P チャンネルにし、この P チャンネルは少なくともダブルゲート以上にする。このましくは、トリプルゲート以上にする。さらに好ましくは、4 ゲート以上にする。そして、トランジスタ 11b のソースゲート (SG もしくはゲートドレイン (GD)) 容量 (トランジスタがオンしているときの容量) の 1 倍以上 10 倍以下のコンデンサを並列に形成または配置することが好ましい。

30

#### 【0483】

なお、以上の事項は、図 1 の画素構成だけでなく、他の画素構成でも有効である。たとえば、図 42 (b) に図示するようにカレントミラーの画素構成において、突き抜けを発生させるコンデンサをゲート信号線 17a または 17b とトランジスタ 11a のゲート (G) 端子間に配置または形成する。スイッチングトランジスタ 11c の N チャンネルはダブルゲート以上とする。もしくはスイッチングトランジスタ 11c、11d を P チャンネルとし、トリプルゲート以上とする。

#### 【0484】

41 の電圧プログラムの構成にあつては、ゲート信号線 17c と駆動用トランジスタ 11a のゲート (G) 端子間に突き抜け電圧発生用のコンデンサ 19c を形成または配置する。また、スイッチングトランジスタ 11c はトリプルゲート以上とする。突き抜け電圧発生用のコンデンサ 19c はトランジスタ 11c のドレイン (D) 端子 (コンデンサ 19b 側) と、ゲート信号線 17a 間に配置してもよい。また、突き抜け電圧発生用のコンデンサ 19c はトランジスタ 11a のゲート (G) 端子と、ゲート信号線 17a 間に配置してもよい。また、突き抜け電圧発生用のコンデンサ 19c はトランジスタ 11c のドレイン (D) 端子 (コンデンサ 19b 側) と、ゲート信号線 17c 間に配置してもよい。

40

#### 【0485】

また、電荷保持用のコンデンサ 19a の容量を  $C_a$  とし、スイッチング用のトランジスタ 11c または 11d のソースゲート容量  $C_c$  (突き抜け用のコンデンサがある場合には、その容量を加えた値) とし、ゲート信号線に印加される高電圧信号 ( $V_{gh}$ ) とし、

50

ゲート信号線に印加される低電圧信号 ( $V_{gl}$ ) とした時、以下の条件を満足するように構成することにより、良好な黒表示を実現できる。

【0486】

$$0.05 (V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.8 (V)$$

さらに好ましくは、以下の条件を満足させることが好ましい。

【0487】

$$0.1 (V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.5 (V)$$

以上の事項は図43などの画素構成にも有効である。図43の電圧プログラムの画素構成では、トランジスタ11aのゲート(G)端子とゲート信号線17a間に突き抜け電圧発生用のコンデンサ19bを形成または配置する。

10

【0488】

なお、突き抜け電圧を発生させるコンデンサ19bは、トランジスタのソース配線とゲート配線で形成する。ただし、トランジスタ11のソース幅を広げて、ゲート信号線17と重ねて形成する構成であるから、実用上は明確にトランジスタと分離できない構成である場合がある。

【0489】

また、スイッチングトランジスタ11b、11c(図1の構成の場合)を必要以上に大きく形成することにより、見かけ上、突き抜け電圧用のコンデンサ19bを構成する方式も本発明の範疇である。スイッチングトランジスタ11b、11cはチャンネル幅W/チャンネル長L=6/6 $\mu$ mで形成することが多い。これをWと大きくすることも突き抜け電圧用のコンデンサ19bを構成することになる。例えば、W:Lの比を2:1以上20:1以下にする構成が例示される。好ましくは、W:Lの比を3:1以上10:1以下にすることがよい。

20

【0490】

また、突き抜け電圧用のコンデンサ19bは、画素が変調するR、G、Bで大きさ(容量)を変化させることが好ましい。R、G、Bの各EL素子15の駆動電流が異なるためである。また、EL素子15のカットオフ電圧が異なるためである。そのため、EL素子15の駆動用トランジスタ11aのゲート(G)端子にプログラムする電圧(電流)が異なるからである。たとえば、Rの画素のコンデンサ11bRを0.02pFとした場合、他の色(G、Bの画素)のコンデンサ11bG、11bBを0.025pFとする。また、Rの画素のコンデンサ11bRを0.02pFとした場合、Gの画素のコンデンサ11bGと0.03pFとし、Bの画素のコンデンサ11bBを0.025pFとするなどである。このように、R、G、Bの画素ごとにコンデンサ11bの容量を変化させることによりオフセットの駆動電流をRGBごとに調整することができる。したがって、各RGBの黒表示レベルを最適値にすることができる。

30

【0491】

以上は、突き抜け電圧発生用のコンデンサ19bの容量を変化させるとしたが、突き抜け電圧は、保持用のコンデンサ19aと突き抜け電圧発生用のコンデンサ19bとの容量の相対的なものである。したがって、コンデンサ19bをR、G、Bの画素で変化することに限定するものではない。つまり、保持用コンデンサ19aの容量を変化させてもよい。たとえば、Rの画素のコンデンサ11aRを1.0pFとした場合、Gの画素のコンデンサ11aGと1.2pFとし、Bの画素のコンデンサ11aBを0.9pFとするなどである。この時、突き抜け用コンデンサ19bの容量は、R、G、Bで共通の値とする。したがって、本発明は、保持用のコンデンサ19aと突き抜け電圧発生用のコンデンサ19bとの容量比を、R、G、Bの画素のうち、少なくとも1つを他と異ならせたものである。なお、保持用のコンデンサ19aの容量と突き抜け電圧発生用のコンデンサ19bとの容量との両方をR、G、B画素で変化させてもよい。

40

【0492】

また、画面50の左右で突き抜け電圧用のコンデンサ19bの容量を変化させてもよい。ゲートドライバ12に近い位置にある画素16は信号供給側に配置されているので、ゲー

50

ト信号の立ち上がりが速い（スルーレートが高いからである）ため、突き抜け電圧が大きくなる。ゲート信号線 17 端に配置（形成）されている画素は、信号波形が鈍っている（ゲート信号線 17 には容量があるためである）。ゲート信号の立ち上がりが遅い（スルーレートが遅い）ため、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ 12 との接続側に近い画素 16 の突き抜け電圧用コンデンサ 19 b を小さくする。また、ゲート信号線 17 端はコンデンサ 19 b を大きくする。たとえば、画面の左右でコンデンサの容量は 10 % 程度変化させる。

#### 【0493】

発生する突き抜け電圧は、保持用コンデンサ 19 a と突き抜け電圧発生用のコンデンサ 19 b の容量比で決定される。したがって、画面の左右で突き抜け電圧発生用のコンデンサ 19 b の大きさを変化させるとしたが、これに限定するものではない。突き抜け電圧発生用のコンデンサ 19 b は画面の左右で一定にし、電荷保持用のコンデンサ 19 a の容量を画面の左右で変化させてもよい。また、突き抜け電圧発生用のコンデンサ 19 b と、電荷保持用のコンデンサ 19 a 容量の両方を画面の左右で変化させてもよいことは言うまでもない。

10

#### 【0494】

本発明の N 倍パルス駆動の課題に EL 素子 15 に印加する電流が瞬時的ではあるが、従来と比較して N 倍大きいという問題がある。電流が大きいと EL 素子の寿命を低下させる場合がある。この課題を解決するためには、EL 素子 15 に逆バイアス電圧  $V_m$  を印加することが有効である。

20

#### 【0495】

EL 素子 15 において、電子は陰極（カソード）より電子輸送層に注入されると同時に正孔も陽極（アノード）から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー準位の差によりのようにキャリアが蓄積されたりする。

#### 【0496】

有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定であることで、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている。これを防ぐために、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

30

#### 【0497】

逆バイアス電圧が印加されると、逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

#### 【0498】

図 45 は、逆バイアス電圧  $V_m$  と EL 素子 15 の端子電圧の変化を示している。この端子電圧とは、EL 素子 15 に定格電流を印加した時である。図 45 は EL 素子 15 に流す電流が電流密度 100 A/平方メートルの場合であるが、図 45 の傾向は、電流密度 50 ~ 100 A/平方メートルの場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

40

#### 【0499】

縦軸は初期の EL 素子 15 の端子電圧に対して、2500 時間後の端子電圧との比である。たとえば、経過時間 0 時間において、電流密度 100 A/平方メートルの電流の印加した時の端子電圧が 8 (V) とし、経過時間 2500 時間において、電流密度 100 A/平方メートルの電流の印加した時の端子電圧が 10 (V) とすれば、端子電圧比は、 $10/8 = 1.25$  である。

#### 【0500】

横軸は、逆バイアス電圧  $V_m$  と 1 周期に逆バイアス電圧を印加した時間  $t_1$  の積に対する定格端子電圧  $V_0$  の比である。たとえば、60 Hz（とくに 60 Hz に意味はないが）で、逆バイアス電圧  $V_m$  を印加した時間が  $1/2$ （半分）であれば、 $t_1 = 0.5$  である。

50

また、経過時間 0 時間において、電流密度 100 A/平方メートルの電流の印加した時の端子電圧（定格端子電圧）が 8（V）とし、逆バイアス電圧  $V_m$  を 8（V）とすれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2) = | -8 \text{（V）} \times 0.5 | / (8 \text{（V）} \times 0.5) = 1.0$  となる。

#### 【0501】

図 45 によれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$  が 1.0 以上で端子電圧比の変化はなくなる（初期の定格端子電圧から変化しない）。逆バイアス電圧  $V_m$  の印加による効果がよく発揮されている。しかし、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$  が 1.75 以上で端子電圧比は増加する傾向にある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$  は 1.0 以上にするように逆バイアス電圧  $V_m$  の大きさおよび印加時間比  $t_1$ （もしくは  $t_2$ 、あるいは  $t_1$  と  $t_2$  との比率）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$  は 1.75 以下になるように逆バイアス電圧  $V_m$  の大きさおよび印加時間比  $t_1$  などを決定するとよい。

10

#### 【0502】

ただし、バイアス駆動を行う場合は、逆バイアス  $V_m$  と定格電流とを交互に印加する必要がある。図 46 のようにサンプル A と B との単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧を印加する場合は、印加しない場合に比較して瞬時的には高い電流を流す必要がある。そのため、逆バイアス電圧  $V_m$  を印加する場合（図 46 のサンプル A）の EL 素子 15 の端子電圧も高くなる。

20

#### 【0503】

しかし、図 45 では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧  $V_0$  とは、平均輝度を満足する端子電圧（つまり、EL 素子 15 を点灯する端子電圧）とする（本明細書の具体例によれば、電流密度 200 A/平方メートルの電流の印加した時の端子電圧である。ただし、1/2 デューティであるので、1 周期の平均輝度は電流密度 200 A/平方メートルでの輝度となる）。

#### 【0504】

以上の事項は、EL 素子 15 を、白ラスタ表示（画面全体の EL 素子に最大電流を印加している場合）を想定している。しかし、EL 表示装置の映像表示を行う場合は、自然画であり、階調表示を行う。したがって、たえず、EL 素子 15 の白ピーク電流（最大白表示で流れる電流。本明細書の具体例では、平均電流密度 100 A/平方メートルの電流）が流れているのではない。

30

#### 【0505】

一般的に、映像表示を行う場合は、各 EL 素子 15 に印加される電流（流れる電流）は、白ピーク電流（定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度 100 A/平方メートルの電流）の約 0.2 倍である。

#### 【0506】

したがって、図 45 の実施例では、映像表示を行う場合は横軸の値に 0.2 をかけるものとする必要がある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$  は 0.2 以上にするように逆バイアス電圧  $V_m$  の大きさおよび印加時間比  $t_1$ （もしくは  $t_2$ 、あるいは  $t_1$  と  $t_2$  との比率など）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$  は  $1.75 \times 0.2 = 0.35$  以下になるように逆バイアス電圧  $V_m$  の大きさおよび印加時間比  $t_1$  などを決定するとよい。

40

#### 【0507】

つまり、図 45 の横軸（ $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ ）において、1.0 の値を 0.2 とする必要がある。したがって、表示パネルに映像を表示する（この使用状態が通常であろう。白ラスタを常時表示することはないであろう）時は、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$  が 0.2 よりも大きくなるように、逆バイアス電圧  $V_m$  を所定時間  $t_1$  印加するようにする。また、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$  の値が大きくなっても、図 45 で図示するように、端子電圧比の

50

増加は大きくない。したがって、上限値は白ラスタ表示を実施することとも考慮して、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$  の値が 1.75 以下を満足するようにすればよい。

#### 【0508】

以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明は EL 素子 15 に電流が流れていない期間に逆バイアス電圧  $V_m$  (電流) を印加することを基本とする。しかし、これに限定するものではない。たとえば、EL 素子 15 に電流が流れている状態で、強制的に逆バイアス電圧  $V_m$  を印加してもよい。なお、この場合は、結果として EL 素子 15 には電流が流れず、非点灯状態 (黒表示状態) となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧  $V_m$  を印加することを中心として説明するがこれに限定するものではない。

10

#### 【0509】

逆バイアス駆動の画素構成では、図 47 に図示するように、トランジスタ 11g を N チャンネルとする。もちろん、P チャンネルでもよい。

#### 【0510】

図 47 では、ゲート電位制御線 473 に印加する電圧を逆バイアス線 471 に印加している電圧よりも高くすることにより、トランジスタ 11g (N) がオンし、EL 素子 15 のアノード電極に逆バイアス電圧  $V_m$  が印加される。

#### 【0511】

また、図 47 の画素構成などにおいて、ゲート電位制御線 473 を常時、電位固定して動作させてもよい。たとえば、図 47 において  $V_k$  電圧が 0 (V) とする時、ゲート電位制御線 473 の電位を 0 (V) 以上 (好ましくは 2 (V) 以上) にする。なお、この電位を  $V_{sg}$  とする。この状態で、逆バイアス線 471 の電位を逆バイアス電圧  $V_m$  (0 (V) 以下、好ましくは  $V_k$  より -5 (V) 以上小さい電圧) にすると、トランジスタ 11g (N) がオンし、EL 素子 15 のアノードに、逆バイアス電圧  $V_m$  が印加される。逆バイアス線 471 の電圧をゲート電位制御線 473 の電圧 (つまり、トランジスタ 11g のゲート (G) 端子電圧) よりも高くすると、トランジスタ 11g はオフ状態であるため、EL 素子 15 には逆バイアス電圧  $V_m$  は印加されない。もちろん、この状態の時に、逆バイアス線 471 をハイインピーダンス状態 (オープン状態など) としてもよいことは言うまでもない。

20

30

#### 【0512】

また、図 48 に図示するように、逆バイアス線 471 を制御するゲートドライバ回路 12c を別途形成または配置してもよい。ゲートドライバ回路 12c は、ゲートドライバ回路 12a と同様に順次シフト動作し、シフト動作に同期して、逆バイアス電圧を印加する位置がシフトされる。

#### 【0513】

以上の駆動方法では、トランジスタ 11g のゲート (G) 端子は電位固定し、逆バイアス線 471 の電位を変化させるだけで、EL 素子 15 に逆バイアス電圧  $V_m$  を印加することができる。したがって、逆バイアス電圧  $V_m$  の印加制御が容易である。また、トランジスタ 11g のゲート (G) 端子とソース (S) 端子間に印加される電圧を低減できる。このことは、トランジスタ 11g が P チャンネルの場合も同様である。

40

#### 【0514】

また、逆バイアス電圧  $V_m$  の印加は、EL 素子 15 に電流を流していない時に行うものである。したがって、トランジスタ 11d がオンしていない時に、トランジスタ 11g をオンさせることにより行えばよい。つまり、トランジスタ 11d のオンオフロジックの逆をゲート電位制御線 473 に印加すればよい。たとえば、図 47 では、ゲート信号線 17b にトランジスタ 11d およびトランジスタ 11g のゲート (G) 端子を接続すればよい。トランジスタ 11d は P チャンネルであり、トランジスタ 11g は N チャンネルであるため、オンオフ動作は反対となる。

#### 【0515】

50

図 4 9 は逆バイアス駆動のタイミングチャートである。なお、チャート図において (1) (2) などの添え字は、画素行を示している。説明を容易にするため、(1) とは、第 1 画素行目と示し、(2) とは第 2 画素行目を示すとして説明をするが、これに限定するものではない。(1) が N 画素行目を示し、(2) が N + 1 画素行目を示すと考えても良い。以上のことは他の実施例でも、特例を除いて同様である。また、図 4 9 などの実施例では、図 1 などの画素構成を例示して説明をするがこれに限定されるものではない。たとえば、図 4 1、図 3 8 などの画素構成においても適用できるものである。

#### 【0516】

第 1 画素行目のゲート信号線 1 7 a (1) にオン電圧 ( $V_{g1}$ ) が印加されている時には、第 1 画素行目のゲート信号線 1 7 b (1) にはオフ電圧 ( $V_{gh}$ ) が印加される。つまり、トランジスタ 1 1 d はオフであり、EL 素子 1 5 には電流が流れていない。

10

#### 【0517】

逆バイアス線 4 7 1 (1) には、 $V_{s1}$  電圧 (トランジスタ 1 1 g がオンする電圧) が印加される。したがって、トランジスタ 1 1 g がオンし、EL 素子 1 5 には逆バイアス電圧が印加されている。逆バイアス電圧は、ゲート信号線 1 7 b にオフ電圧 ( $V_{gh}$ ) が印加された後、所定期間 (1 H の  $1/200$  以上の期間、または、 $0.5 \mu\text{sec}$ ) 後に、逆バイアス電圧が印加される。また、ゲート信号線 1 7 b にオン電圧 ( $V_{g1}$ ) が印加される所定期間 (1 H の  $1/200$  以上の期間、または、 $0.5 \mu\text{sec}$ ) 前に、逆バイアス電圧がオフされる。これは、トランジスタ 1 1 d とトランジスタ 1 1 g が同時にオンとなることを回避するためである。

20

#### 【0518】

次の水平走査期間 (1 H) には、ゲート信号線 1 7 a にはオフ電圧 ( $V_{gh}$ ) が印加され、第 2 画素行が選択される。つまり、ゲート信号線 1 7 b (2) にオン電圧が印加される。一方、ゲート信号線 1 7 b にはオン電圧 ( $V_{g1}$ ) が印加され、トランジスタ 1 1 d がオンして、EL 素子 1 5 にトランジスタ 1 1 a から電流が流れ EL 素子 1 5 が発光する。また、逆バイアス線 4 7 1 (1) にはオフ電圧 ( $V_{sh}$ ) が印加されて、第 1 画素行 (1) の EL 素子 1 5 には逆バイアス電圧が印加されないようになる。第 2 画素行の逆バイアス線 4 7 1 (2) には  $V_{s1}$  電圧 (逆バイアス電圧) が印加される。

#### 【0519】

以上の動作を順次くりかえすことにより、1 画面の画像が書き換えられる。以上の実施例では、各画素にプログラムされている期間に、逆バイアス電圧を印加するという構成であった。しかし、図 4 8 の回路構成はこれに限定されるものではない。複数の画素行に連続して逆バイアス電圧を印加することもできることは明らかである。また、ブロック駆動 (図 4 0 参照) や、N 倍パルス駆動、リセット駆動、ダミー画素駆動とも組み合わせることができることは明らかである。

30

#### 【0520】

以上の実施例は、図 1 の画素構成の場合であったが、他の構成においても、図 3 8、図 4 1 などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、図 5 0 は電流プログラム方式の画素構成である。

#### 【0521】

図 5 0 は、カレントミラーの画素構成である。トランジスタ 1 1 c は画素選択素子である。ゲート信号線 1 7 a 1 にオン電圧を印加することにより、トランジスタ 1 1 c がオンする。トランジスタ 1 1 d はリセット機能と、駆動用トランジスタ 1 1 a のドレイン (D) - ゲート (G) 端子間をショート (GD ショート) する機能を有するスイッチ素子である。トランジスタ 1 1 d はゲート信号線 1 7 a 2 にオン電圧を印加することによりオンする。

40

#### 【0522】

トランジスタ 1 1 d は、該当画素が選択する 1 H (1 水平走査期間、つまり 1 画素行) 以上前にオンする。好ましくは 3 H 前にはオンさせる。3 H 前とすれば、3 H 前にトランジスタ 1 1 d がオンし、トランジスタ 1 1 a のゲート (G) 端子とドレイン (D) 端子がシ

50



ョートされる。そのため、トランジスタ 11 a はオフする。したがって、トランジスタ 11 b には電流が流れなくなり、E L 素子 15 は非点灯となる。

【0523】

E L 素子 15 が非点灯状態の時、トランジスタ 11 g がオンし、E L 素子 15 に逆バイアス電圧が印加される。したがって、逆バイアス電圧は、トランジスタ 11 d がオンされている期間、印加されることになる。そのため、ロジック的にはトランジスタ 11 d とトランジスタ 11 g とは同時にオンすることになる。

【0524】

トランジスタ 11 g のゲート (G) 端子は  $V_{sg}$  電圧が印加されて固定されている。逆バイアス線 471 を  $V_{sg}$  電圧より十分に小さな逆バイアス電圧を逆バイアス線 471 に印加することによりトランジスタ 11 g がオンする。

10

【0525】

その後、前記該当画素に映像信号が印加 (書き込まれる) される水平走査期間がくると、ゲート信号線 17 a 1 にオン電圧が印加され、トランジスタ 11 c がオンする。したがって、ソースドライバ回路 14 からソース信号線 18 に出力された映像信号電圧がコンデンサ 19 に印加される (トランジスタ 11 d はオン状態が維持されている)。

【0526】

トランジスタ 11 d をオンさせると黒表示となる。1 フィールド (1 フレーム) 期間に占めるトランジスタ 11 d のオン期間が長くなるほど、黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても 1 フィールド (1 フレーム) の平均輝度を所望値とするためには、表示期間の輝度を高くする必要がある。つまり、表示期間に E L 素子 15 に流す電流と大きくする必要がある。この動作は、本発明の N 倍パルス駆動である。したがって、N 倍パルス駆動と、トランジスタ 11 d をオンさせて黒表示とする駆動とを組み合わせることが本発明の 1 つの特徴ある動作である。また、E L 素子 15 が非点灯状態で、逆バイアス電圧を E L 素子 15 に印加することが本発明の特徴ある構成 (方式) である。

20

【0527】

以上の実施例では、画像表示時において、画素が非点灯時に逆バイアス電圧を印加する方式であったが、逆バイアス電圧を印加する構成はこれに限定するものではない。画像を非表示に逆バイアス電圧を印加するのであれば、逆バイアス用の T F T 11 g を各画素に形成する必要はない。非点灯時とは、表示パネルの使用を終了した後、あるいは使用前に逆バイアス電圧を印加する構成である。

30

【0528】

例えば、図 1 の画素構成において、画素 16 を選択し (T F T 11 b、T F T 11 c をオンさせる)、ソースドライバ I C (回路) 14 から、ソースドライバ I C が出力できる低い電圧  $V_0$  (例えば、G N D 電圧) を出力して駆動用 T F T 11 a のドレイン端子 (D) に印加する。この状態で T F T 11 d もオンさせれば E L のアノード端子に  $V_0$  電圧が印加される。同時に、E L 素子 15 のカソード  $V_k$  に  $V_0$  電圧に対し、 $-5 \sim -15$  (V) 低い電圧  $V_m$  電圧を印加すれば E L 素子 15 に逆バイアス電圧が印加される。また、 $V_d$  電圧も  $V_0$  電圧より  $0 \sim -5$  (V) 低い電圧を印加することにより、T F T 11 a もオフ状態となる。以上のようにソースドライバ回路 14 から電圧を出力し、ゲート信号線 17 を制御することにより、逆バイアス電圧を E L 素子 15 に印加することができる。

40

【0529】

N 倍パルス駆動は、1 フィールド (1 フレーム) 期間内において、1 度、黒表示をしても再度、E L 素子 15 に所定の電流 (プログラムされた電流 (コンデンサ 19 に保持されている電圧による)) を流すことができる。しかし、図 50 の構成では、一度、トランジスタ 11 d がオンすると、コンデンサ 19 の電荷は放電 (減少を含む) されるため、E L 素子 15 に所定の電流 (プログラムされた電流を流すことができない。しかし、回路動作が容易であるという特徴がある。

【0530】

なお、以上の実施例は画素が電流プログラムの画素構成であったが、本発明はこれに限定

50

するものではなく、図 38、図 50 のような他の電流方式の画素構成にも適用することができる。また、図 51、図 54、図 62 に図示するような電圧プログラムの画素構成でも適用することができる。

#### 【0531】

図 51 は一般的に最も簡単な電圧プログラムの画素構成である。トランジスタ 11b が選択スイッチング素子であり、トランジスタ 11a が EL 素子 15 に電流を印加する駆動用トランジスタである。この構成で、EL 素子 15 のアノードに逆バイアス電圧印加用のトランジスタ（スイッチング素子）11g を配置（形成）している。

#### 【0532】

図 51 の画素構成では、EL 素子 15 に流す電流は、ソース信号線 18 に印加され、トランジスタ 11b が選択されることにより、トランジスタ 11a のゲート（G）端子に印加される。

#### 【0533】

まず、図 51 の構成を説明するために、基本動作について図 52 を用いて説明をする。図 51 の画素構成は電圧オフセットキャンセラという構成であり、初期化動作、リセット動作、プログラム動作、発光動作の 4 段階で動作する。

#### 【0534】

水平同期信号（HD）後、初期化動作が実施される。ゲート信号線 17b にオン電圧が印加され、トランジスタ 11g がオンする。また、ゲート信号線 17a にもオン電圧が印加され、トランジスタ 11c がオンする。この時、ソース信号線 18 には V<sub>d</sub>d 電圧が印加される。したがって、コンデンサ 19b の a 端子には V<sub>d</sub>d 電圧が印加されることになる。この状態で、駆動用トランジスタ 11a はオンし、EL 素子 15 に僅かな電流が流れる。この電流により駆動用トランジスタ 11a のドレイン（D）端子は少なくともトランジスタ 11a の動作点よりも大きな絶対値の電圧値となる。

#### 【0535】

次にリセット動作が実施される。ゲート信号線 17b にオフ電圧が印加され、トランジスタ 11e がオフする。一方、ゲート信号線 17c に T<sub>1</sub> の期間、オン電圧が印加され、トランジスタ 11b がオンする。この T<sub>1</sub> の期間がリセット期間である。また、ゲート信号線 17a には 1H の期間、継続してオン電圧が印加される。なお、T<sub>1</sub> は 1H 期間の 20% 以上 90% 以下の期間とすることが好ましい。もしくは、20  $\mu$ sec 以上 160  $\mu$ sec 以下の時間とすることが好ましい。また、コンデンサ 19b（C<sub>b</sub>）とコンデンサ 19a（C<sub>a</sub>）の容量の比率は、C<sub>b</sub> : C<sub>a</sub> = 6 : 1 以上 1 : 2 以下とすることが好ましい。

#### 【0536】

リセット期間では、トランジスタ 11b のオンにより、駆動用トランジスタ 11a のゲート（G）端子とドレイン（D）端子間がショートされる。したがって、トランジスタ 11a のゲート（G）端子電圧とドレイン（D）端子電圧が等しくなり、トランジスタ 11a はオフセット状態（リセット状態：電流が流れない状態）となる。このリセット状態とはトランジスタ 11a のゲート（G）端子が、電流を流し始める開始電圧近傍になる状態である。このリセット状態を維持するゲート電圧はコンデンサ 19b の b 端子に保持される。したがって、コンデンサ 19 には、オフセット電圧（リセット電圧）が保持されていることになる。

#### 【0537】

次のプログラム状態では、ゲート信号線 17c にオフ電圧が印加されトランジスタ 11b がオフする。一方、ソース信号線 18 には、T<sub>d</sub> の期間、DATA 電圧が印加される。したがって、駆動用トランジスタ 11a のゲート（G）端子には、DATA 電圧 + オフセット電圧（リセット電圧）が加えられたものが印加される。そのため、駆動用トランジスタ 11a はプログラムされた電流を流せるようになる。

#### 【0538】

プログラム期間後、ゲート信号線 17a にはオフ電圧が印加され、トランジスタ 11c は

オフ状態となり、駆動用トランジスタ 11 a はソース信号線 18 から切り離される。また、ゲート信号線 17 c にもオフ電圧が印加され、トランジスタ 11 b がオフし、このオフ状態は 1 F の期間保持される。一方、ゲート信号線 17 b には、必要に応じてオン電圧とオフ電圧とが周期的に印加される。つまり、図 13、図 15 などの N 倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。

#### 【0539】

図 52 の駆動方式では、リセット状態でコンデンサ 19 には、トランジスタ 11 a の開始電流電圧（オフセット電圧、リセット電圧）が保持される。そのため、このリセット電圧がトランジスタ 11 a のゲート（G）端子に印加されている時が、最も暗い黒表示状態である。しかし、ソース信号線 18 と画素 16 とのカップリング、コンデンサ 19 への突き抜け電圧あるいはトランジスタの突き抜けにより、黒浮き（コントラスト低下）が発生する。したがって、図 53 で説明した駆動方法では、表示コントラストを高くすることができない。

10

#### 【0540】

逆バイアス電圧  $V_m$  を EL 素子 15 に印加するためには、トランジスタ 11 a がオフさせる必要がある。トランジスタ 11 a をオフさせるためには、トランジスタ 11 a の  $V_{dd}$  端子とゲート（G）端子間をショートすればよい。この構成については、後に図 53 を用いて説明をする。

#### 【0541】

また、ソース信号線 18 に  $V_{dd}$  電圧またはトランジスタ 11 a をオフさせる電圧を印加し、トランジスタ 11 b をオンさせてトランジスタ 11 a のゲート（G）端子に印加させてもよい。この電圧によりトランジスタ 11 a がオフする（もしくは、ほとんど、電流が流れないような状態にする（略オフ状態：トランジスタ 11 a が高インピーダンス状態））。その後、トランジスタ 11 g をオンさせて、EL 素子 15 に逆バイアス電圧を印加する。この逆バイアス電圧  $V_m$  の印加は、全画素同時に行ってもよい。つまり、ソース信号線 18 にトランジスタ 11 a を略オフする電圧を印加し、すべての（複数の）画素行のトランジスタ 11 b をオンさせる。したがって、トランジスタ 11 a がオフする。その後、トランジスタ 11 g をオンさせて、逆バイアス電圧を EL 素子 15 に印加する。その後、順次、各画素行に映像信号を印加し、表示装置に画像を表示する。

20

30

#### 【0542】

次に、図 51 の画素構成におけるリセット駆動について説明をする。図 53 はその実施例である。図 53 に示すように画素 16 a のトランジスタ 11 c のゲート（G）端子に接続されたゲート信号線 17 a は次段画素 16 b のリセット用トランジスタ 11 b のゲート（G）端子にも接続されている。同様に、画素 16 b のトランジスタ 11 c のゲート（G）端子に接続されたゲート信号線 17 a は次段画素 16 c のリセット用トランジスタ 11 b のゲート（G）端子に接続されている。

#### 【0543】

したがって、画素 16 a のトランジスタ 11 c のゲート（G）端子に接続されたゲート信号線 17 a にオン電圧を印加すると、画素 16 a が電圧プログラム状態となるとともに、次段画素 16 b のリセット用トランジスタ 11 b がオンし、画素 16 b の駆動用トランジスタ 11 a がリセット状態となる。同様に、画素 16 b のトランジスタ 11 c のゲート（G）端子に接続されたゲート信号線 17 a にオン電圧を印加すると、画素 16 b が電流プログラム状態となるとともに、次段画素 16 c のリセット用トランジスタ 11 b がオンし、画素 16 c の駆動用トランジスタ 11 a がリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。また、各画素あたりのゲート信号線の引き出し本数を減少させることができる。

40

#### 【0544】

さらに詳しく説明する。図 53（a）のようにゲート信号線 17 に電圧が印加されているとする。つまり、画素 16 a のゲート信号線 17 a にオン電圧が印加され、他の画素 16

50

のゲート信号線 17 a にオフ電圧が印加されているとする。また、ゲート信号線 17 b は画素 16 a、16 b にはオフ電圧が印加され、画素 16 c、16 d にはオン電圧が印加されているとする。

【0545】

この状態では、画素 16 a は電圧プログラム状態で非点灯、画素 16 b はリセット状態で非点灯、画素 16 c はプログラム電流の保持状態で点灯、画素 16 d はプログラム電流の保持状態で点灯状態である。

【0546】

1 H 後、制御用ゲートドライバ回路 12 のシフトレジスタ回路 61 内のデータが 1 ビットシフトし、図 53 (b) の状態となる。図 53 (b) の状態は、画素 16 a はプログラム電流保持状態で点灯、画素 16 b は電圧プログラム状態で非点灯、画素 16 c はリセット状態で非点灯、画素 16 d はプログラム保持状態で点灯状態である。

10

【0547】

以上のことから、各画素は前段に印加されたゲート信号線 17 a の電圧により、次段の画素の駆動用トランジスタ 11 a がリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

【0548】

図 43 に図示する電圧プログラムの画素構成でも前段ゲート制御を実現できる。図 54 は図 43 の画素構成を前段ゲート制御方式の接続とした実施例である。

【0549】

図 54 に示すように画素 16 a のトランジスタ 11 b のゲート (G) 端子に接続されたゲート信号線 17 a は次段画素 16 b のリセット用トランジスタ 11 e のゲート (G) 端子に接続されている。同様に、画素 16 b のトランジスタ 11 b のゲート (G) 端子に接続されたゲート信号線 17 a は次段画素 16 c のリセット用トランジスタ 11 e のゲート (G) 端子に接続されている。

20

【0550】

したがって、画素 16 a のトランジスタ 11 b のゲート (G) 端子に接続されたゲート信号線 17 a にオン電圧を印加すると、画素 16 a が電圧プログラム状態となるとともに、次段画素 16 b のリセット用トランジスタ 11 e がオンし、画素 16 b の駆動用トランジスタ 11 a がリセット状態となる。同様に、画素 16 b のトランジスタ 11 b のゲート (G) 端子に接続されたゲート信号線 17 a にオン電圧を印加すると、画素 16 b が電圧プログラム状態となるとともに、次段画素 16 c のリセット用トランジスタ 11 e がオンし、画素 16 c の駆動用トランジスタ 11 a がリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。

30

【0551】

さらに詳しく説明する。図 55 (a) のようにゲート信号線 17 に電圧が印加されているとする。つまり、画素 16 a のゲート信号線 17 a にオン電圧が印加され、他の画素 16 のゲート信号線 17 a にオフ電圧が印加されているとする。また、すべての逆バイアス用トランジスタ 11 g はオフ状態であるとする。

【0552】

この状態では、画素 16 a は電圧プログラム状態、画素 16 b はリセット状態、画素 16 c はプログラム電流の保持状態、画素 16 d はプログラム電流の保持状態である。

40

【0553】

1 H 後、制御用ゲートドライバ回路 12 のシフトレジスタ回路 61 内のデータが 1 ビットシフトし、図 55 (b) の状態となる。図 55 (b) の状態は、画素 16 a はプログラム電流保持状態、画素 16 b は電圧プログラム状態、画素 16 c はリセット状態、画素 16 d はプログラム保持状態である。

【0554】

以上のことから、各画素は前段に印加されたゲート信号線 17 a の電圧により、次段の画素の駆動用トランジスタ 11 a がリセットされ、次の水平走査期間に電圧プログラムが順

50

次行われることがわかる。

【0555】

以後、本発明の電流駆動方式のソースドライバIC（回路）14について説明をする。まず、図72に、従来の電流駆動方式のドライバ回路の一例を示す。ただし、このような電流ドライバICが存在するのではなく、本発明の電流駆動方式のソースドライバICを説明するための原理的なものである。

【0556】

図72において、721はD/A変換器である。D/A変換器721にはnビットのデータ信号が入力され、入力されたデータに基づき、D/A変換器からアナログ信号が出力される。このアナログ信号はオペアンプ722に入力される。オペアンプ722はNチャンネルトランジスタ631aに入力され、トランジスタ631aに流れる電流が抵抗691に流れる。抵抗Rの端子電圧はオペアンプ722の－入力となり、この－端子の電圧とオペアンプ722の＋端子とは同一電圧となる。したがってD/A変換器721の出力電圧は抵抗691の端子電圧となる。

【0557】

今、抵抗691の抵抗値が1MΩとし、D/A変換器721の出力が1（V）であれば、抵抗691には1（V）/1MΩ＝1（μA）の電流が流れる。これが定電流回路となる。したがって、データ信号の値に応じて、D/A変換器721のアナログ出力が変化し、このアナログ出力に値にもとづいて抵抗691に所定電流が流れる。

【0558】

トランジスタ631p1と631p2とはカレントミラー回路を構成している。なお、トランジスタ631pはPチャンネル型トランジスタである。一方、633nはカレントミラーを構成するnチャンネル型トランジスタである。駆動用トランジスタ631aのソースドレイン（SD）にも同じ電流が流れ、631p1と631p2で構成されるカレントミラー回路にも同じ電流値が流れ、各トランジスタ633nで構成されるカレントミラー回路にも同じ電流値が流れるので、出力端子O1、O2、O3、O4、O5、・・・は同一の電流が流れる定電流出力端子となる（カレント倍率が等しい時）。

【0559】

しかしながら、ICは、同一のマスクから同一のプロセスに基づいて製造されても、半導体チップ上に形成されるトランジスタや抵抗などの各素子の電気的特性は異なり、ドライバICの出力電流は、たとえ同一ICであっても、定電流出力端子間では各出力間のばらつきは存在する。この場合、各定電流出力端子の出力電流値にばらつきが生じると、発光素子の発光量などにばらつきが生じ、ディスプレイパネルでは表示むらを生じる。したがって、ドライバIC14を使用して、有機EL表示パネルなどの発光素子を駆動する場合は、定電流出力端子間のばらつきをできるだけ最小限にすることが必要となる。

【0560】

本発明はかかる点に鑑みてなされたものであり、定電流出力端子間の出力電流ばらつきをできるだけ最小限にするための回路構成、レイアウト構成を有する電流駆動型ドライバIC（回路）14を提供する。

【0561】

図63に、本発明の電流駆動方式のソースドライバIC（回路）14の構成図を示す。図1は、一例として電流源を3段構成（631、632、633）とした場合の多段式カレントミラー回路を示している。

【0562】

図63において、第1段の電流源631の電流値は、N個（ただし、Nは任意の整数）の第2段電流源632にカレントミラー回路によりコピーされる。更に、第2段電流源632の電流値は、M個（ただし、Mは任意の整数）の第3段電流源633にカレントミラー回路によりコピーされる。この構成により、結果として第1段電流源631の電流値は、N×M個の第3段電流源633にコピーされることになる。

【0563】

例えば、Q C I F形式の表示パネルのソース信号線18に1個のドライバI C 14で駆動する場合は、176出力（ソース信号線が各R G Bで176出力必要なため）となる。この場合は、Nを16個とし、M=11個とする。しがたって、 $16 \times 11 = 176$ となり、176出力に対応できる。このように、NまたはMのうち、一方を8または16もしくはその倍数とすることにより、ドライバI Cの電流源のレイアウト設計が容易になる。

【0564】

従来の電流駆動方式のソースドライバI C（仮想で想定している）では、第1段電流源631の電流値を直接N×M個の第3段電流源にカレントミラー回路でコピーしていたので、第1段電流源631のトランジスタ特性と第3段電流源のトランジスタ特性に差が生じると、それがそのまま電流値のばらつきとなって、表示パネルの表示むらとなって現れていた。特に、ソースドライバI C 14は、幅が2mm程度で長さが20mm程度という細長い形状をしているので、中央部と両端ではトランジスタ特性のばらつきが大きく、このような問題は顕著であると考えられる。

10

【0565】

この課題に対して、本発明の多段式カレントミラー回路による電流駆動方式のソースドライバI C（回路）14では、前記したように、第1段電流源631の電流値を直接N×M個の第3段電流源633にカレントミラー回路でコピーするのではなく、中間に第2段電流源632を配備しているので、そこでトランジスタ特性のばらつきを吸収することが可能である。

【0566】

特に、本発明は、第1段のカレントミラー回路（電流源631）と第2段にカレントミラー回路（電流源632）を密接して配置するところに特徴がある。第1段の電流源631から第3段の電流源633（つまり、カレントミラー回路の2段構成）であれば、第1段の電流源と接続される第2段の電流源633の個数が多く、第1段の電流源631と第3段の電流源633を密接して配置することができない。

20

【0567】

本発明のソースドライバ回路14のように、第1段のカレントミラー回路（電流源631）の電流を第2段のカレントミラー回路（電流源632）にコピーし、第2段のカレントミラー回路（電流源632）の電流を第3段にカレントミラー回路（電流源632）にコピーする構成である。この構成では、第1段のカレントミラー回路（電流源631）に接続される第2段のカレントミラー回路（電流源632）の個数は少ない。したがって、第1段のカレントミラー回路（電流源631）と第2段のカレントミラー回路（電流源632）とを密接して配置することがことができる。

30

【0568】

密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第2段のカレントミラー回路（電流源632）に接続される第3段のカレントミラー回路（電流源633）の個数も少なくなる。したがって、第2段のカレントミラー回路（電流源632）と第3段のカレントミラー回路（電流源633）とを密接して配置することがことができる。

40

【0569】

つまり、全体として、第1段のカレントミラー回路（電流源631）、第2段のカレントミラー回路（電流源632）、第3段のカレントミラー回路（電流源633）の電流受け取り部のトランジスタを密接して配置することがことができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電流信号のバラツキは極めて少なくなる（精度が高い）。

【0570】

なお、本例では簡単のため多段式カレントミラー回路を3段構成で説明したが、この段数が大きければ大きいほど、電流駆動型表示パネルのソースドライバI C 14の電流ばらつきが小さくなることは言うまでもない。したがって、カレントミラー回路の段数は3段に

50

限定するものではなく、3段以上であってもよい。

【0571】

本発明において、電流源631、632、633と表現したり、カレントミラー回路と表現したりしている。これらは同義に用いている。つまり、電流源とは、本発明の基本的な構成概念であり、電流源を具体的に構成するとカレントミラー回路となるからである。したがって、電流源はカレントミラー回路のみに限定するものではなく、図72に図示するようにオペアンプ722とトランジスタ631と抵抗Rの組み合わせからなる電流回路でもよい。

【0572】

図64はさらに具体的なソースドライバIC（回路）14の構造図である。図64は第3の電流源633の部分を図示している。つまり、1つのソース信号線18に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路（電流源634（1単位））で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。

10

【0573】

なお、本発明のソースドライバIC（回路）14を構成するトランジスタは、MOSタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリウム砒素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコンなどのポリシリコン技術、アモルファスシリコン技術で直接形成したものでよい。

20

【0574】

図64で明らかであるが、本発明の1実施例として、6ビットのデジタル入力の場合を図示している。つまり、2の6乗であるから、64階調表示である。このソースドライバIC14をアレイ基板に積載することにより、赤（R）、緑（G）、青（B）が各64階調であるから、 $64 \times 64 \times 64 = \text{約} 26 \text{ 万色}$ を表示できることになる。

【0575】

図64において、D0はLSB入力を示しており、D5はMSB入力を示している。D0入力端子にHレベル（正論理時）の時、スイッチ641a（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、PチャンネルトランジスタとNチャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する電流源（1単位）634に向かって電流が流れる。この電流はIC14内の内部配線643に流れる。この内部配線643はIC14の端子電極を介してソース信号線18に接続されているから、この内部配線643に流れる電流が画素16のプログラム電流となる。

30

【0576】

D1入力端子にHレベル（正論理時）の時、スイッチ641bがオンする。すると、カレントミラーを構成する2つの電流源（1単位）634に向かって電流が流れる。この電流はIC14内の内部配線643に流れる。この内部配線643はIC14の端子電極を介してソース信号線18に接続されているから、この内部配線643に流れる電流が画素16のプログラム電流となる。

40

【0577】

他のスイッチ641でも同様である。D2入力端子にHレベル（正論理時）の時は、スイッチ641cがオンする。すると、カレントミラーを構成する4つの電流源（1単位）634に向かって電流が流れる。D5入力端子にHレベル（正論理時）の時は、スイッチ641fがオンする。すると、カレントミラーを構成する32つの電流源（1単位）634に向かって電流が流れる。

【0578】

以上のように、外部からのデータ（D0～D5）に応じて、それに対応する電流源（1単位）に向かって電流が流れる。したがって、データに応じて、0個から63個に電流源（1単位）に電流が流れるように構成されている。なお、本発明は説明を容易にするため、

50

電流源は6ビットの63個としているが、これに限定するものではない。8ビットの場合は、255個の単位電流源634を形成（配置）すればよい。また、4ビットの時は、15個の単位電流源634を形成（配置）すればよい。単位電流源を構成するトランジスタ634は同一のチャンネル幅W、チャンネル幅Lとする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

#### 【0579】

また、電流源634はすべてが、同一の電流を流すことに限定するものではない。たとえば、各電流源634を重み付けしてもよい。たとえば、1単位の電流源634と、2倍の電流源634と、4倍の電流源634などを混在させて電流出力回路を構成してもよい。

しかし、電流源634を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、1単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

#### 【0580】

図64の構成は図63に図示する第3段のカレントミラー部である。したがって、第1の電流源631と第2段の電流源632が別途形成されており、これらが密集（密接あるいは隣接）して配置されているのである。また、第2段の電流源632と第3段の電流源を構成するカレントミラー回路のトランジスタ633aも密集（密接あるいは隣接）して配置される。

#### 【0581】

なお、特に電流源（1単位）634は、密集して配置され、かつ微小な電流が流れる。したがって、EL表示パネルなどから放射される光（発光光）が、電流源634（他に631、632、633も考慮すべきである）に光が照射されると、ホトコンダクタ現象（ホトコン）により誤動作を引き起こす。この課題に対応するため、チップの裏面に遮光膜を形成する。また、基板に実装する箇所で、かつ、チップの電流源が形成された箇所に遮光膜を形成する（パネル基板の表面に金属薄膜、有機材料あるいは無機材料などからなる光吸収膜を形成する）。この遮光膜は、EL素子15に電流を供給するアノード配線、カソード配線の引き回す（ICチップ下に引き回す）ことにより、構成すれば形成が容易であり、低コスト化できる。この構成は、ICチップに限定されるものではない。低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜（CGS）、アモルファスシリコン技術を用いてソースドライバ回路14にも適用される。つまり、このソースドライバ回路14の裏面に遮光膜を形成する。

#### 【0582】

第2段のカレントミラー回路632を流れる電流は、第3段のカレントミラー回路を構成するトランジスタ633aにコピーされ、カレントミラー倍率が1倍の時は、この電流がトランジスタ633bに流れる。この電流は、最終段のトランジスタ634にコピーされる。

#### 【0583】

D0に対応する部分は、1個のトランジスタ634で構成されているので、最終段電流源のトランジスタ633に流れる電流値である。D1に対応する部分は2個のトランジスタ634で構成されているので、最終段電流源の2倍の電流値である。D2は4個のトランジスタ634で構成されているので、最終段電流源の4倍の電流値であり、・・・、D5に対応する部分は32個のトランジスタで構成されているので、最終段電流源の32倍の電流値である。したがって、6ビットの画像データD0、D1、D2、・・・、D5で制御されるスイッチを介してプログラム電流Iwはソース信号線に出力される（電流を引き込む）。したがって、6ビットの画像データD0、D1、D2、・・・、D5のON、OFFに応じて、出力線には、最終段電流源633の1倍、2倍、4倍、・・・、32倍の電流が加算されて出力される。すなわち、6ビットの画像データD0、D1、D2、・・・、D5により、最終段電流源633の0～63倍の電流値が出力線より出力される（ソース信号線18から電流を引き込む）。

10

20

30

40

50



## 【0584】

以上のように、最終段電流源633の整数倍の構成により、従来のW/Lの比例配分と比較して、より高精度に電流値を制御できる（各端子の出力バラツキがなくなる）。

## 【0585】

ただし、この構成は、画素16を構成する駆動用TFT11aがPチャンネルで構成され、かつ、ソースドライバIC14を構成する電流源（1単位）部634がNチャンネルトランジスタで構成されている場合である。他の場合（例えば、画素16の駆動用TFT11aがNチャンネルトランジスタで構成されている場合など）は、プログラム電流I<sub>w</sub>は吐き出し電流となる構成も実施できることはいうまでもない。）。

## 【0586】

なお、最終段電流源633の0～63倍の電流が出力されたとしたが、これは最終段電流源633のカレントミラー倍率が1倍の時である。カレントミラー倍率が2倍の時は、最終段電流源633の0～126倍の電流が出力され、カレントミラー倍率が0.5倍の時は、最終段電流源633の0～31.5倍の電流が出力される。以上のように、本発明は最終段電流源633あるいは、それより前段の電流源（631、632など）のカレントミラー倍率を変化させることにより、出力の電流値を容易に変更できる。また、以上の事項は、R、G、Bごとにカレントミラー倍率を変更する（異ならせる）ことも好ましい。たとえば、Rのみ、いずれかの電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化（異ならせる）させてもよい。特に、EL表示パネルは、各色（R、G、Bあるいはシアン、イエロー、マゼンダ）ごとに発光効率などが異なる。したがって、各色でカレントミラー倍率を変化させることにより、ホワイトバランスを良好にできる。

## 【0587】

電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化（異ならせる）させるという事項は、固定的なものに限定されない。可変することにも含まれる。可変は、電流源にカレントミラー回路を構成するトランジスタを複数形成しておき、外部からの信号によりカレント電流を流す前記トランジスタの個数を切り替えることにより実現できる。このように構成することにより、作製されたEL表示パネルの各色の発光状態を観察しながら、最適なホワイトバランスに調整することが可能になる。特に、本発明は、多数段に電流源（カレントミラー回路）を連結する構成である。したがって、第1段の電流源631と第2段の電流源632とのカレントミラー倍率を変化させると、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電流を変化できる。もちろん、第2段の電流源632と第3段の電流源633とのカレントミラー倍率を変化させるよりも、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電流を変化できることはいうまでもない。

## 【0588】

なお、カレントミラー倍率を変化という概念は、電流倍率を変化（調整）するということである。したがって、カレントミラー回路のみに限定されるものではない。たとえば、電流出力のオペアンプ回路、電流出力のD/A回路などでも実現できる。

## 【0589】

以上に説明した事項は、本発明の他の実施例についても適用されることはいうまでもない。

## 【0590】

図65に、3段式カレントミラー回路による176出力（ $N \times M = 176$ ）の回路図の一例を示す。図65では、第1段カレントミラー回路による電流源631を親電流源、第2段カレントミラー回路による電流源632を子電流源、第3段カレントミラー回路による電流源633を孫電流源と記している。最終段カレントミラー回路である第3段カレントミラー回路による電流源の整数倍の構成により、176出力のばらつきを極力抑え、高精度な電流出力が可能である。もちろん、電流源531、632、633を密集して配置するという構成を忘れてはならない。

## 【0591】

なお、密集して配置するとは、第1の電流源631と第2の電流源632とを少なくとも8mm以内の距離に配置（電流あるいは電圧の出力側と電流あるいは電圧の入力側）することをいう。さらには、5mm以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（ $V_t$ 、モビリティ（ $\mu$ ））差がほとんど発生しないからである。また、同様に、第2の電流源632と第3の電流源633（電流の出力側と電流の入力側）も少なくとも8mm以内の距離に配置する。さらに好ましくは、5mm以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。

## 【0592】

この電流あるいは電圧の出力側と電流あるいは電圧の入力側とは、以下の関係を意味する。図66の電圧受け渡しの場合は、第（I）段の電流源のトランジスタ631（出力側）と第（I+1）の電流源のトランジスタ632a（入力側）とを密集して配置する関係である。図67の電流受け渡しの場合は、第（I）段の電流源のトランジスタ631a（出力側）と第（I+1）の電流源のトランジスタ632b（入力側）とを密集して配置する関係である。

## 【0593】

ここで、シリコンチップとしたが、これは、半導体チップの意味である。したがって、ガリウム基板に形成されたチップ、ゲルマニウム基板など形成された他の半導体チップも同様である。

## 【0594】

さらには、低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜（CGS）、もしくはアモルファスシリコン技術を用いてソースドライバ回路にも適用される。ただし、この場合は、パネルが比較的大型の場合が多い。パネルが大型であると多少のソース信号線18からの出力バラツキがあっても視覚的に認識されにくい。したがって、以上のガラス基板などに画素TFEと同時にソースドライバ回路14を形成する表示パネルでは、密集して配置するとは、第1の電流源631と第2の電流源632とを少なくとも30mm以内の距離に配置（電流の出力側と電流の入力側）することをいう。さらには、20mm以内に配置することが好ましい。この範囲であれば、検討によりこの範囲に配置されたトランジスタの特性（ $V_t$ 、モビリティ（ $\mu$ ））差がほとんど発生しないからである。また、同様に、第2の電流源632と第3の電流源633（電流の出力側と電流の入力側）も少なくとも30mm以内の距離に配置する。さらに好ましくは、20mm以内の位置に配置することが好ましい。

## 【0595】

以上の説明は、理解を容易に、あるいは説明を容易にするため、カレントミラー回路間は電圧により信号を受け渡すように説明をした。しかし、電流受け渡し構成にすることにより、よりばらつきの小さい電流駆動型表示パネルの駆動用ドライバ回路（IC）14を実現することができる。

## 【0596】

図67は電流受け渡し構成の実施例である。なお、図66は電圧受け渡し構成の実施例である。図66、図67とも回路図としては同じであり、レイアウト構成すなわち配線の引き回し方が異なる。図66において、631は第1段電流源用Nchトランジスタ、632aは第2段電流源用Nchトランジスタ、632bは第2段電流源用Pchトランジスタである。

## 【0597】

図67において、631aは第1段電流源用Nchトランジスタ、632aは第2段電流源用Nchトランジスタ、632bは第2段電流源用Pchトランジスタである。

## 【0598】

図66では、可変抵抗651（電流を変化するために用いるものである）とNchトランジスタ631で構成される第1段電流源のゲート電圧が、第2段電流源のNchトランジ

10

20

30

40

50

スタ 6 3 2 a のゲートに受け渡されているので、電圧受け渡し方式のレイアウト構成となる。

【0599】

一方、図 6 7 では、可変抵抗 6 5 1 と N c h トランジスタ 6 3 1 a で構成される第 1 段電流源のゲート電圧が、隣接する第 2 段電流源の N c h トランジスタ 6 3 2 a のゲートに印加され、その結果トランジスタに流れる電流値が、第 2 段電流源の P c h トランジスタ 6 3 2 b に受け渡されているので、電流受け渡し方式のレイアウト構成となる。

【0600】

なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第 1 の電流源と第 2 の電流源との関係を中心に説明しているが、これに限定されるものではなく、第 2 の電流源と第 3 の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。

10

【0601】

図 6 6 の電圧受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第 1 段の電流源の N c h トランジスタ 6 3 1 と第 2 段の電流源の N c h トランジスタ 6 3 2 a が離れ離れになる（離れ離れになりやすいというべきではある）ので、両者のトランジスタ特性に相違が生じやすい。したがって、第 1 段電流源の電流値が第 2 段電流源に正確に伝達されず、ばらつきが生じやすい。

【0602】

それに対して、図 6 7 の電流受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第 1 段電流源の N c h トランジスタ 6 3 1 a と第 2 段電流源の N c h トランジスタ 6 3 2 a が隣接している（隣接して配置しやすい）ので、両者のトランジスタ特性に相違は生じにくく、第 1 段電流源の電流値が第 2 段電流源に正確に伝達され、ばらつきが生じにくい。

20

【0603】

以上のことから、本発明の多段式カレントミラー回路の回路構成（本発明の電流駆動方式のソースドライバ回路（I C）14）として、電圧受け渡しではなく、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきの小さくでき好ましい。以上の実施例は本発明の他の実施例にも適用できることは言うまでもない。

【0604】

なお、説明の都合上、第 1 段電流源から第 2 段電流源の場合を示したが、第 2 段電流源から第 3 段電流源、第 3 段電流源から第 4 段電流源、・・・の場合も同様であることは言うまでもない。

30

【0605】

図 6 8 は、図 6 5 の 3 段構成のカレントミラー回路（3 段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがって、図 6 5 は電圧受け渡し方式の回路構成である）。

【0606】

図 6 8 では、まず、可変抵抗 6 5 1 と N c h トランジスタ 6 3 1 a で基準電流が作成される。なお、可変抵抗 6 5 1 で基準電流を調整するように説明しているが、実際は、ソースドライバ I C（回路）14 内に形成（もしくは配置）された電子ポリウム回路によりトランジスタ 6 3 1 a のソース電圧が設定され、調整されるように構成される。もしくは、図 6 4 に図示するような多数の電流源（1 単位）6 3 4 から構成される電流方式の電子ポリウムから出力される電流を直接にトランジスタ 6 3 1 のソース端子に供給することにより基準電流は調整される（図 6 9 を参照のこと）。

40

【0607】

トランジスタ 6 3 1 a による第 1 段電流源のゲート電圧が、隣接する第 2 段電流源の N c h トランジスタ 6 3 2 a のゲートに印加され、その結果トランジスタに流れる電流値が、第 2 段電流源の P c h トランジスタ 6 3 2 b に受け渡される。また、第 2 の電流源のトランジスタ 6 3 1 2 b によるゲート電圧が、隣接する第 3 段電流源の N c h トランジスタ 6

50

33aのゲートに印加され、その結果トランジスタに流れる電流値が、第3段電流源のNchトランジスタ633bに受け渡される。第3段電流源のNchトランジスタ633bのゲートには図64に図示する多数の電流源634が必要なビット数に応じて形成（配置）される。

【0608】

図69では、前記多段式カレントミラー回路の第1段電流源631に、電流値調整用素子が具備されていることを特徴としている。この構成により、第1段電流源631の電流値を変化させることにより、出力電流をコントロールすることが可能となる。

【0609】

トランジスタの $V_t$ バラツキ（特性バラツキ）は、1ウェハ内で100mV程度のばらつきがある。しかし、100 $\mu$ 以内に近接して形成されたトランジスタの $V_t$ バラツキは、少なくとも、10mV以下である（実測）。つまり、トランジスタを近接して形成し、カレントミラー回路を構成するとにより、カレントミラー回路の出力電流バラツキを減少させることができる。したがって、本発明のソースドライバICの各端子の出力電流バラツキを少なくすることができる。

【0610】

図110はトランジスタの形成面積（平方ミリメートル）と、単体トランジスタの出力電流バラツキ（3 $\sigma$ ）との測定結果を示している。出力電流バラツキとは、 $V_t$ 電圧での電流バラツキである。黒点は所定の形成面積内に作製された評価サンプル（10～200個）のトランジスタ出力電流バラツキである。図110のA領域（形成面積0.5平方ミリメートル以内）内で形成されたトランジスタには、ほとんど出力電流のバラツキがない（ほぼ、誤差範囲の出力電流バラツキしかない。つまり、一定の出力電流が出力される）。逆にC領域（形成面積2.4平方ミリメートル以上）では、形成面積に対する出力電流のバラツキが急激に大きくなる傾向がある。B領域（形成面積0.5平方ミリメートル以上2.4平方ミリメートル以下）では、形成面積に対する出力電流のバラツキはほぼ比例の関係にある。

【0611】

ただし、出力電流の絶対値は、ウェハごとに異なる。しかし、この問題は、本発明のソースドライバ回路（IC）14において、基準電流を調整すること、あるいは所定値にすることにより対応できる。また、カレントミラー回路などの回路工夫で対応できる（解決できる）。

【0612】

本発明は、入力デジタルデータ（D）により、単位トランジスタ634に流れる電流数を切り替えることによりソース信号線18に流れる電流量を変化（制御）する。階調数が64階調以上であれば、 $1/64 = 0.015$ であるから、理論的には、1～2%以内の出力電流バラツキ以内にする必要がある。なお、1%以内の出力バラツキは、視覚的には判別することが困難になり、0.5%以下ではほぼ判別することができない（均一に見える）。

【0613】

出力電流バラツキ（%）を1%以内にするためには、図110の結果に示すようにトランジスタ群（バラツキの発生を抑制すべきトランジスタ）の形成面積を2平方ミリメートル以内にする必要がある。さらに好ましくは、出力電流のバラツキ（つまり、トランジスタの $V_t$ バラツキ）を0.5%以内にするのが好ましい。図110の結果に示すようにトランジスタ群681の形成面積を1.2平方ミリメートル以内にすればよい。なお、形成面積とは、縦×横の長さの面積である。たとえば、一例として、1.2平方ミリメートルでは、1mm×1.2mmである。

【0614】

なお、以上は、特に8ビット（256階調）以上の場合である。256階調以下の場合、たとえば、6ビット（64階調）の場合は、出力電流のバラツキは2%程度であっても良い（画像表示上、実状は問題がない）。この場合は、トランジスタ群681は、5平方ミ

10

20

30

40

50

リメートル以内に形成すればよい。また、トランジスタ群 681 (図 68 では、トランジスタ群 681a と 681b の 2 つを図示している) の両方が、この条件を満足することを要しない。少なくとも一方が (3 つ以上ある場合は、1 つ以上のトランジスタ群 681) この条件を満足するように構成すれば本発明の効果が発揮される。特に、下位のトランジスタ群 681 (681a が上位で、681b が下位の関係) に、関してこの条件を満足させることが好ましい。画像表示に問題が発生しにくくなるからである。

#### 【0615】

以上の事項は本発明の他の実施例においても適用され、また、本発明の表示パネル、アレイ、表示装置などと組み合わせることができる。

#### 【0616】

本発明のソースドライバ回路 (IC) 14 は、図 68 に図示するように、親、子、孫というように少なくとも複数の電流源を多段接続し、かつ各電流源密配置にしている (もちろん、親、子の 2 段接続でもよい)。また、各電流源間 (トランジスタ群 681 間) を電流受け渡しにしている。具体的には、図 68 の点線で囲った範囲 (トランジスタ群 681) を密配置にする。このトランジスタ群 681 は電圧受け渡しの関係にある。また、親の電流源 631 と子の電流源 632a とは、ソースドライバ IC 14 チップの略中央部に形成または配置する。チップの左右に配置された子の電流源を構成するトランジスタ 632a と、子の電流源を構成するトランジスタ 632b との距離を比較的短くすることができるからである。つまり、最上位のトランジスタ群 681a を IC チップの略中央部に配置する。そして、IC チップ 14 の左右に、下位のトランジスタ群 681b を配置する。好ましくは、この下位のトランジスタ群 681b の個数が IC チップの左右で略等しくなるように配置または、形成もしくは作製するのである。なお、以上の事項は、IC チップ 14 に限定されず、低温あるいは高温ポリシリコン技術で基板 71 に直接形成したソースドライバ回路 14 にも適用される。他の事項も同様である。

#### 【0617】

本発明では、トランジスタ群 681a は IC チップ 14 の略中央部に 1 つ構成または配置または形成あるいは作製されたおり、チップの左右に 8 個ずつトランジスタ群 681b が形成されている ( $N=8+8$ 、図 63 を参照のこと)。子のトランジスタ群 681b はチップの左右に等しくなるように、もしくは、チップ中央の親が形成された位置に対し、左側に形成または配置されたトランジスタ群 681b の個数と、チップの右側に形成または配置されたトランジスタ群 681b の個数との差が、4 個以内となるように構成することが好ましい。さらには、チップの左側に形成または配置されたトランジスタ群 681b の個数と、チップの右側に形成または配置されたトランジスタ群 681b の個数との差が、1 個以内となるように構成することが好ましい。以上の事項は、孫にあたるトランジスタ群 (図 68 では省略されているが) についても同様である。

#### 【0618】

親電流源 631 と子電流源 632a 間は電圧受け渡し (電圧接続) されている。したがって、トランジスタの  $V_t$  バラツキの影響を受けやすい。そのため、トランジスタ群 681a の部分を密配置する。このトランジスタ群 681a の形成面積を、図 110 の図示するように 2 平方ミリメートル以内の面積に形成する。さらに好ましくは 1.2 平方ミリメートル以内に形成する。もちろん、階調数が 64 階調以下の場合は、5 平方ミリメートル以内でもよい。

#### 【0619】

トランジスタ群 681a を子トランジスタ 632b 間は電流でデータを受け渡し (電流受け渡し) をしているので、多少、距離は流れても構わない。この距離の範囲 (たとえば、上位のトランジスタ群 681a の出力端から下位のトランジスタ 681b の入力端までの距離) は、先に説明したように、第 2 の電流源 (子) を構成するトランジスタ 632a と第 2 の電流源 (子) を構成するトランジスタ 632b とを、少なくとも 10mm 以内の距離に配置する。このましくは 8mm 以内に配置または形成する。さらには、5mm 以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されて

10

20

30

40

50

トランジスタの特性 ( $V_t$ 、モビリティ ( $\mu$ )) 差が、電流受け渡しではほとんど影響しないからである。特に、この関係は、下位のトランジスタ群で実施することが好ましい。たとえば、トランジスタ群 681a が上位で、その下位にトランジスタ群 681b、さらにその下位にトランジスタ群 681c があれば、トランジスタ群 681b とトランジスタ群 681c の電流受け渡しをこの関係を満足させる。したがって、すべてのトランジスタ群 681 がこの関係を満足させることに、本発明が限定されるものではない。少なくとも 1 組のトランジスタ群 681 がこの関係を満足させるようにすればよい。特に、下位の方が、トランジスタ群 681 の個数が多くなるからである。

#### 【0620】

第 3 の電流源 (孫) を構成するトランジスタ 633a と第 3 の電流源を構成するトランジスタ 633b についても同様である。なお、電圧受け渡しでも、ほぼ適用することができることは言うまでもない。

#### 【0621】

トランジスタ群 681b はチップの左右方向 (長手方向、つまり、出力端子 761 と対面する位置に) に形成または作製あるいは配置されている。トランジスタ群 681b はチップの左右方向 (長手方向、つまり、出力端子 761 と対面する位置に) に形成または作製あるいは配置されている。このトランジスタ群 681b の個数  $M$  は、本発明では 11 個 (図 63 を参照) である。

#### 【0622】

子電流源 632b と孫電流源 633a 間は電圧受け渡し (電圧接続) されている。そのため、トランジスタ群 681a と同様にトランジスタ群 681b の部分を密配置する。このトランジスタ群 681b の形成面積を、図 110 の図示するように 2 平方ミリメートル以内の面積に形成する。さらに好ましくは 1.2 平方ミリメートル以内に形成する。ただし、このトランジスタ群 681b 部分の  $V_t$  が少しでもばらつくとも画像として認識されやすい。したがって、ほとんどバラツキが発生しないように、形成面積は図 110 の A 領域 (0.5 平方ミリメートル以内) にすることが好ましい。

#### 【0623】

トランジスタ群 681b を孫トランジスタ 633a とトランジスタ 633b 間は電流でデータを受け渡し (電流受け渡し) をしているので、多少、距離は流れても構わない。この距離の範囲についても先の説明と同様である。第 3 の電流源 (孫) を構成するトランジスタ 633a と第 2 の電流源 (孫) を構成するトランジスタ 633b とを、少なくとも 8 mm 以内の距離に配置する。さらには、5 mm 以内に配置することが好ましい。

#### 【0624】

図 69 に、前記電流値制御用素子として、電子ポリウムで構成した場合を示す。電子ポリウムは抵抗 691 (電流制限および各基準電圧を作成する。抵抗 691 はポリシリで形成する)、デコーダ 692、レベルシフタ 693 などで構成される。なお、電子ポリウムは電流を出力する。トランジスタ 641 はアナログスイッチ回路として機能する。

#### 【0625】

また、電子ポリウム回路は、EL 表示パネルの色数に応じて形成 (もしくは配置) する。たとえば、RGB の 3 原色であれば、各色に対応する 3 つの電子ポリウム回路を形成 (もしくは配置) し、各色を独立に調整できるようにすることが好ましい。しかし、1 つの色を基準にする (固定する) 場合は、色数 - 1 分の電子ポリウム回路を形成 (もしくは配置) する。

#### 【0626】

図 76 は、RGB の 3 原色を独立に基準電流を制御する抵抗素子 651 を形成 (配置) した構成である。もちろん、抵抗素子 651 は電子ポリウムに置き換えてもよいことは言うまでもない。電流源 631、電流源 632 などの親電流源、子電流源など基本 (根本) となる電流源は図 76 に図示する領域に電流出力回路 704 に密集して配置する。密集して配置することにより、各ソース信号線 18 からの出力バラツキが低減する。図 76 に図示するように IC チップ (回路) 14 の中央部に電流出力回路 704 に配置することにより

10

20

30

40

50

、ICチップ（回路）14の左右に電流源631、632などから電流を均等に分配することが容易となる。したがって、左右の出力バラツキが発生しにくい。

#### 【0627】

電流出力回路704は、R、G、Bごとに形成（配置）し、かつ、このRGBの電流出力回路704R、704G、704Bも近接して配置する。また、各色（R、G、B）ごとに、図73に図示する低電流領域の基準電流 $I_{NL}$ を調整し、また、図74に図示する低電流領域の基準電流 $I_{NH}$ を調整する（図79も参照のこと）。したがって、Rの電流出力回路704Rには低電流領域の基準電流 $I_{NL}$ を調整するポリウム（もしくは、電圧出力もしくは電流出力の電子ポリウム）651RLが配置され、高電流領域の基準電流 $I_{NH}$ を調整するポリウム（もしくは、電圧出力もしくは電流出力の電子ポリウム）651RHが配置される。同様に、Gの電流出力回路704Gには低電流領域の基準電流 $I_{NL}$ を調整するポリウム（もしくは、電圧出力もしくは電流出力の電子ポリウム）651GLが配置され、高電流領域の基準電流 $I_{NH}$ を調整するポリウム（もしくは、電圧出力もしくは電流出力の電子ポリウム）651GHが配置される。また、Bの電流出力回路704Bには低電流領域の基準電流 $I_{NL}$ を調整するポリウム（もしくは、電圧出力もしくは電流出力の電子ポリウム）651BLが配置され、高電流領域の基準電流 $I_{NH}$ を調整するポリウム（もしくは、電圧出力もしくは電流出力の電子ポリウム）651BHが配置される。

10

#### 【0628】

なお、ポリウム651などは、EL素子15の温特を補償できるように、温度で変化するように構成することが好ましい。また、図79のガンマ特性で、折れ曲がり点が2点以上あるときは、各色の基準電流を調整する電子ポリウムあるいは抵抗などは3個以上にしてもよいことは言うまでもない。

20

#### 【0629】

ICチップの出力端子には、出力パッド761が形成または配置されている。この出力パッドと、表示パネルのソース信号線18とが接続される。出力パッド761は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ（突起）が形成されている。突起の高さは $10\mu\text{m}$ 以上 $40\mu\text{m}$ 以下の高さにする。

#### 【0630】

前記バンプと各ソース信号線18とは導電性接合層（図示せず）を介して電氣的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀（Ag）、金（Au）、ニッケル（Ni）、カーボン（C）、酸化錫（ $\text{SnO}_2$ ）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層は、転写等の技術でバンプ上に形成する。また、バンプとソース信号線18とをACF樹脂で熱圧着される。なお、バンプあるいは出力パッド761とソース信号線18との接続は、以上の方式に限定するものではない。また、アレイ基板上にIC14を積載せず、フィルムキャリア技術を用いたり、ポリイミドフィルム等を用いてソース信号線18などと接続しても良い。

30

#### 【0631】

図69において、入力された4ビットの電流値制御用データ（DI）は、4ビットデコード回路692でデコードされる（分割数が64必要であれば、6ビットにすることは言うまでもない。ここでは説明を容易にするため、4ビットとして説明をする）。その出力はレベルシフト回路693により、ロジックレベルの電圧値からアナログレベルの電圧値に昇圧され、アナログスイッチ641に入力される。

40

#### 【0632】

電子ポリウム回路の主構成部は、固定抵抗 $R_{0691a}$ と16個の単位抵抗 $r_{691b}$ で構成されている。デコード回路692の出力は、16個のアナログスイッチ641のいずれかに接続されており、デコード回路692の出力により、電子ポリウムの抵抗値が定まるように構成されている。すなわち、例えば、デコード回路692の出力が4であれば、電子ポリウムの抵抗値は $R_0 + 5r$ となる。この電子ポリウムの抵抗は、第1段電流源631の負荷となっており、アナログ電源 $AV_{dd}$ にプルアップされている。したがって、

50

この電子ポリウムの抵抗値が変化すると、第1段電流源631の電流値が変化し、その結果、第2段電流源632の電流値が変化し、その結果、第3段電流源633の電流値も変化して、ドライバICの出力電流はコントロールされることになる。

#### 【0633】

なお、説明の都合上、電流値制御用データは4ビットとしたが、これは4ビットに固定されるものではなく、ビット数が多いほど、電流値の可変数は多くなることは言うまでもない。また、多段式カレントミラーの構成を3段として説明したが、これも3段に固定されるものではなく、任意の段数でもかまわないことは言うまでもない。

#### 【0634】

また、温度変化により、EL素子の発光輝度が変化するという課題に対して、電子ポリウム回路の構成として、温度により抵抗値が変化する外付け抵抗691aを具備させることが好ましい。温度により抵抗値が変化する外付け抵抗とは、サーミスタ、ポジスタなどが例示さえる。一般に、素子に流れる電流に応じて輝度が変化する発光素子は、温度特性を持っており、同じ電流値を流しても、その発光輝度は温度により変化する。そこで、温度により抵抗値が変化する外付け抵抗691aを電子ポリウムに付けることにより、定電流出力の電流値を温度により変化させることができ、温度が変化しても発光輝度が常に一定にすることができる。

#### 【0635】

なお、前記多段式カレントミラー回路が、赤(R)用、緑(G)用、青(B)用の3系統に分離することが好ましい。一般に有機EL等の電流駆動型発光素子では、R、G、Bで発光特性が異なる。従って、R、G、Bで同じ輝度にするためには、発光素子に流す電流値をR、G、Bでそれぞれ調整する必要がある。また、有機EL表示パネル等の電流駆動型発光素子では、R、G、Bで温度特性が異なる。従って、温度特性を補正するためのサーミスタ等の外部補助素子の特性も、R、G、Bでそれぞれ調整する必要がある。

#### 【0636】

本発明では、前記多段式カレントミラー回路が、R用、G用、B用の3系統に分離されているので、発光特性や温度特性をR、G、Bでそれぞれ調整することができ、最適なホワイトバランスを得ることが可能である。

#### 【0637】

先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線18などに寄生容量があると、1水平走査期間(1H)に画素16に十分な電流を書き込むことができないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数nA程度と微弱であるため、その信号値で数10pF程度あると思われる寄生容量(配線負荷容量)を駆動することは困難である。この課題を解決するためには、ソース信号線18に画像データを書き込む前に、プリチャージ電圧を印加し、ソース信号線18の電位レベルを画素のTFT11aの黒表示電流(基本的にはTFT11aはオフ状態)にすることが有効である。このプリチャージ電圧の形成(作成)には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を行うことが有効である。

#### 【0638】

図70に、本発明のプリチャージ機能を有した電流出力方式のソースドライバ回路(IC)14の一例を示す。図70では、6ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図70において、プリチャージ制御信号は、画像データD0~D5の上位3ビットD3、D4、D5がすべて0である場合をNOR回路702でデコードし、水平同期信号HDによるリセット機能を有するドットクロックCLKのカウンタ回路701の出力とのAND回路703をとり、一定期間黒レベル電圧Vpを出力するように構成されている。他の場合は、図68などで説明した電流出力段704からの出力電流がソース信号線18に印加される(ソース信号線18からプログラム電流Iwを吸収する)。この構成により、画像データが黒レベルに近い0階調目~7階調目の場合、1水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負

10

20

30

40

50



担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を0階調目とし、完全白表示を63階調目とする（64階調表示の場合）。

#### 【0639】

なお、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示される。

#### 【0640】

好ましくは、階調データの階調0から1/8の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から3階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。

#### 【0641】

特に黒表示で、コントラストを高くするためには、階調0のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。問題は、画面全体が階調1、2の場合に画面が黒浮きして見えることである。したがって、階調データの階調0から1/8の領域の階調と、一定の範囲で選択プリチャージを行う。

#### 【0642】

なお、プリチャージの電圧、階調範囲は、R、G、Bで異ならせることも有効である。EL表示素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているからである。たとえば、Rは、階調データの階調0から1/8の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、01階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（G、B）は、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から3階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、Rは7（V）であれば、他の色（G、B）は、7.5（V）の電圧をソース信号線18に書き込むようにする。最適なプリチャージ電圧は、EL表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ポリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ポリウム回路を用いることにより容易に実現できる。

#### 【0643】

また、全くプリチャージしない第0モード、階調0のみをプリチャージする第1モード、階調0から階調3の範囲でプリチャージする第2モード、階調0から階調7の範囲でプリチャージする第3モード、全階調の範囲でプリチャージする第4モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバ回路（IC）14内においてロジック回路を構成（設計）することにより容易に実現できる。

#### 【0644】

図75は選択プリチャージ回路部の具体化構成図である。PVはプリチャージ電圧の入力端子である。外部入力あるいは、電子ポリウム回路におり、R、G、Bで個別のプリチャージ電圧が設定される。なお、R、G、Bで個別のプリチャージ電圧を設定するとしたがこれに限定するものではない。R、G、Bで共通であってもよい。プリチャージ電圧は、画素16の駆動TF T11aのV<sub>t</sub>に相関するものであり、この画素16はR、G、B画素で同一だからである。逆に、画素16の駆動TF T11aのW/L比などがR、G、Bで異ならせている（異なった設計となっている）場合は、プリチャージ電圧を異なった設計に対応して調整することが好ましい。たとえば、Lが大きくなれば、TF T11aのダイオード特性は悪くなり、ソースドレイン（SD）電圧は大きくなる。したがって、

10

20

30

40

50

プリチャージ電圧は、ソース電位 ( $V_{dd}$ ) に対して低く設定する必要がある。

【0645】

プリチャージ電圧  $PV$  はアナログスイッチ 731 に入力されている。このアナログスイッチの  $W$  (チャンネル幅) はオン抵抗を低減するために、 $10\mu m$  以上にする必要がある。しかし、あまり  $W$  が大きいと、寄生容量も大きくなるので  $100\mu m$  以下にする。さらに好ましくは、チャンネル幅  $W$  は  $15\mu m$  以上  $60\mu m$  以下にすることが好ましい。以上の事項は図 75 のスイッチ 641b のアナログスイッチ 731、図 73 のアナログスイッチ 731 にも適用される。

【0646】

スイッチ 641a はプリチャージイネーブル ( $PEN$ ) 信号、選択プリチャージ信号 ( $PSL$ ) と、図 74 のロジック信号の上位 3 ビット ( $H5$ 、 $H4$ 、 $H3$ ) で制御される。一例としたロジック信号の上位 3 ビット ( $H5$ 、 $H4$ 、 $H3$ ) の意味は、上位 3 ビットが“0”の時に選択プリチャージが実施されるようにしたためである。つまり、下位 3 ビットが“1”の時 (階調 0 から階調 7) の時を選択してプリチャージが実施されるように構成している。

【0647】

なお、この選択プリチャージは、階調 0 のみをプリチャージするとか、階調 0 から階調 7 の範囲でプリチャージするとか固定してもよいが、低階調領域 (図 79 の階調 0 から階調  $R1$  もしくは階調 ( $R1-1$ )) を選択プリチャージするというように、低階調領域と連動させてもよい。つまり、選択プリチャージは、低階調領域が階調 0 から階調  $R1$  の時はこの範囲で実施し、低階調領域が階調 0 から階調  $R2$  の時はこの範囲で実施するように連動させて実施する。なお、この制御方式の方が他の方式に比較して、ハード規模が小さくなる。

【0648】

以上の信号の印加状態により、スイッチ 641a がオンオフ制御され、スイッチ 641a オンの時、プリチャージ電圧  $PV$  がソース信号線 18 に印加される。なお、プリチャージ電圧  $PV$  を印加する時間は、別途形成したカウンタ (図示せず) により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は 1 水平走査期間 ( $1H$ ) の  $1/100$  以上  $1/5$  以下の時間に設定することが好ましい。たとえば、 $1H$  が  $100\mu sec$  とすれば、 $1\mu sec$  以上  $20\mu sec$  とする。さらに好ましくは、 $2\mu sec$  以上  $10\mu sec$  とする。

【0649】

また、プリチャージ印加時間は、 $R$ 、 $G$ 、 $B$  で異ならせたりすることも良好な結果が得られる。たとえば、 $R$  のプリチャージ時間を  $G$ 、 $B$  のプリチャージ時間よりも長くするなどである。これば、有機 EL などでは、 $RGB$  の各材料で発光開始時間などが異なるからである。また、次にソース信号線 18 に印加する画像データにより、プリチャージ電圧  $PV$  印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調 0 では印加時間を長くし、階調 4 ではそれよりも短くするなどである。また、 $1H$  前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができる。たとえば、 $1H$  前にソース信号線に画素を白表示にする電流と書き込み、次の  $1H$  に、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、 $1H$  前にソース信号線に画素を黒表示にする電流と書き込み、次の  $1H$  に、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する (行わない)。白表示の書き込み電流は大きいからである。

【0650】

また、印加する画像データに応じてプリチャージ電圧を変化かえることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く ( $V_{dd}$  に対して。なお、画素 TFT 11a が  $P$  チャンネルの時) し、高階調領域になるにしたがって、プリチャージ

10

20

30

40

50

ジ電圧を低く（画素 T F T 1 1 a が P チャンネルの時）する。

【0651】

プログラム電流オープン端子（P O 端子）が“0”の時は、スイッチ 6 4 1 b がオフ状態となり、I L 端子および I H 端子とソース信号線 1 8 とは切り離される（I o u t 端子が、ソース信号線 1 8 と接続されている）。したがって、プログラム電流 I w はソース信号線 1 8 には流れない。P O 端子はプログラム電流 I w をソース信号線に印加している時は、“1”とし、スイッチ 6 4 1 b をオンして、プログラム電流 I w をソース信号線 1 8 に流す。

【0652】

P O 端子に“0”を印加し、スイッチ 6 4 1 b をオープンにする時は、表示領域のいずれの画素行も選択されていない時である。電流源 6 3 4 は入力データ（D 0 ~ D 5）に基づいて電流をたえず、ソース信号線 1 8 から引き込んでいる。この電流が選択された画素 1 6 の V d d 端子から T F T 1 1 a を介してソース信号線 1 8 に流れ込む電流である。したがって、いずれの画素行も選択されていない時は、画素 1 6 からソース信号線 1 8 に電流が流れる経路がない。いずれの画素行も選択されていない時とは、任意の画素行が選択され、次の画素行が選択されるまでの間に発生する。なお、このようないずれの画素（画素行）も選択されず、ソース信号線 1 8 に流れ込む（流れ出す）経路がない状態を、全非選択期間と呼ぶ。

【0653】

この状態で、I O U T 端子がソース信号線 1 8 に接続されていると、オンしている単位電流源 6 3 4（実際にはオンしているのは D 0 ~ D 5 端子のデータにより制御されるスイッチ 6 4 1 であるが）に電流が流れる。そのため、ソース信号線 1 8 の寄生容量に充電された電荷が放電し、ソース信号線 1 8 の電位が、急激に低下する。

【0654】

以上のように、ソース信号線 1 8 の電位が低下すると、本来ソース信号線 1 8 に書き込む電流により、元の電位まで回復するのに時間を要するようになってしまう。

【0655】

この課題を解決するため、本発明は、全非選択期間に、P O 端子に“0”を印加し、図 7 5 のスイッチ 6 4 1 b をオフとして、I O U T 端子とソース信号線 1 8 とを切り離す。切り離すことにより、ソース信号線 1 8 から電流源 6 3 4 に電流が流れ込むことはなくなるから、全非選択期間にソース信号線 1 8 の電位変化は発生しない。以上のように、全非選択期間に P O 端子を制御し、ソース信号線 1 8 から電流源を切り離すことにより、良好な電流書き込みを実施することができる。

【0656】

また、画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒面積の割合が一定の範囲の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。また、適正プリチャージは、R、G、B で異ならせることも有効である。E L 表示素子 1 5 は、R、G、B で発光開始電圧、発光輝度が異なっているからである。たとえば、R は、所定輝度の白面積：所定輝度の黒面積の比が 1 : 2 0 以上でプリチャージを停止または開始し、G と B は、所定輝度の白面積：所定輝度の黒面積の比が 1 : 1 6 以上でプリチャージを停止または開始するという構成である。なお、実験および検討結果によれば、有機 E L パネルの場合、所定輝度の白面積：所定輝度の黒面積の比が 1 : 1 0 0 以上（つまり、黒面積が白面積の 1 0 0 倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が 1 : 2 0 0 以上（つまり、黒面積が白面積の 2 0 0 倍以上）でプリチャージを停止することが好ましい。

10

20

30

40

50

## 【0657】

プリチャージ電圧PVは、画素16の駆動TF T 1 1 aがPチャンネルの場合、V d d（図1を参照）に近い電圧をソースドライバ回路（IC）14から出力する必要がある。しかし、このプリチャージ電圧PVがV d dに近いほど、ドライバ回路（IC）14は高耐圧プロセスの半導体を使用する必要がある（高耐圧といっても、5（V）～10（V）であるが、しかし、5（V）耐圧を超えると、半導体プロセス価格は高くなる点が課題である。したがって、5（V）耐圧のプロセスを採用することのより高精細、低価格のプロセスを使用することができる）。

## 【0658】

画素16の駆動用TF T 1 1 aのダイオード特性が良好で白表示のオン電流が確保した時、5（V）以下であれば、ソースドライバIC 14も5（V）プロセスを使用できるから問題は発生しない。しかし、ダイオード特性が5（V）を越えると時、問題となる。特に、プリチャージは、TF T 1 1 aのソース電圧V d dに近いプリチャージ電圧PVを印加する必要があるので、IC 14から出力することができなくなる。

10

## 【0659】

図92は、この課題を解決するパネル構成である。図92では、アレイ71側にスイッチ回路641を形成している。ソースドライバIC 14からは、スイッチ641のオンオフ信号を出力する。このオンオフ信号は、アレイ71に形成されたレベルシフト回路693で昇圧され、スイッチ641をオンオフ動作させる。なお、スイッチ641およびレベルシフト回路693が画素のTF Tを形成するプロセスで同時に、もしくは順次に、形成する。もちろん、外付け回路（IC）で別途形成し、アレイ71上に実装などしてもよい。

20

## 【0660】

オンオフ信号は、先に説明（図75など）したプリチャージ条件に基づいて、IC 14の端子761aから出力される。したがって、プリチャージ電圧の印加、駆動方法は図92の実施例においても適用できることは言うまでもない。端子761aから出力される電圧（信号）は、5（V）以下と低い。この電圧（信号）がレベルシフト回路693でスイッチ641のオンオフロジックレベルまで振幅が大きくされる。

## 【0661】

以上のように構成することにより、ソースドライバ回路（IC）14はプログラム電流I<sub>w</sub>を駆動できる動作電圧範囲の電源電圧で十分になる。プリチャージ電圧PVは、動作電圧が高いアレイ基板71で課題はなくなる。したがって、プリチャージもV d d電圧まで十分印加できるようになる。

30

## 【0662】

図89のスイッチ回路641もソースドライバ回路（IC）14内に形成（配置）すると耐圧が問題となる。たとえば、画素16のV d d電圧が、IC 14の電源電圧よりも高い場合、IC 14の端子761にIC 14を破壊するような電圧が印加される危険があるからである。

## 【0663】

この課題を解決する実施例が図91の構成である。アレイ基板71にスイッチ回路641を形成（配置）している。スイッチ回路641の構成などは図92で説明した構成、仕様などと同一または近似である。

40

## 【0664】

スイッチ641はIC 14の出力よりも先で、かつソース信号線18の途中に配置されている。スイッチ641がオンすることにより、画素16をプログラムする電流I<sub>w</sub>がソースドライバ回路（IC）14に流れ込む。スイッチ641がオフすることにより、ソースドライバ回路（IC）14はソース信号線18から切り離される。このスイッチ641を制御することにより、図90に図示する駆動方式などを実施することができる。

## 【0665】

図92と同様に端子761aから出力される電圧（信号）は、5（V）以下と低い。この電圧（信号）がレベルシフト回路693でスイッチ641のオンオフロジックレベルまで

50

振幅が大きくされる。

【0666】

以上のように構成することにより、ソースドライバ回路（IC）14はプログラム電流 $I_w$ を駆動できる動作電圧範囲の電源電圧で十分になる。また、スイッチ641もアレイ71の電源電圧で動作するため、画素16から $V_{dd}$ 電圧がソース信号線18に印加されてもスイッチ641が破壊することはない、また、ソースドライバ回路（IC）14が破壊されることもない。

【0667】

なお、図91のソース信号線18の途中に配置（形成）されたスイッチ641とプリチャージ電圧 $P_V$ 印加用スイッチ641の双方をアレイ基板71に形成（配置）してもよいことは言うまでもない（図91+図92の構成）。

10

【0668】

以前にも説明したが、図1のように画素16の駆動用TFT11a、選択TFT（11b、11c）がPチャンネルTFTの場合は、突き抜け電圧が発生する。これは、ゲート信号線17aの電位変動が、選択TFT（11b、11c）のG-S容量（寄生容量）を介して、コンデンサ19の端子に突き抜けるためである。Pチャンネルトランジスタ11bがオフするときには $V_{gh}$ 電圧となる。そのため、コンデンサ19の端子電圧が $V_{dd}$ 側に少しシフトする。そのため、トランジスタ11aのゲート（G）端子電圧は上昇し、より黒表示となる。

【0669】

しかし、反面、第1階調の完全黒表示は実現できるが、第2階調などは表示しにくいことになる。もしくは、第1階調から第2階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする。

20

【0670】

この課題を解決する構成が、図71の構成である。出力電流値を嵩上げする機能を有することを特徴としている。嵩上げ回路711の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル0であっても、ある程度（数10nA）電流が流れるようにし、黒レベルの調整にも用いることができる。

【0671】

基本的には、図71は、図64の出力段に嵩上げ回路（図71の点線で囲まれた部分）を追加したものである。図71は、電流値嵩上げ制御信号として3ビット（K0、K1、K2）を仮定したものであり、この3ビットの制御信号により、孫電流源の電流値の0～7倍の電流値を出力電流に加算することが可能である。

30

【0672】

以上が本発明のソースドライバ回路（IC）14の基本的な概要である。以後、さらに詳細に本発明のソースドライバ回路（IC）14について説明をする。

【0673】

EL素子15に流す電流 $I$ （A）と発光輝度 $B$ （nt）とは線形の関係がある。つまり、EL素子15に流す電流 $I$ （A）と発光輝度 $B$ （nt）とは比例する。電流駆動方式では、1ステップ（階調刻み）は、電流（電流源634（1単位））である。

40

【0674】

人間の輝度に対する視覚は2乗特性をもっている。つまり、2乗の曲線で変化する時、明るさは直線的に変化しているように認識される。しかし、図83の関係であると、低輝度領域でも高輝度領域でも、EL素子15に流す電流 $I$ （A）と発光輝度 $B$ （nt）とは比例する。したがって、1ステップきざみずつ変化させると、低階調部（黒領域）では、1ステップに対する輝度変化が大きい（黒飛びが発生する）。高階調部（白領域）は、ほぼ2乗カーブの直線領域と一致するので、1ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式（1ステップが電流きざみの場合）において（電流駆動方式のソースドライバ回路（IC）14において）、黒表示領域が課題となる。

50

## 【0675】

この課題に対して、本発明は、図79に図示するように、低階調領域（階調0（完全黒表示）から階調（R1））の電流出力の傾きを小さくし、高階調領域（階調（R1）から最大階調（R））の電流出力の傾きを大きくする。つまり、低階調領域では、1階調あたりに（1ステップ）増加する電流量と小さくする。高階調領域では、1階調あたりに（1ステップ）増加する電流量と大きくする。図79の2つの階調領域で1ステップあたりに変化する電流量を異ならせることにより、階調特性が2乗カーブに近くなり、低階調領域での黒飛びの発生はない。以上の図79などに図示する、階調－電流特性カーブをガンマカーブと呼ぶ。

## 【0676】

なお、以上の実施例では、低階調領域と高階調領域の2段階の電流傾きとしたが、これに限定するものではない。3段階以上であっても良いことは言うまでもない。しかし、2段階の場合は回路構成が簡単になるので好ましいことは言うまでもない。

## 【0677】

本発明の技術的思想は、電流駆動方式のソースドライバ回路（IC）などにおいて（基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、単純マトリックス型も含まれる。）、階調1ステップあたりの電流増加量が複数存在させることである。

## 【0678】

ELなどの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が変化する。したがって、本発明のソースドライバ回路（IC）14では、1つの電流源（1単位）634に流れるもととなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。

## 【0679】

EL表示パネルでは、R、G、Bで発光効率が異なり、また、NTSC基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためにはRGBの比率を適正に調整する必要がある。調整は、RGBのそれぞれの基準電流を調整することにより行う。たとえば、Rの基準電流を $2\mu\text{A}$ にし、Gの基準電流を $1.5\mu\text{A}$ にし、Bの基準電流を $3.5\mu\text{A}$ にする。基準電流は、なお、本発明のドライバでは、図67の第1段の電流源631のカレントミラー倍率を小さくし（たとえば、基準電流が $1\mu\text{A}$ であれば、トランジスタ632bに流れる電流を $1/100$ の $10\text{nA}$ にするなど）、外部から調整する基準電流の調整精度をラフにできるようにし、かつ、チップ内の微小電流の精度を効率よく調整できるように構成している。

## 【0680】

図79のガンマカーブを実現できるように、低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。また、RGBで独立に調整できるように、RGBごとに低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。もちろん、1色を固定し、他の色の基準電流を調整することによりホワイトバランスを調整する時は、2色（たとえば、Gを固定している場合は、R、B）を調整する低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備させればよい。

## 【0681】

電流駆動方式は、図83にも図示したように、ELに流す電流Iと輝度の関係は直線の関係がある。したがって、RGBの混合によるホワイトバランスの調整は、所定の輝度の一点でRGBの基準電流を調整するだけでよい。つまり、所定の輝度の一点でRGBの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。

## 【0682】

しかし、図79のガンマカーブの場合は、少し注意が必要である。まず、RGBのホワイトバランスを取るためには、ガンマカーブの折れ曲がり位置（階調R1）をRGBで同一にする必要がある（逆に言えば、電流駆動方式では、ガンマカーブの相対的な関係をRG

10

20

30

40

50

Bで同一にできるということになる)。また、低階調領域の傾きと高階調領域の傾きとの比率をRGBで、一定にする必要がある(つまり、電流駆動方式では、ガンマカーブの相対的な関係をRGBで同一にできるということになる)。たとえば、低階調領域で1階調あたり10nA増加(低階調領域でのガンマカーブの傾き)し、高階調領域で1階調あたり50nA増加(高階調領域でのガンマカーブの傾き)する(なお、高階調領域で1階調あたり電流増加量/低階調領域で1階調あたり電流増加量をガンマ電流比率と呼ぶ。この実施例では、ガンマ電流比率は、50nA/10nA=5である)。すると、RGBでガンマ電流比率を同一にする。つまり、RGBでは、ガンマ電流比率を同一にした状態でEL素子15に流れる電流を調整するように構成する。

#### 【0683】

10

図80ではそのガンマカーブの例である。図80(a)では、低階調部と高階調部とも1階調あたりの電流増加が大きい。図80(b)では、低階調部と高階調部とも1階調あたりの電流増加は図80(a)に比較して小さい。ただし、図80(a)、図80(b)ともガンマ電流比率は同一にしている。このようにガンマ電流比率を、RGBで同一に維持したまま調整することは、各色ごとに、低階調部に印加する基準電流を発生する定電流回路と、高階調部に印加する基準電流を発生する定電流回路とを作製し、これらを相対的に流す電流を調整するポリウムを作製(配置)すればよいからである。

#### 【0684】

図77はガンマ電流比率を維持したまま、出力電流を可変する回路構成である。電流制御回路772で低電流領域の基準電流源771Lと高電流領域の基準電流源771Hとのガンマ電流比率を維持したまま、電流源633L、633Hに流れる電流を変化させる。

20

#### 【0685】

また、図78に図示するように、ICチップ(回路)14内に形成した温度検出回路781で相対的な表示パネルの温度を検出することが好ましい。有機EL素子は、RGBを構成する材料により温度特性が異なるからである。この温度の検出は、バイポーラトランジスタの接合部の状態が温度により変化し、出力電流が温度により変化することを利用する。この検出した温度を各色ごとに配置(形成)した温度制御回路782にフィードバックし、電流制御回路772により温度補償を行う。

#### 【0686】

なお、ガンマ比率は、検討により、3以上10以下の関係にすることが適切である。さらに好ましくは、4以上8以下の関係にすることが適切である。特にガンマ電流比率は5以上7以下の関係を満足させることが好ましい。これを第1の関係と呼ぶ。

30

#### 【0687】

また、低階調部と高階調部との変化ポイント(図79の階調R1)は、最大階調数Kの1/32以上1/4以下に設定するのが適切である(たとえば、最大階調数Kが6ビットの64階調とすれば、64/32=2階調番目以上、64/4=16階調番目以下にする)。さらに好ましくは、低階調部と高階調部との変化ポイント(図79の階調R1)は、最大階調数Kの1/16以上1/4以下に設定するのが適切である(たとえば、最大階調数Kが6ビットの64階調とすれば、64/16=4階調番目以上、64/4=16階調番目以下にする)。さらに好ましくは、最大階調数Kの1/10以上1/5以下に設定するのが適切である(なお、計算により小数点以下が発生する場合は切り捨てる。たとえば、最大階調数Kが6ビットの64階調とすれば、64/10=6階調番目以上、64/5=12階調番目以下にする)。以上の関係を第2の関係と呼ぶ。なお、以上の説明は、2つの電流領域のガンマ電流比率の関係である。しかし、以上の第2の関係は、3つ以上の電流領域のガンマ電流比率がある(つまり、折れ曲がり点が2箇所以上ある)場合にも適用される。つまり、3つ以上の傾きに対し、任意の2つの傾きに対する関係に適用すればよい。

40

#### 【0688】

以上の第1の関係と第2の関係を両方を同時に満足させることにより、黒飛びがなく良好な画像表示を実現できる。

50

## 【0689】

図82は、本発明の電流駆動方式のソースドライバ回路(IC)14を1つの表示パネルに複数個用いた実施例である。本発明のソースドライバIC14は複数のドライバIC14を用いることを想定した、スレーブ/マスター(S/M)端子を具備している。S/M端子をHレベルにすることによりマスターチップとして動作し、基準電流出力端子(図示せず)から、基準電流を出力する。この電流がスレーブのIC14(14a、14c)の図73、図74のINL、INH端子に流れる電流となる。S/M端子をLレベルにすることによりIC14はスレーブチップとして動作し、基準電流入力端子(図示せず)から、マスターチップの基準電流を受け取る。この電流が図73、図74のINL、INH端子に流れる電流となる。

10

## 【0690】

基準電流入力端子、基準電流出力端子間で受け渡される基準電流は、各色の低階調領域と高階調領域の2系統である。したがって、RGBの3色では、 $3 \times 2$ で6系統となる。なお、上記の実施例では、各色2系統としたがこれに限定するものではなく、各色3系統以上であっても良い。

## 【0691】

本発明の電流駆動方式では、図81に図示するように、折れ曲がり点(階調R1など)を変更できるように構成している。図81(a)では、階調R1で低階調部と高階調部とを変化させ、図81(b)では、階調R2で低階調部と高階調部とを変化させている。このように、折れ曲がり位置を複数箇所に変化できるようにしている。

20

## 【0692】

具体的には、本発明では64階調表示を実現できる。折れ曲がり点(R1)は、なし、2階調目、4階調目、8階調目、16階調目としている。なお、完全黒表示を階調0としているため、折れ曲がり点は2、4、8、16となるのであって、完全に黒表示の階調を階調1とするのであれば、折れ曲がり点は、3、5、9、17、33となる。以上のように、折れ曲がり位置を2の倍数の箇所(もしくは、2の倍数+1の箇所:完全黒表示を階調1とした場合)でできるように構成することにより、回路構成が容易になるという効果が発生する。

## 【0693】

図73は低電流領域の電流源回路部の構成図である。また、図74は高電流領域の電流源部および嵩上げ電流回路部の構成図である。図73に図示するように低電流源回路部は基準電流INLが印加され、基本的にはこの電流が単位電流となり、入力データL0~L4により、電流源634が必要個数動作し、その総和として低電流部のプログラム電流IwLが流れる。

30

## 【0694】

また、図74に図示するように高電流源回路部は基準電流INHが印加され、基本的にはこの電流が単位電流となり、入力データH0~L5により、電流源634が必要個数動作し、その総和として低電流部のプログラム電流IwHが流れる。

## 【0695】

嵩上げ電流回路部も同様であって、図74に図示するように基準電流INHが印加され、基本的にはこの電流が単位電流となり、入力データAK0~AK2により、電流源634が必要個数動作し、その総和として嵩上げ電流に対応する電流IwKが流れる。ソース信号線18に流れるプログラム電流Iwは $Iw = IwH + IwL + IwK$ である。なお、IwHとIwLの比率、つまりガンマ電流比率は、先にも説明した第1の関係を満足させるようにする。

40

## 【0696】

なお、図73、図74に図示するようにオンオフスイッチ641は、インバータ732とPチャンネルトランジスタとNチャンネルトランジスタからなるアナログスイッチ731から構成される。このようにスイッチ641を、インバータ732とPチャンネルトランジスタとNチャンネルトランジスタからなるアナログスイッチ731から構成することに

50



より、オン抵抗を低下することができ、電流源 634 とソース信号線 18 間の電圧降下が極めて小さくすることができる。

#### 【0697】

図 73 の低電流回路部と図 74 の高電流回路部の動作について説明をする。本発明のソースドライバ回路 (IC) 14 は、低電流回路部 L0~L4 の 5 ビットで構成され、高電流回路部 H0~H5 の 6 ビットで構成される。なお、回路の外部から入力されるデータは D0~D5 の 6 ビット (各色 64 階調) である。この 6 ビットデータを L0~L4 の 5 ビット、高電流回路部 H0~H5 の 6 ビットに変換してソース信号線に画像データに対応するプログラム電流  $I_w$  を印加する。つまり、入力 6 ビットデータを、 $5 + 6 = 11$  ビットデータに変換をしている。したがって、高精度のガンマカーブを形成できる。

10

#### 【0698】

以上のように、入力 6 ビットデータを、 $5 + 6 = 11$  ビットデータに変換をしている。本発明では、高電流領域の回路のビット数 (H) は、入力データ (D) のビット数と同一にし、低電流領域の回路のビット数 (L) は、入力データ (D) のビット数 - 1 としている。なお、低電流領域の回路のビット数 (L) は、入力データ (D) のビット数 - 2 としてもよい。このように構成することにより、低電流領域のガンマカーブと、高電流領域のガンマカーブとが、EL 表示パネルの画像表示に最適になる。

#### 【0699】

以下、低電流領域の回路制御データ (L0~L4) と高電流領域の回路制御データ (H0~H4) との制御方法について、図 84 から図 86 を参照しながら説明をする。

20

#### 【0700】

本発明は図 73 の図 73 の L4 端子に接続された、電流源 634a の動作に特徴がある。この 634a は 1 単位の電流源となる 1 つのトランジスタで構成されている。このトランジスタをオンオフさせることにより、プログラム電流  $I_w$  の制御 (オンオフ制御) が容易になる。

#### 【0701】

図 84 は、低電流領域と高電流領域を階調 4 で切り替える場合の低電流側信号線 (L) と高電流側信号線 (H) との印加信号である。なお、図 84 から図 86 において、階調 0 から 18 まで図示しているが、実際は 63 階調目までである。したがって、各図面において階調 18 以上は省略している。また、表の “1” の時にスイッチ 641 がオンし、該当電流源 634 とソース信号線 18 とが接続され、表の “0” の時にスイッチ 641 がオフするとしている。

30

#### 【0702】

図 84 において、完全黒表示の階調 0 の場合は、(L0~L4) = (0, 0, 0, 0, 0) であり、(H0~H5) = (0, 0, 0, 0, 0) である。したがって、すべてのスイッチ 641 はオフ状態であり、ソース信号線 18 にはプログラム電流  $I_w = 0$  である。

#### 【0703】

階調 1 では、(L0~L4) = (1, 0, 0, 0, 0) であり、(H0~H5) = (0, 0, 0, 0, 0) である。したがって、低電流領域の 1 つの単位電流源 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。

40

#### 【0704】

階調 2 では、(L0~L4) = (0, 1, 0, 0, 0) であり、(H0~H5) = (0, 0, 0, 0, 0) である。したがって、低電流領域の 2 つの単位電流源 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。

#### 【0705】

階調 3 では、(L0~L4) = (1, 1, 0, 0, 0) であり、(H0~H5) = (0, 0, 0, 0, 0) である。したがって、低電流領域の 2 つのスイッチ 641 La、641 Lb がオンし、3 つの単位電流源 634 がソース信号線 18 に接続されている。高電流領域

50

域の単位電流源はソース信号線 18 には接続されていない。

#### 【0706】

階調 4 では、 $(L0 \sim L4) = (1, 1, 0, 0, 1)$  であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$  である。したがって、低電流領域の 3 つのスイッチ 641 La、641 Lb、641 Le がオンし、4 つの単位電流源 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。

#### 【0707】

階調 5 以上では、低電流領域  $(L0 \sim L4) = (1, 1, 0, 0, 1)$  は変化がない。しかし、高電流領域において、階調 5 では  $(H0 \sim H5) = (1, 0, 0, 0, 0)$  であり、スイッチ 641 Ha がオンし、高電流領域の 1 つの単位電流源 641 がソース信号線 18 と接続されている。また、階調 6 では  $(H0 \sim H5) = (0, 1, 0, 0, 0)$  であり、スイッチ 641 Hb がオンし、高電流領域の 2 つの単位電流源 641 がソース信号線 18 と接続される。同様に、階調 7 では  $(H0 \sim H5) = (1, 1, 0, 0, 0)$  であり、2 つのスイッチ 641 Ha スイッチ 641 Hb がオンし、高電流領域の 3 つの単位電流源 641 がソース信号線 18 と接続される。さらに、階調 8 では  $(H0 \sim H5) = (0, 0, 1, 0, 0)$  であり、1 つのスイッチ 641 Hc がオンし、高電流領域の 4 つの単位電流源 641 がソース信号線 18 と接続される。以後、図 84 のように順次スイッチ 641 がオンオフし、プログラム電流  $I_w$  がソース信号線 18 に印加される。

#### 【0708】

以上の動作で特徴てきなのは、折れ曲がり点（低電流領域と高電流領域の切り換わり点、正確には、プログラム電流  $I_w$  としては、高電流領域の階調の場合、低電流  $I_w L$  が加算されているので、切り換り点という表現は正しくない（また、嵩上げ電流  $I_w K$  も加算される）。つまり、高階調部の階調では、低階調部の電流に加算されて、高階調部のステップ（階調）に応じた電流がプログラム電流  $I_w$  となっているのである。1 ステップの階調（電流が変化する点あるいはポイントもしくは位置というべきであろう）を境として、低電流領域の制御ビット（L）が変化しない点である。また、この時、図 73 の L4 端子に“1”となり、スイッチ 641 e がオンし、トランジスタ 634 a に電流が流れている点である。

#### 【0709】

したがって、図 84 の階調 4 では低階調部の単位トランジスタ（電流源）634 が 4 個動作している。そして、階調 5 では、低階調部の単位トランジスタ（電流源）634 が 4 個動作し、かつ高階調部のトランジスタ（電流源）634 が 1 個動作している。以後同様に、階調 6 では、低階調部の単位トランジスタ（電流源）634 が 4 個動作し、かつ高階調部のトランジスタ（電流源）634 が 2 個動作する。したがって、折れ曲がりポイントである階調 5 以上では、折れ曲がりポイント以下の低階調領域の電流源 634 が階調分（この場合、4 個）オンし、これに加えて、順次、高階調部の電流源 634 が階調に応じた個数順次オンしていく。

#### 【0710】

したがって、図 73 の L4 端子のトランジスタ 634 a の 1 個は有用に作用していることがわかる。このトランジスタ 634 a がないと、階調 3 の次に、高階調部のトランジスタ 634 が 1 個オンする動作になる。そのため、切り替わりポイントが 4、8、16 というように 2 の乗数にならない。2 の乗数は 1 信号にみか“1”となった状態である。したがって、2 の重み付けの信号ラインが“1”となったという条件判定がやりやすい。そのため、条件判定のハード規模が小さくすることができる。つまり、IC チップの論理回路が簡略化し、結果としてチップ面積小さい IC を設計できるのである（低コスト化が可能である）。

#### 【0711】

図 85 は、低電流領域と高電流領域を階調 8 で切り替える場合の低電流側信号線（L）と高電流側信号線（H）との印加信号の説明図である。

#### 【0712】

10

20

30

40

50

図 8 5 において、完全黒表示の階調 0 の場合は、図 8 4 と同様であり、 $(L0 \sim L4) = (0, 0, 0, 0, 0)$  であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$  である。したがって、すべてのスイッチ 6 4 1 はオフ状態であり、ソース信号線 1 8 にはプログラム電流  $I_w = 0$  である。

【0713】

同様に階調 1 では、 $(L0 \sim L4) = (1, 0, 0, 0, 0)$  であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$  である。したがって、低電流領域の 1 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

【0714】

階調 2 では、 $(L0 \sim L4) = (0, 1, 0, 0, 0)$  であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$  である。したがって、低電流領域の 2 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

【0715】

階調 3 では、 $(L0 \sim L4) = (1, 1, 0, 0, 0)$  であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$  である。したがって、低電流領域の 2 つのスイッチ 6 4 1 L a、6 4 1 L b がオンし、3 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

【0716】

以下も同様に、階調 4 では、 $(L0 \sim L4) = (0, 0, 1, 0, 0)$  であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$  である。また、階調 5 では、 $(L0 \sim L4) = (1, 0, 1, 0, 0)$  であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$  である。階調 6 では、 $(L0 \sim L4) = (0, 1, 1, 0, 0)$  であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$  である。また、階調 7 では、 $(L0 \sim L4) = (1, 1, 1, 0, 0)$  であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$  である。

【0717】

階調 8 が切り替わりポイント（折れ曲がり位置）である。階調 8 では、 $(L0 \sim L4) = (1, 1, 1, 0, 1)$  であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$  である。したがって、低電流領域の 4 つのスイッチ 6 4 1 L a、6 4 1 L b、6 4 1 L c、6 4 1 L e がオンし、8 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

【0718】

階調 8 以上では、低電流領域  $(L0 \sim L4) = (1, 1, 1, 0, 1)$  は変化がない。しかし、高電流領域において、階調 9 では  $(H0 \sim H5) = (1, 0, 0, 0, 0)$  であり、スイッチ 6 4 1 H a がオンし、高電流領域の 1 つの単位電流源 6 4 1 がソース信号線 1 8 と接続されている。

【0719】

以下、同様に、階調ステップに応じて、高電流領域のトランジスタ 6 3 4 の個数が 1 個ずつ増加する。つまり、階調 10 では  $(H0 \sim H5) = (0, 1, 0, 0, 0)$  であり、スイッチ 6 4 1 H b がオンし、高電流領域の 2 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。同様に、階調 11 では  $(H0 \sim H5) = (1, 1, 0, 0, 0)$  であり、2 つのスイッチ 6 4 1 H a スイッチ 6 4 1 H b がオンし、高電流領域の 3 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。さらに、階調 12 では  $(H0 \sim H5) = (0, 0, 1, 0, 0)$  であり、1 つのスイッチ 6 4 1 H c がオンし、高電流領域の 4 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。以後、図 8 4 のように順次スイッチ 6 4 1 がオンオフし、プログラム電流  $I_w$  がソース信号線 1 8 に印加される。

図 8 6 は、低電流領域と高電流領域を階調 16 で切り替える場合の低電流側信号線 (L) と高電流側信号線 (H) との印加信号の説明図である。この場合も図 8 4、図 8 5 と基本的な動作は同じである。

10

20

30

40

50

## 【0720】

つまり、図86において、完全黒表示の階調0の場合は、図85と同様であり、 $(L0 \sim L4) = (0, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、すべてのスイッチ641はオフ状態であり、ソース信号線18にはプログラム電流 $I_w = 0$ である。同様に階調1から階調16までは、高階調領域の $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の1つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。つまり、低階調領域の $(L0 \sim L4)$ のみが変化する。

## 【0721】

つまり、階調1では、 $(L0 \sim L4) = (1, 0, 0, 0, 0)$ であり、階調2では、 $(L0 \sim L4) = (0, 1, 0, 0, 0)$ であり、階調3では、 $(L0 \sim L4) = (1, 1, 0, 0, 0)$ であり、階調4では、 $(L0 \sim L4) = (0, 0, 1, 0, 0)$ である。以下階調16まで順次カウントされる。つまり、階調15では、 $(L0 \sim L4) = (1, 1, 1, 1, 0)$ であり、階調16では、 $(L0 \sim L4) = (1, 1, 1, 1, 1)$ である。階調16では、階調を示すD0～D5の5ビット目(D4)のみが1本オンするため、データD0～D5の表現している内容が16であるということが、1データ信号線(D4)の判定で決定できる。したがって、論理回路のハード規模が小さくすることができる。

## 【0722】

階調16が切り替わりポイント(折れ曲がり位置)である(もしくは階調17が切り替わりポイントというべきであるかもしれないが)。階調16では、 $(L0 \sim L4) = (1, 1, 1, 1, 1)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の4つのスイッチ641La、641Lb、641Lc、641Ld、641Leがオンし、16つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

## 【0723】

階調16以上では、低電流領域 $(L0 \sim L4) = (1, 1, 1, 0, 1)$ は変化がない。しかし、高電流領域において、階調17では $(H0 \sim H5) = (1, 0, 0, 0, 0)$ であり、スイッチ641Haがオンし、高電流領域の1つの単位電流源641がソース信号線18と接続されている。以下、同様に、階調ステップに応じて、高電流領域のトランジスタ634の個数が1個ずつ増加する。つまり、階調18では $(H0 \sim H5) = (0, 1, 0, 0, 0)$ であり、スイッチ641Hbがオンし、高電流領域の2つの単位電流源641がソース信号線18と接続される。同様に、階調19では $(H0 \sim H5) = (1, 1, 0, 0, 0)$ であり、2つのスイッチ641Haスイッチ641Hbがオンし、高電流領域の3つの単位電流源641がソース信号線18と接続される。さらに、階調20では $(H0 \sim H5) = (0, 0, 1, 0, 0)$ であり、1つのスイッチ641Hcがオンし、高電流領域の4つの単位電流源641がソース信号線18と接続される。

## 【0724】

以上のように、切り替わりポイント(折れ曲がり位置)で、2の乗数の個数の電流源(1単位)634がオンもしくはソース信号線18と接続(逆に、オフとなる構成も考えられる)ように構成するロジック処理などがきわめて容易になる。たとえば、図84に図示するように折れ曲がり位置が階調4(4は2の乗数である)であれば、4個の電流源(1単位)634が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源(1単位)634が加算されるように構成する。また、図85に図示するように折れ曲がり位置が階調8(8は2の乗数である)であれば、8個の電流源(1単位)634が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源(1単位)634が加算されるように構成する。本発明の構成を採用すれば、64階調に限らず(16階調:4096色、256階調:1670万色など)、あらゆる階調表現で、ハード構成が小さなガンマ制御回路を構成できる。

## 【0725】

なお、図 8 4、図 8 5、図 8 6 で説明した実施例では、切り替わりポイントの階調が 2 の乗数となるとしたが、これは、完全黒階調が階調 0 とした場合である。階調 1 を完全黒表示とする場合は、+1 する必要がある。しかし、これらは便宜上の事項である。本発明で重要なのは、複数の電流領域（低電流領域、高電流領域など）を有し、その切り替わりポイントを信号入力が少なく判定（処理）できるように構成することである。その一例として、2 の乗数であれば、1 信号線を検出するだけでよいからハード規模が極めて小さくなるという技術的思想である。また、その処理を容易にするため、電流源 6 3 4 a を付加する。

#### 【0726】

したがって、負論理であれば、2、4、8・・・ではなく、階調 1、3、7、15・・・で切り替わりポイントとすればよい。また、階調 0 を完全黒表示としたが、これに限定するものではない。たとえば、6 4 階調表示であれば、階調 6 3 を完全黒表示状態とし、階調 0 を最大の白表示としてもよい。この場合は、逆方向に考慮して、切り替わりポイントを処理すればよい。したがって、2 の乗数から処理上、異なる構成となる場合がある。

#### 【0727】

また、切り替わりポイント（折れ曲がり位置）が 1 つのガンマカーブに限定されるものではない。折れ曲がり位置が複数存在しても本発明の回路を構成することができる。たとえば、折れ曲がり位置が階調 4 と階調 1 6 に設定することができる。また、階調 4 と階調 1 6 と階調 3 2 というように 3 ポイント以上に設定することもできる。

#### 【0728】

また、以上の実施例は、階調が 2 の乗数に設定するとして説明をしたが、本発明はこれに限定するものではない。たとえば、2 の乗数の 2 と 8（ $2 + 8 = 10$  階調目、つまり、判定に要する信号線は 2 本）で折れ曲がり点を設定してもよい。それ以上の 2 の乗数の 2 と 8 と 1 6（ $2 + 8 + 16 = 26$  階調目、つまり、判定に要する信号線は 3 本）で折れ曲がり点を設定してもよい。この場合は、多少判定あるいは処理に要するハード規模が大きくなるが、回路構成上、十分に対応することができる。また、以上の説明した事項は本発明の技術的範疇に含まれることは言うまでもない。

#### 【0729】

図 8 7 に図示するように、本発明のソースドライバ回路（IC）1 4 は 3 つの部分の電流出力回路 7 0 4 から構成されている。高階調領域で動作する高電流領域電流出力回路 7 0 4 a であり、低電流領域および高階調領域で動作する低電流領域電流出力回路 7 0 4 b であり、嵩上げ電流を出力する電流嵩上げ電流出力回路 7 0 4 c である。

#### 【0730】

高電流領域電流出力回路 7 0 4 a と電流嵩上げ電流出力回路 7 0 4 c は高電流を出力する基準電流源 7 7 1 a を基準電流として動作し、低電流領域電流出力回路 7 0 4 b は低電流を出力する基準電流源 7 7 1 b を基準電流として動作する。

#### 【0731】

なお、先にも説明したが、電流出力回路 7 0 4 は、高電流領域電流出力回路 7 0 4 a、低電流領域電流出力回路 7 0 4 b、電流嵩上げ電流出力回路 7 0 4 c の 3 つに限定するものではなく、高電流領域電流出力回路 7 0 4 a と低電流領域電流出力回路 7 0 4 b の 2 つでもよく、また、3 つ以上の電流出力回路 7 0 4 から構成してもよい。また、基準電流源 7 7 1 はそれぞれの電流領域電流出力回路 7 0 4 に対応して配置または形成してもよく、また、すべての電流領域電流出力回路 7 0 4 に共通にしてもよい。

#### 【0732】

以上の電流出力回路 7 0 4 が階調データに対応して、内部のトランジスタ 6 3 4 が動作し、ソース信号線 1 8 から電流を吸収する。前記とトランジスタ 6 3 4 は、1 水平走査期間（1 H）信号に同期して動作する。つまり、1 H の期間の間、該当する階調データに基づく電流を入力する（トランジスタ 6 3 4 が N チャンネルの場合）。

#### 【0733】

一方、ゲートドライバ回路 1 2 も 1 H 信号に同期して、基本的には 1 本のゲート信号線 1

10

20

30

40

50

7 a を順次選択する。つまり、1 H 信号に同期して、第 1 H 期間にはゲート信号線 1 7 a (1) を選択し、第 2 H 期間にはゲート信号線 1 7 a (2) を選択し、第 3 H 期間にはゲート信号線 1 7 a (3) を選択し、第 4 H 期間にはゲート信号線 1 7 a (4) を選択する。

#### 【0734】

しかし、第 1 のゲート信号線 1 7 a が選択されてから、次の第 2 のゲート信号線 1 7 a が選択される期間には、どのゲート信号線 1 7 a も選択されない期間（非選択期間、図 88 の t 1 を参照）を設ける。非選択期間は、ゲート信号線 1 7 a の立ち上がり期間、立下り期間が必要であり、T F T 1 1 d のオンオフ制御期間を確保するために設ける。

#### 【0735】

いずれかのゲート信号線 1 7 a にオン電圧が印加され、画素 1 6 の T F T 1 1 b、T F T 1 1 c がオンしていれば、V d d 電源（アノード電圧）から駆動用 T F T 1 1 a を介して、ソース信号線 1 8 にプログラム電流  $I_w$  が流れる。このプログラム電流  $I_w$  がトランジスタ 6 3 4 に流れる（図 88 の t 2 期間）。なお、ソース信号線 1 8 には寄生容量 C が発生している（ゲート信号線とソース信号線とのクロスポイントの容量などにより寄生容量が発生する）。

#### 【0736】

しかし、いずれのゲート信号線 1 7 a も選択されていない（非選択期間 図 88 の t 1 期間）は T F T 1 1 a を流れる電流経路がない。トランジスタ 6 3 4 は電流を流すから、ソース信号線 1 8 の寄生容量から電荷を吸収する。そのため、ソース信号線 1 8 の電位が低下する（図 88 の A の部分）。ソース信号線 1 8 の電位が低下すると、次の画像データに対応する電流を書き込むのに時間がかかる。

#### 【0737】

この課題に解決するため、図 89 に図示するように、ソース端子 7 6 1 との出力端にスイッチ 6 4 1 a を形成する。また、嵩上げ電流電流出力回路 7 0 4 c の出力段にスイッチ 6 4 1 b を形成または配置する。

#### 【0738】

非選択期間 t 1 に、制御端子 S 1 に制御信号を印加し、スイッチ 6 4 1 a をオフ状態にする。選択期間 t 2 ではスイッチ 6 4 1 a をオン状態（導通状態）にする。オン状態の時にはプログラム電流  $I_w = I_{wH} + I_{wL} + I_{wK}$  が流れる。スイッチ 6 4 1 a をオフにすると  $I_w$  電流は流れない。したがって、図 90 に図示するように図 88 の A のような電位に低下（変化はない）。なお、スイッチ 6 4 1 のアナログスイッチ 7 3 1 のチャンネル幅 W は、 $10\ \mu\text{m}$  以上  $100\ \mu\text{m}$  以下にする。このアナログスイッチの W（チャンネル幅）はオン抵抗を低減するために、 $10\ \mu\text{m}$  以上にする必要がある。しかし、あまり W が大きいと、寄生容量も大きくなるので  $100\ \mu\text{m}$  以下にする。さらに好ましくは、チャンネル幅 W は  $15\ \mu\text{m}$  以上  $60\ \mu\text{m}$  以下にすることが好ましい。

#### 【0739】

スイッチ 6 4 1 b は低階調表示のみに制御するスイッチである。低階調表示（黒表示）時は、画素 1 6 の T F T 1 1 a のゲート電位は V d d に近くする必要がある（したがって、黒表示では、ソース信号線 1 8 の電位は V d d 近くにする必要がある）。また、黒表示では、プログラム電流  $I_w$  が小さく、図 88 の A ように一度、電位が低下してしまうと、正規の電位に復帰するのに長時間を要する。

#### 【0740】

そのため、低階調表示の場合は、非選択期間 t 1 が発生することを避けなくてはならない。逆に、高階調表示では、プログラム電流  $I_w$  が大きいため、非選択期間 t 1 が発生しても問題がない場合が多い。したがって、本発明では、高階調表示の画像書き込みでは、非選択期間でもスイッチ 6 4 1 a、スイッチ 6 4 1 b の両方をオンさせておく。また、嵩上げ電流  $I_{wK}$  も切断しておく必要がある。極力黒表示を実現するためである。低階調表示の画像書き込みでは、非選択期間ではスイッチ 6 4 1 a をオンさせておき、スイッチ 6 4 1 b はオフするというように駆動する。スイッチ 6 4 1 b は端子 S 2 で制御する。

## 【0741】

もちろん、低階調表示および高階調表示の両方で、非選択期間  $t_1$  にスイッチ 641a をオフ（非導通状態）、スイッチ 641b はオン（導通）させたままにするという駆動を実施してもよい。もちろん、低階調表示および高階調表示の両方で、非選択期間  $t_1$  にスイッチ 641a、スイッチ 641b の両方をオフ（非導通）させた駆動を実施してもよい。

## 【0742】

いずれにしても、制御端子 S1、S2 の制御でスイッチ 641 を制御できる。なお、制御端子 S1、S2 はコマンド制御で制御する。

## 【0743】

たとえば、制御端子 S2 は非選択期間  $t_1$  をオーバーラップするように  $t_3$  期間を“0”ロジックレベルとする。このように制御にすることにより、図 88 の A の状態は発生しない。また、階調が一定以上の黒表示レベルの時は、制御端子 S1 を“0”ロジックレベルとする。すると、嵩上げ電流  $I_{WK}$  は停止し、より黒表示を実現できる。

## 【0744】

以上の実施例は、表示パネルに 1 つのソースドライバ IC14 を積載することを前提に実施例として説明した。しかし、本発明はこの構成に限定されるものではない。ソースドライバ IC14 を 1 つの表示パネルに複数積載する構成でもよい。たとえば、図 93 は 3 つのソースドライバ IC14 を積載した表示パネルの実施例である。

## 【0745】

本発明のソースドライバ IC14 は、図 73、図 74、図 76、図 77 などでも説明したように、少なくとも低階調領域の基準電流と、高階調領域の基準電流の 2 系統を具備する。このことは、図 82 でも説明をした。

## 【0746】

図 82 でも説明したように、本発明の電流駆動方式のソースドライバ回路（IC）14 は複数のドライバ IC14 を用いることを想定した、スレーブ／マスター（S/M）端子を具備している。S/M 端子を H レベルにすることによりマスターチップとして動作し、基準電流出力端子（図示せず）から、基準電流を出力する。もちろん、S/M 端子のロジックは逆極性でもよい。また、ソースドライバ IC14 へのコマンドにより切り替えてもよい。基準電流は可スケート電流接続線 931 で伝達される。S/M 端子を L レベルにすることにより IC14 はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスターチップの基準電流を受け取る。この電流が図 73、図 74 の  $I_{NL}$ 、 $I_{NH}$  端子に流れる電流となる。

## 【0747】

基準電流は IC チップ 14 の中央部（真中部分）の電流出力回路 704 で発生させる。マスターチップの基準電流は外部から外付け抵抗、あるいは IC 内部に配置あるいは構成された電流きざみ方式の電子ポリウムにより、基準電流が調整されて印加される。

## 【0748】

なお、IC チップ 14 の中央部にはコントロール回路（コマンドデコーダなど）なども形成（配置）される。基準電流源をチップの中央部に形成するのは、基準電流発生回路とプログラム電流出力端子 761 までの距離を極力短くするためである。

## 【0749】

図 93 の構成では、マスターチップ 14b より基準電流が 2 つのスレーブチップ（14a、14c）に伝達される。スレーブチップは基準電流を受け取り、この電流を基準として、親、子、孫電流を発生させる。なお、マスターチップ 14b がスレーブチップに受け渡す基準電流は、カレントミラー回路の電流受け渡しにより行う（図 67 を参照のこと）。電流受け渡しを行うことにより、複数のチップで基準電流のずれはなくなり、画面の分割線が表示されなくなる。

## 【0750】

図 94 は基準電流の受け渡し端子位置を概念的に図示している。IC チップの中央部に配置されて信号入力端子 941i に基準電流信号線 932 が接続されている。この基準電流

10

20

30

40

50

信号線 9 3 2 に印加される電流（なお、電圧の場合もある。図 7 6 を参照のこと）は、E L 材料の温特補償がされている。また、E L 材料の寿命劣化による補償がされている。

#### 【0751】

基準電流信号線 9 3 2 に印加された電流（電圧）に基づき、チップ 1 4 内で各電流源（6 3 1、6 3 2、6 3 3、6 3 4）を駆動する。この基準電流がカレントミラー回路を介して、スレーブチップへの基準電流として出力される。スレーブチップへの基準電流は端子 9 4 1 o から出力される。端子 9 4 1 o は基準電流発生回路 7 0 4 の左右に少なくとも 1 個以上配置（形成）される。図 9 4 では、左右に 2 個ずつ配置（形成）されている。この基準電流が、カスケード信号線 9 3 1 a 1、9 3 1 a 2、9 3 1 b 1、9 3 1 b 2 でスレーブチップ 1 4 に伝達される。なお、スレーブチップ 1 4 a に印加された基準電流を、マスターチップ 1 4 b にフィードバックし、ずれ量を補正するように回路を構成してもよい。

10

#### 【0752】

有機 E L 表示パネルをモジュール化する際、問題となる事項に、アノード配線 9 5 1、カソード配線の引き回し（配置）の抵抗値の課題がある。有機 E L 表示パネルは、E L 素子 1 5 の駆動電圧が比較的低いかわりに、E L 素子 1 5 に流れる電流が大きい。そのため、E L 素子 1 5 に電流を供給するアノード配線、カソード配線を太くする必要がある。一例として、2 インチクラスの E L 表示パネルでも高分子 E L 材料では、2 0 0 m A 以上の電流をアノード配線 9 5 1 に流す必要がある。そのため、アノード配線 9 5 1 の電圧降下を防止するため、アノード配線は 1 Ω 以下の低抵抗化する必要がある。しかし、アレイ基板 7 1 では、配線は薄膜蒸着で形成するため、低抵抗化は困難である。そのため、パターン幅を太くする必要がある。しかし、2 0 0 m A の電流をほとんど電圧降下なしで伝達するためには、配線幅が 2 m m 以上となるという課題があった。

20

#### 【0753】

図 1 0 5 は従来の E L 表示パネルの構成である。表示領域 5 0 の左右に内蔵ゲートドライバ 1 2 a、1 2 b が形成（配置）されている。また、ソースドライバ回路 1 4 p も画素 1 6 の T F T と同一プロセスで形成されている（内蔵ソースドライバ回路）。

#### 【0754】

アノード配線 9 5 1 はパネルの右側に配置されている。アノード配線 9 5 1 には V d d 電圧が印加されている。アノード配線 9 5 1 幅は一例として 2 m m 以上である。アノード配線 9 5 1 は画面の下端から画面の上端に分岐されている。分岐数は画素列数である。たとえば、Q C I F パネルでは、1 7 6 列 × R G B = 5 2 8 本である。一方、ソース信号線 1 8 は内蔵ソースドライバ 1 4 p から出力されている。ソース信号線 1 8 は画面の上端から画面の下端に配置（形成）されている。また、内蔵ゲートドライバ 1 2 の電源配線 1 0 5 1 も画面の左右に配置されている。

30

#### 【0755】

したがって、表示パネルの右側の額縁は狭くすることができない。現在、携帯電話などに用いる表示パネルでは、狭額縁化が重要である。また、画面の左右の額縁を均等にすることが重要である。しかし、図 1 0 5 の構成では、狭額縁化が困難である。

#### 【0756】

この課題を解決するため、本発明の表示パネルでは、図 1 0 6 に図示するように、アノード配線 9 5 1 はソースドライバ I C 1 4 の裏面に位置する箇所、かつアレイ表面に配置（形成）している。ソースドライバ回路（I C）1 4 は半導体チップで形成（作製）し、C O G（チップオンガラス）技術で基板 7 1 に実装している。ソースドライバ I C 1 4 化にアノード配線 9 5 1 を配置（形成）できるのは、チップ 1 4 の裏面に基板に垂直方向に 1 0 μ m ~ 3 0 μ m の空間があるからである。図 1 0 5 のように、ソースドライバ回路 1 4 p をアレイ基板 7 1 に直接形成すると、マスク数の問題、あるいは歩留まりの問題、ノイズの問題からソースドライバ回路 1 4 p の下層あるいは上層にアノード配線（ベースアノード線、アノード電圧線、基幹アノード線）9 5 1 を形成することは困難である。

40

#### 【0757】

50



また、図106に図示するように、共通アノード線962を形成し、ベースアノード線951と共通アノード線962とを接続アノード線961で短絡させている。特に、ICチップの中央部の接続アノード線961を形成した点がポイントである。接続アノード線961を形成することにより、ベースアノード線951と共通アノード線962間の電位差がなくなる。また、アノード配線952を共通アノード線962から分岐している点がポイントである。以上の構成を採用することにより、図105のようにアノード配線951の引き回しがなくなり、狭額縁化を実現できる。

#### 【0758】

共通アノード線962が長さ20mmとし、配線幅が150 $\mu$ mとし、配線のシート抵抗を0.05 $\Omega/\square$ とすれば、抵抗値は20000( $\mu$ m)/150( $\mu$ m) $\times$ 0.05 $\Omega$  = 約7 $\Omega$ になる。共通アノード線962の両端を接続アノード線961cでベースアノード線951と接続すれば、共通アノード線962には両側給電されるから、見かけ上の抵抗値は、7 $\Omega/2$  = 3.5 $\Omega$ となり、また、集中分布乗数に置きなおすと、さらに、見かけ上の共通アノード線962の抵抗値は1/2となるから、少なくとも2 $\Omega$ 以下となる。アノード電流が100mAであっても、この共通アノード線962での電圧降下は、0.2V以下となる。さらに、中央部の接続アノード線961bで短絡すれば電圧降下は、ほとんど発生しないようにすることができるのである。

#### 【0759】

本発明はベースアノード線951をIC14下に形成すること、共通アノード線962を形成し、この共通アノード線962とベースアノード線951とを電氣的に接続すること（接続アノード線961）、共通アノード線962からアノード配線952を分岐させることである。なお、アノード線はカソード線に置き換えることができる。

#### 【0760】

また、アノード線（ベースアノード線951、共通アノード線962、接続アノード線961、アノード配線952など）を低抵抗化するため、薄膜の配線を形成後、あるいはパターンニング前に、無電解メッキ技術、電解メッキ技術などを用いて、導電性材料を積層し厚膜化してもよい。厚膜化することにより、配線の断面積が広くなり、低抵抗化することができる。以上の事項はカソードに関しても同様である。また、ゲート信号線17、ソース信号線18にも適用することができる。

#### 【0761】

したがって、共通アノード線962を形成し、この共通アノード線962を接続アノード線961で両側給電を行う構成の効果は高く、また、中央部に接続アノード線961b（961c）を形成することによりさらに効果が高くなる。また、ベースアノード線951、共通アノード線962、接続アノード線961でループを構成しているため、IC14に入力される電界を抑制することができる。

#### 【0762】

共通アノード線962とベースアノード線951は同一金属材料で形成し、また、接続アノード線961も同一金属材料で形成することが好ましい。また、これらのアノード線は、アレイを形成する最も抵抗値の低い金属材料あるいは構成で実現する。一般的に、ソース信号線18の金属材料および構成（SDレイヤ）で実現する。共通アノード線962とソース信号線18とが交差する箇所は、同一材料で形成することはできない。したがって、交差する箇所は他の金属材料（ゲート信号線17と同一材料および構成、GEレイヤ）で形成し、絶縁膜で電氣的に絶縁する。もちろん、アノード線は、ソース信号線18の構成材料からなる薄膜と、ゲート信号線17の構成材料からなる薄膜とを積層して構成してもよい。

#### 【0763】

なお、ソースドライバIC14の裏面にアノード配線（カソード配線）などのEL素子15に電流を供給する配線を敷設する（配置する、形成する）としたが、これに限定するものではない。たとえば、ゲートドライバ回路12をICチップで形成し、このICをCOG実装してもよい。このゲートドライバIC12の裏面にアノード配線、カソード配線を

10

20

30

40

50

配置（形成）する。以上のように本発明は、EL表示装置などにおいて、駆動ICを半導体チップで形成（作製）し、このICをアレイ基板71などの基板に直接実装し、かつ、ICチップの裏面の空間部にアノード配線、カソード配線などの電源あるいはグランドパターンを形成（作製）するものである。

#### 【0764】

以上の事項を他の図面を使用しながらさらに詳しく説明をする。図95は本発明の表示パネルの一部の説明図である。図95において、点線がICチップ14を配置する位置である。つまり、ベースアノード線（アノード電圧線つまり分岐まえのアノード配線）がICチップ14の裏面かつアレイ基板71上に形成（配置）されている。なお、本発明の実施例において、ICチップ（12、14）の裏面に分岐前のアノード配線951を形成するとして説明するが、これは説明を容易にするためである。たとえば、分岐前のアノード配線951のかわりに分岐前のカソード配線あるいはカソード膜を形成（配置）してもよい。その他、ゲートドライバ回路12の電源配線1051を配置または形成してもよい。

10

#### 【0765】

ICチップ14はCOG技術により電流出力（電流入力）端子741とアレイ71に形成された接続端子953とが接続される。接続端子953はソース信号線18の一端に形成されている。また、接続端子953は953aと953bというように千鳥配置である。なお、ソース信号線の一端には接続端子953が形成され、他の端にもチェック用の端子電極が形成されている。

#### 【0766】

また、本発明ではICチップは電流駆動方式のドライバIC（電流で画素にプログラムする方式）としたが、これに限定するものではない。たとえば、図43、図53などの電圧プログラムの画素を駆動する電圧駆動方式のドライバICを積載したEL表示パネル（装置）などにも適用することができる。

20

#### 【0767】

接続端子953aと953b間にはアノード配線952（分岐後のアノード配線）が配置される。つまり、太く、低抵抗のベースアノード線951から分岐されたアノード配線952が接続端子953間に形成され、画素16列に沿って配置されている。したがって、アノード配線952とソース信号線18とは平行に形成（配置）される。以上のように構成（形成）することにより、図105のようにベースアノード線951を画面横に引き回すことなく、各画素にV<sub>dd</sub>電圧を供給できる。

30

#### 【0768】

図96はさらに、具体的に図示している。図95との差異は、アノード配線を接続端子953間に配置せず、別途形成した共通アノード線962から分岐させた点である。共通アノード線962とベースアノード線951とは接続アノード線961で接続している。

#### 【0769】

図96はICチップ14を透視して裏面の様子を図示したように記載している。ICチップ14は出力端子761にプログラム電流I<sub>w</sub>を出力する電流出力回路704が配置されている。基本的に、出力端子761と電流出力回路704は規則正しく配置されている。ICチップ14の中央部には親電流源の基本電流を作製する回路、コントロール（制御）回路が形成されている。そのため、ICチップの中央部には出力端子761が形成されていない（電流出力回路704がICチップの中央部に形成できないからである）。

40

#### 【0770】

本発明では、図96の中央部704a部には出力端子761をICチップに作製していない（出力回路がないからである。なお、ソースドライバなどのICチップの中央部に、コントロール回路などが形成され、出力回路が形成されていない事例は多い）。本発明のICチップはこの点に着眼し、ICチップの中央部に出力端子761を形成（配置）せず（ソースドライバなどのICチップの中央部に、コントロール回路などが形成され、出力回路が形成されていない場合であっても、中央部にダミーパッドをして、出力端子（パッド）が形成されているのが一般的である）、この位置に共通アノード線961を形成してい

50

る（ただし、共通アノード線 961 はアレイ基板 71 面に形成されている）。接続アノード線 961 の幅は、 $50\mu\text{m}$  以上  $1000\mu\text{m}$  以下にする。また、長さに対する抵抗（最大抵抗）値は、 $100\Omega$  以下になるようにする。

#### 【0771】

接続アノード線 961 でベースアノード線 951 と共通アノード線 962 とをショートすることにより、共通アノード線 962 に電流が流れることにより発生する電圧降下を極力抑制する。つまり、本発明の構成要素である接続アノード線 961 は IC チップの中央部に出力回路がない点を有効に利用しているのである。また、従来、IC チップの中央部にダミーパッドとして形成されている出力端子 761 を削除することにより、このダミーパッドと接続アノード線 961 が接触することによる、IC チップが電氣的に影響をあたえることを防止している。ただし、このダミーパッドが IC チップのベース基板（チップのグラウンド）、他の構成と電氣的に絶縁されている場合は、ダミーパッドが接続アノード線 961 と接触しても全く問題がない。したがって、ダミーパッドを IC チップの中央部に形成したままでもよいことは言うまでもない。

10

#### 【0772】

さらに具体的には、図 99 のように接続アノード線 961、共通アノード線 962 は形成（配置）されている。まず、接続アノード線 961 は太い部分（961a）と細い部分（961b）がある。太い部分（961a）は抵抗値を低減するためである。細い部分（961b）は、出力端子 963 間に接続アノード線 961b を形成し、共通アノード線 962 と接続するためである。

20

#### 【0773】

また、ベースアノード線 951 と共通アノード線 962 との接続は、中央部の接続アノード線 961b だけでなく、左右の接続アノード線 961c でもショートしている。したがって、共通アノード線 962 とベースアノード線 951 とは 3 本の接続アノード線 961 でショートされている。したがって、共通アノード線 962 に大きな電流が流れても共通アノード線 962 で電圧降下が発生しにくい。これは、IC チップ 14 は通常、幅が  $2\text{mm}$  以上あり、この IC 14 下に形成されたベースアノード線 951 の線幅を太く（低インピーダンス化できる）できるからである。そのため、低インピーダンスのベースアノード線 951 と共通アノード線 962 とを複数箇所接続アノード線 961 によりショートしているため、共通アノード線 962 の電圧降下は小さくなるのである。

30

#### 【0774】

以上のように共通アノード線 962 での電圧降下を小さくできるのは、IC チップ 14 下にベースアノード線 951 を配置（形成）できる点、IC チップ 14 の左右の位置を用いて、接続アノード線 961c を配置（形成）できる点、IC チップ 14 の中央部に接続アノード線 961b を配置（形成）できる点にある。

#### 【0775】

また、図 99 では、ベースアノード線 951 とカソード電源線（ベースカソード線）991 とを絶縁膜 102 を介して積層させている。この積層した箇所がコンデンサを形成する（この構成をアノードコンデンサ構成と呼ぶ）。このコンデンサは、電源パスコンデンサとして機能する。したがって、ベースアノード線 951 の急激な電流変化を吸収することができる。コンデンサの容量は、EL 表示装置の表示面積を  $S$  平方ミリメートルとし、コンデンサの容量を  $C$  (pF) としたとき、 $M/200 \leq C \leq M/10$  以下の関係を満足させることがよい。さらには、 $M/100 \leq C \leq M/20$  以下の関係を満足させることがよい。C が小さいと電流変化を吸収することが困難であり、大きいとコンデンサの形成面積が大きくなりすぎ実用的でない。

40

#### 【0776】

なお、図 99 などの実施例では、IC チップ 14 下にベースアノード線 951 を配置（形成）するとしたが、アノード線をカソード線としてもよいことは言うまでもない。また、図 99 において、ベースカソード線 991 とベースアノード線 951 とを入れ替えても良い。本発明の技術的思想は、ドライバを半導体チップで形成し、かつ半導体チップをアレ

50

基板 71 もしくはフレキシブル基板に実装し、半導体チップの下面に EL 素子 15 などの電源あるいはグラウンド電位（電流）を供給する配線などを配置（形成）する点にある。

【0777】

したがって、半導体チップは、ソースドライバ 14 に限定されるものではなく、ゲートドライバ 12 でもよく、また、電源 IC でもよい。また、半導体チップをフレキシブル基板に実装し、このフレキシブル基板面かつ半導体チップの下面に EL 素子 15 などの電源あるいはグラウンドパターンを配線（形成）する構成も含まれる。もちろん、ソースドライバ IC 14 とゲートドライバ IC 12 の両方を、半導体チップで構成し、基板 71 に COG 実装を起こつても良い。そして、前記チップの下面に電源あるいはグラウンドパターンを形成してもよい。また、EL 素子 15 への電源あるいはグラントパターンとしたがこれに限定するものではなく、ソースドライバ 14 への電源配線、ゲートドライバ 12 への電源配線でもよい。また、EL 表示装置に限定されるものではなく、液晶表示装置にも適用できる。その他、FED、PDP など表示パネルにも適用することができる。以上の事項は、本発明の他の実施例でも同様である。

10

【0778】

図 97 は本発明の他の実施例である。主な図 95、図 96、図 99 との差異は図 95 が出力端子 953 間にアノード配線 952 を配置したのに対し、図 97 では、ベースアノード配線 951 から多数（複数）の細い接続アノード線 961d を分岐させ、この接続アノード線 961d を共通アノード線 962 とをショートした点である。また、細い接続アノード線 961d と接続端子 953 と接続されたソース信号線 18 とを絶縁膜 102 を介して積層した点である。

20

【0779】

アノード線 961d はベースアノード線 951 とコンタクトホール 971a で接続を取り、アノード配線 952 は共通アノード線 962 とコンタクトホール 971b で接続を取っている。他の点（接続アノード線 961a、961b、961c、アノードコンデンサ構成など）などは図 96、図 99 と同様であるので説明を省略する。

【0780】

図 99 の aa' 線での断面図を図 98 に図示する。図 98 (a) では、略同一幅のソース信号線 18 を接続アノード線 961d が絶縁膜 102a を介して積層されている。

【0781】

絶縁膜 102a の膜厚は、500 オングストローム以上 3000 オングストローム (Å) 以下にする。さらに好ましくは、800 オングストローム以上 2000 オングストローム (Å) 以下にする。膜厚が薄いと、接続アノード線 961d とソース信号線 18 との寄生容量が大きくなり、また、接続アノード線 961d とソース信号線 18 との短絡が発生しやすくなり好ましくない。逆に厚いと絶縁膜の形成時間に長時間を要し、製造時間が長くなりコストが高くなる。また、上側の配線の形成が困難になる。なお、絶縁膜 102 は、ポリビフェーニールアルコール (PVA) 樹脂、エポキシ樹脂、ポリプロピレン樹脂、フェノール樹脂、アクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、SiO<sub>2</sub>、SiN<sub>x</sub> などの無機材料が例示される。その他、Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>3</sub> などであってもよいことは言うまでもない。また、図 98 (a) に図示するように、最表面には絶縁膜 102b を形成し、配線 961 などの腐食、機械的損傷を防止させる。

30

【0782】

図 98 (b) では、ソース信号線 18 の上にソース信号線 18 よりも線幅の狭い接続アノード線 961d が絶縁膜 102a を介して積層されている。以上のように構成することにより、ソース信号線 18 の段差によるソース信号線 18 と接続アノード線 961d とのショートを抑制することができる。図 98 (b) の構成では、接続アノード線 961d の線幅は、ソース信号線 18 の線幅よりも 0.5 μm 以上狭くすることが好ましい。さらには、接続アノード線 961d の線幅は、ソース信号線 18 の線幅よりも 0.8 μm 以上狭くすることが好ましい。

40

【0783】

50

図 98 (b) では、ソース信号線 18 の上にソース信号線 18 よりも線幅の狭い接続アノード線 961d が絶縁膜 102a を介して積層されているとしたが、図 98 (c) に図示するように、接続アノード線 961d の上に接続アノード信号線 961d よりも線幅の狭いソース信号線 18 が絶縁膜 102a を介して積層するとしてもよい。他の事項は他の実施例と同様であるので説明を省略する。

【0784】

図 100 は IC チップ 14 部の断面図である。基本的には図 99 の構成を基準にしているが、図 96、図 97 などでも同様に適用できる。もしくは類似に適用できる。

【0785】

図 100 (b) は図 99 の AA' での断面図である。図 100 (b) でも明らかなように、IC チップの 14 の中央部には出力パッド 761 が形成（配置）されていない。この出力パッドと、表示パネルのソース信号線 18 とが接続される。出力パッド 761 は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ（突起）が形成されている。突起の高さは  $10\mu\text{m}$  以上  $40\mu\text{m}$  以下の高さにする。もちろん、金メッキ技術（電解、無電解）により突起を形成してもよいことは言うまでもない。

【0786】

前記突起と各ソース信号線 18 とは導電性接合層（図示せず）を介して電氣的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀（Ag）、金（Au）、ニッケル（Ni）、カーボン（C）、酸化錫（ $\text{SnO}_2$ ）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層（接続樹脂）1001 は、転写等の技術でバンプ上に形成する。または、突起とソース信号線 18 とを ACF 樹脂 1001 で熱圧着される。なお、突起あるいは出力パッド 761 とソース信号線 18 との接続は、以上の方式に限定するものではない。また、アレイ基板上に IC 14 を積載せず、フィルムキャリヤ技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線 18 などと接続しても良い。図 100 (a) はソース信号線 18 と共通アノード線 962 とが重なっている部分の断面図である（図 98 を参照のこと）。

【0787】

共通アノード線 962 からアノード配線 952 が分岐されている。アノード配線 952 は QCI F パネルの場合は、 $176 \times \text{RGB} = 528$  本である。アノード配線 952 を介して、図 1 など図示する Vdd 電圧（アノード電圧）が供給される。1 本のアノード配線 952 には、EL 素子 15 が低分子材料の場合は、最大で  $200\mu\text{A}$  程度の電流が流れる。したがって、共通アノード配線 962 には、 $200\mu\text{A} \times 528$  で約  $100\text{mA}$  の電流が流れる。

【0788】

したがって、共通アノード配線 962 での電圧降下を  $0.2\text{ (V)}$  以内にするには、電流が流れる最大経路の抵抗値が  $2\Omega$  ( $100\text{mA}$  流れるとして) 以下にする必要がある。本発明では、図 99 に示すように 3 箇所接続アノード線 961 を形成しているので、集中分布回路におきなおすと、共通アノード線 962 の抵抗値は容易に極めて小さく設計することができる。また、図 97 のように多数の接続アノード線 961d を形成すれば、共通アノード線 962 での電圧降下は、ほぼなくなる。

【0789】

問題となるのは、共通アノード線 962 とソース信号線 18 との重なり部分における寄生容量（共通アノード寄生容量と呼ぶ）の影響である。基本的に、電流駆動方式では、電流を書き込むソース信号線 18 に寄生容量があると黒表示電流を書き込みにくい。したがって、寄生容量は極力小さくする必要がある。

【0790】

共通アノード寄生容量は、少なくとも 1 ソース信号線 18 が表示領域内で発生する寄生容量（表示寄生容量と呼ぶ）の  $1/10$  以下にする必要がある。たとえば、表示寄生容量が  $10\text{ (pF)}$  であれば、 $1\text{ (pF)}$  以下にする必要がある。さらに好ましくは、（表示寄生容量と呼ぶ）の  $1/20$  以下にする必要がある。表示寄生容量が  $10\text{ (pF)}$  であれば

10

20

30

40

50

、0.5 (pF) 以下にする必要がある。この点を考慮して、共通アノード線 962 の線幅 (図 103 の M)、絶縁膜 102 の膜厚 (図 101 を参照) を決定する。

#### 【0791】

ベースアノード線 951 は IC チップ 14 の下に形成 (配置) する。形成する線幅は、低抵抗化の観点から、極力太い方がよいことは言うまでもない。その他、ベースアノード配線 951 は遮光の機能を持たせることが好ましい。この説明図を図 102 に図示している。なお、ベースアノード配線 951 を金属材料で所定膜厚形成すれば、遮光の効果があることはいうまでもない。また、ベースアノード線 951 が太くできない時、あるいは、ITO などの透明材料で形成するときは、ベースアノード線 951 に積層して、あるいは多層に、光吸収膜あるいは光反射膜を IC チップ 14 下 (基本的にはアレイ 71 の表面) に形成する。また、図 102 の遮光膜 (ベースアノード線 951) は、完全な遮光膜であることを必要としない。部分に開口部があってもよく、また、回折効果、散乱効果を発揮するものでもよい。また、ベースアノード線 951 に積層させて、光学的干渉多層膜からなる遮光膜を形成または配置してもよい。

10

#### 【0792】

もちろん、アレイ基板 71 と IC チップ 14 との空間に、金属箔あるいは板あるいはシートからなる反射板 (シート)、光吸収板 (シート) を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、金属箔に限定されず、有機材料あるいは無機材料からなる箔あるいは板あるいはシートからなる反射板 (シート)、光吸収板 (シート) を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、アレイ基板 71 と IC チップ 14 との空間に、ゲルあるいは液体からなる光吸収材料、光反射材料を注入あるいは配置してもよい。さらに前記ゲルあるいは液体からなる光吸収材料、光反射材料を加熱により、あるいは光照射により硬化させることが好ましい。なお、ここでは説明を容易にするために、ベースアノード線 951 を遮光膜 (反射膜) にするとして説明をする。

20

#### 【0793】

図 102 のように、ベースアノード線 951 はアレイ基板 71 の表面 (なお、表面に限定するものではない。遮光膜/反射膜とするという思想を満足させるためには、IC チップ 14 の裏面に光が入射しなければよいのである。したがって、基板 71 の内面あるいは内層にベースアノード線 951 などを形成してもよいことは言うまでもない。また、基板 71 の裏面にベースアノード線 951 (反射膜、光吸収膜として機能する構成または構造) を形成することにより、IC 14 に光が入射することを防止または抑制できるのであれば、アレイ基板 71 の裏面でもよい。

30

#### 【0794】

また、図 102 などでは、遮光膜などはアレイ基板 71 に形成するとしたがこれに限定するものではなく、IC チップ 14 の裏面に直接に遮光膜などを形成してもよい。この場合は、IC チップ 14 の裏面に絶縁膜 102 (図示せず) を形成し、この絶縁膜上に遮光膜もしくは反射膜などを形成する。また、ソースドライバ回路 14 がアレイ基板 71 に直接に形成する構成 (低温ポリシリコン技術、高温ポリシリコン技術、固相成長技術、アモルファスシリコン技術によるドライバ構成) の場合は、遮光膜、光吸収膜あるいは反射膜を基板 71 に形成し、その上にドライバ回路 14 を形成 (配置) すればよい。

40

#### 【0795】

IC チップ 14 には電流源 634 など、微少電流を流すトランジスタ素子が多く形成されている (図 102 の回路形成部 1021)。微少電流を流すトランジスタ素子に光が入射すると、ホトコンダクタ現象が発生し、出力電流 (プログラム電流  $I_w$ )、親電流量、子電流量などが異常な値 (バラツキが発生するなど) となる。特に、有機 EL などの自発光素子は、基板 71 内で EL 素子 15 から発生した光が乱反射するため、表示領域 50 以外の箇所から強い光が放射される。この放射された光が、IC チップ 14 の回路形成部 1021 に入射するとホトコンダクタ現象が発生する。したがって、ホトコンダクタ現象の対策は、EL 表示デバイスに特有の対策である。

#### 【0796】

50

この課題に対して、本発明では、ベースアノード線 951 を基板 71 上に構成し、遮光膜する。ベースアノード線 951 の形成領域は図 102 に図示するように、回路形成部 1021 を被覆するようにする。以上のように、遮光膜（ベースアノード線 951）を形成することにより、ホトコンダクタ現象を完全に防止できる。特にベースアノード配線 951 などの EL 電源線は、画面書き換えに伴い、電流がながれて多少の電位が変化する。しかし、電位の変化量は、1 H タイミングで少しずつ変化するため、ほど、グランド電位（電位変化しないという意味）として見なせる。したがって、ベースアノード線 951 あるいはベースカソード線は、遮光の機能だけでなく、シールドの効果も発揮する。

#### 【0797】

有機 EL などの自発光素子は、基板 71 内で EL 素子 15 から発生した光が乱反射するため、表示領域 50 以外の箇所から強い光が放射される。この乱反射光を防止あるいは抑制するため、図 101 に図示するように、画像表示に有効な光が通過しない箇所（無効領域）に光吸収膜 1011 を形成する（逆に有効領域とは、表示領域 50 をその近傍）。光吸収膜を形成する箇所は、封止フタ 85 の外面（光吸収膜 1011 a）、封止フタ 85 の内面（光吸収膜 1011 c）、基板 70 の側面（光吸収膜 1011 d）、基板の画像表示領域以外（光吸収膜 1011 b）などである。なお、光吸収膜に限定するものではなく、光吸収シートを取り付けてもよく、また、光吸収壁でもよい。また、光吸収の概念には、光を散乱させることのより、光を発散させる方式あるいは構造も含まれる、また、広義には反射により光を封じこめる方式あるいは構成も含まれる。

#### 【0798】

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボン含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成された Pr Mn O3 膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

#### 【0799】

以上の材料はすべて黒色の材料であるが、光吸収膜としては、表示素子が発生する光色に対し、補色の関係の材料を用いても良い。例えば、カラーフィルター用の光吸収材料を望ましい光吸収特性が得られるように改良して用いれば良い。基本的には前記した黒色吸収材料と同様に、色素を用いて天然樹脂を染色したものを用いても良い。また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲は黒色色素よりもむしろ幅広く、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な 1 種、もしくはそれらのうち 2 種類以上の組み合わせでも良い。

#### 【0800】

また、光吸収膜としては金属材料を用いてもよい。たとえば、六価クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。その他、オパールガラス、酸化チタンなどの光散乱材料であってもよい。光を散乱させることにより、結果的に光を吸収することと等価になるからである。

#### 【0801】

なお、封止フタ 85 は、4  $\mu$ m 以上 15  $\mu$ m 以下の樹脂ビーズ 1012 を含有させた封止樹脂 1031 を用いて、基板 71 と封止フタ 85 とを接着する。フタ 85 は加圧せずに配置し、固定する。

#### 【0802】

図 99 の実施例は、共通アノード線 962 を IC チップ 14 の近傍に形成（配置）するように図示したが、これに限定するものではない。たとえば、図 103 に図示するように、表示領域 50 の近傍に形成してもよい。また、形成することが好ましい。なぜならば、ソース信号線 18 とアノード配線 952 とが短距離で、かつ平行して配置（形成）する部分が減少するからである。ソース信号線 18 とアノード配線 952 とが短距離で、かつ平行に配置されると、ソース信号線 18 とアノード配線 952 間に寄生容量が発生するからで

ある。図103のように、表示領域50の近傍に共通アノード線962を配置するとその問題点はなくなる。画面表示領域50から共通アノード線962の距離K（図103を参照）は、1mm以下にすることが好ましい。

#### 【0803】

共通アノード線962は、極力低抵抗化するため、ソース信号線18を形成する金属材料で形成することが好ましい。本発明では、Cu薄膜、Al薄膜あるいはTi/Al/Tiの積層構造、あるいは合金もしくはアマンガムからなる金属材料（SDメタル）で形成している。したがって、ソース信号線18と共通アノード線962が交差する箇所はショートすることを防止するため、ゲート信号線17を構成する金属材料（GEメタル）に置き換える。ゲート信号線は、Mo/Wの積層構造からなる金属材料で形成している。

10

#### 【0804】

一般的に、ゲート信号線17のシート抵抗は、ソース信号線18のシート抵抗より高い。これは、液晶表示装置で一般的である。しかし、有機EL表示パネルにおいて、かつ電流駆動方式では、ソース信号線18を流れる電流は1～5μAと微少である。したがって、ソース信号線18の配線抵抗が高くとも電圧降下はほとんど発生せず、良好な画像表示を実現できる。液晶表示装置においては、電圧でソース信号線18に画像データを書き込む。したがって、ソース信号線18の抵抗値が高いと画像を1水平走査期間に書き込むことができない。

#### 【0805】

しかし、本発明の電流駆動方式では、ソース信号線18の抵抗値が高く（つまり、シート抵抗値が高い）とも、課題とはならない。したがって、ソース信号線18のシート抵抗は、ゲート信号線17のシート抵抗より高くともよい。したがって、本発明のEL表示パネルにおいて（概念的には、電流駆動方式の表示パネルあるいは表示装置において）、図104に図示するように、ソース信号線18をGEメタルで作製（形成）し、ゲート信号線17をSDメタルで作製（形成）してもよい（液晶表示パネルと逆）。

20

#### 【0806】

図107は、図99、図103の構成に加えて、ゲートドライバ回路12を駆動する電源配線1051を配置した構成である。電源配線1051はパネルの表示領域50の右端→下辺→表示領域50の左端に引き回している。つまり、ゲートドライバ12aと12bの電源とは同一になっている。

30

#### 【0807】

しかし、ゲート信号線17aを選択するゲートドライバ回路12a（ゲート信号線17aはTFT11b、TFT11cを制御する）と、ゲート信号線17bを選択するゲートドライバ回路12b（ゲート信号線17bはTFT11dを制御し、EL素子15に流れる電流を制御する）とは、電源電圧を異ならせることが好ましい。特に、ゲート信号線17aの振幅（オン電圧－オフ電圧）は小さいことが好ましい。ゲート信号線17aの振幅が小さくなるほど、画素16のコンデンサ19への突き抜け電圧が減少するからである（図1などを参照）。一方、ゲート信号線17bはEL素子15を制御するため、振幅は小さくできない。

#### 【0808】

したがって、図108に図示するように、ゲートドライバ12aの印加電圧はVha（ゲート信号線17aのオフ電圧）と、Vla（ゲート信号線17aのオン電圧）とし、ゲートドライバ12aの印加電圧はVhb（ゲート信号線17bのオフ電圧）と、Vla（ゲート信号線17bのオン電圧）とする。Vla < Vlbなる関係とする。なお、VhaとVhbとは、略一致させてもよい。

40

#### 【0809】

ゲートドライバ回路12は、通常、NチャンネルトランジスタとPチャンネルトランジスタで構成するが、Pチャンネルトランジスタのみで形成することが好ましい。アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。したがって、図1、図2などに例示したように、画素16を構成するTFT

50



をPチャンネルトランジスタとするとともに、ゲートドライバ回路12もPチャンネルトランジスタで形成あるいは構成する。NチャンネルトランジスタとPチャンネルトランジスタでゲートドライバ回路を構成すると必要なマスク数は10枚となるが、Pチャンネルトランジスタのみで形成すると必要なマスク数は5枚になる。

#### 【0810】

しかし、Pチャンネルトランジスタのみでゲートドライバ回路12などを構成すると、レベルシフト回路をアレイ基板71に形成できない。レベルシフト回路はNチャンネルトランジスタとPチャンネルトランジスタで構成するからである。

#### 【0811】

この課題に対して、本発明では、レベルシフト回路機能を、電源IC1091に内蔵させている。図109はその実施例である。電源IC1091はゲートドライバ回路12の駆動電圧、EL素子15のアノード、カソード電圧、ソースドライバ回路14の駆動電圧を発生させる。

10

#### 【0812】

電源IC1091はゲートドライバ回路12のEL素子15のアノード、カソード電圧を発生させるため、高い耐圧の半導体プロセスを使用する必要がある。この耐圧があれば、ゲートドライバ回路12の駆動する信号電圧までレベルシフトすることができる。

#### 【0813】

したがって、レベルシフトおよびゲートドライバ回路12の駆動は図109の構成で実施する。入力データ（画像データ、コマンド、制御データ）992はソースドライバIC14に入力される。入力データにはゲートドライバ回路12の制御データも含まれる。ソースドライバIC14は耐圧（動作電圧）が5（V）である。一方、ゲートドライバ回路12は動作電圧が15（V）である。ソースドライバ回路14から出力されるゲートドライバ回路12に出力される信号は、5（V）から15（V）にレベルシフトする必要がある。このレベルシフトを電源回路（IC）1091で行う。図109ではゲートドライバ回路12を制御するデータ信号も電源IC制御信号1092としている。

20

#### 【0814】

電源回路1091は入力されたゲートドライバ回路12を制御するデータ信号1092を内蔵するレベルシフト回路でレベルシフトし、ゲートドライバ回路制御信号1093として出力し、ゲートドライバ回路12を制御する。

30

#### 【0815】

以下、基板71に内蔵するゲートドライバ回路12をPチャンネルのトランジスタのみで構成した本発明のゲートドライバ12について説明をする。先にも説明したように、画素16とゲートドライバ回路12とをPチャンネルトランジスタのみで形成する（つまり、基板71に形成するトランジスタはすべてPチャンネルトランジスタである。反対に言えば、Nチャンネルのトランジスタを用いない状態）ことにより、アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。また、Pチャンネルトランジスタの性能のみの向上に取り組みができるため、結果として特性改善が容易である。たとえば、 $V_t$ 電圧の低減化（より0（V）に近くするなど）、 $V_t$ バラツキの減少を、CMOS構造（PチャンネルとNチャンネルトランジスタを用いる構成）よりも容易に実施できる。

40

#### 【0816】

一例として、図106に図示するように、本発明は、表示領域50の左右に1相（シフトレジスタ）づつ、ゲートドライバ回路12を配置または形成あるいは構成している。ゲートドライバ回路12など（画素16のトランジスタも含む）は、プロセス温度が450度（摂氏）以下の低温ポリシリコン技術で形成または構成するとして説明するが、これに限定するものではない。プロセス温度が450度（摂氏）以上の高温ポリシリコン技術を用いて構成してもよく、また、固相（CGS）成長させた半導体膜を用いてTFTなどを形成したものを用いてもよい。その他、有機TFTで形成してもよい。また、アモルファスシリコン技術で形成あるいは構成したTFTであってもよい。

50

## 【0817】

1つは選択側のゲートドライバ回路12aである。ゲート信号線17aにオンオフ電圧を印加し、画素TFT11を制御する。他方のゲートドライバ回路12bは、EL素子15に流す電流を制御（オンオフさせる）する。本発明の実施例では、主として図1の画素構成を例示して説明をするがこれに限定するものではない。図50、図51、図54などの他の画素構成においても適用できることは言うまでもない。また、本発明のゲートドライバ回路12の構成あるいはその駆動方式は、本発明の表示パネル、表示装置あるいは情報表示装置との組み合わせにおいて、より特徴ある効果を発揮する。しかし、他の構成においても特徴ある効果を発揮できることは言うまでもない。

## 【0818】

なお、以下に説明するゲートドライバ12構成あるいは配置形態は、有機EL表示パネルなどの自己発光デバイスに限定されるものではない。液晶表示パネルあるいは電磁遊動表示パネルなどにも採用することができる。たとえば、液晶表示パネルでは、画素の選択スイッチング素子の制御として本発明のゲートドライバ回路12の構成あるいは方式を採用してもよい。また、ゲートドライバ回路12を2相用いる場合は、1相を画素のスイッチング素子の選択用として用い、他方を画素において、保持容量の一方の端子に接続してもよい。この方式は、独立CC駆動と呼ばれるものである。また、図111、図113などで説明する構成は、ゲートドライバ回路12だけでなく、ソースドライバ回路14のシフトレジスタ回路などにも採用することができることは言うまでもない。

## 【0819】

本発明のゲートドライバ回路12は、先に説明した図6、図13、図16、図20、図22、図24、図26、図27、図28、図29、図34、図37、図40、図41、図48、図82、図91、図92、図93、図103、図104、図105、図106、図107、図108、図109などのゲートドライバ回路12として実施あるいは採用することが好ましい。

## 【0820】

図111は、本発明のゲートドライバ回路12のブロック図である。説明を容易にするため、4段分しか図示していないが、基本的には、ゲート信号線17数に対応する単位ゲート出力回路1111が形成または配置される。

## 【0821】

図111に図示するように、本発明のゲートドライバ回路12（12a、12b）では、4つのクロック端子（SCK0、SCK1、SCK2、SCK3）と、1つのスタート端子（データ信号（SSTA））、シフト方向を上下反転制御する2つの反転端子（DIRA、DIRB、これらは、逆相の信号を印加する）の信号端子から構成される。また、電源端子としてL電源端子（VBB）と、H電源端子（Vd）などから構成される。

## 【0822】

なお、本発明のゲートドライバ回路12は、すべてPチャンネルのTFT（トランジスタ）で構成しているため、レベルシフト回路（低電圧のロジック信号を高電圧のロジック信号に変換する回路）をゲートドライバ回路に内蔵することができない。そのため、図109などに図示した電源回路（IC）1091内にレベルシフト回路を配置または形成している。電源回路（IC）1091は、ゲートドライバ回路12からゲート信号線17に出力するオン電圧（画素16TFTの選択電圧）、オフ電圧（画素16TFTの非選択電圧）に必要な電位の電圧を作成する。そのため、電源IC（回路）1091の使用する半導体の耐圧プロセスは、十分な耐圧がある。したがって、電源IC1091でロジック信号をレベルシフト（LS）すると都合がよい。したがって、コントローラ（図示せず）から出力されるゲートドライバ回路12の制御信号は、電源IC1091に入力し、レベルシフトしてから、本発明のゲートドライバ回路12に入力する。コントローラ（図示せず）から出力されるソースドライバ回路14の制御信号は、直接に本発明のソースドライバ回路14などに入力する（レベルシフトの必要がない）。

## 【0823】

しかし、本発明はアレイ基板 71 に形成するトランジスタをすべて P チャンネルで形成することに限定するものではない。ゲートドライバ回路 12 を後に説明する図 111、図 113 のように P チャンネルで形成することにより、狭額縁化することができる。2. 2 インチの Q C I F パネルの場合、ゲートドライバ回路 12 の幅は、6  $\mu$  m ルールの採用時で、600  $\mu$  m で構成できる。供給するゲートドライバ回路 12 の電源配線の引き回しを含めても 700  $\mu$  m に構成することができる。同様の回路構成を C M O S (N チャンネルと P チャンネルトランジスタ) で構成すると、1. 2 m m になってしまう。したがって、ゲートドライバ回路 12 を P チャンネルで形成することのより、狭額縁化をいう特徴ある効果を発揮できる。

#### 【0824】

また、画素 16 を P チャンネルのトランジスタで構成することのより、P チャンネルトランジスタで形成したゲートドライバ回路 12 とのマッチングが良くなる。P チャンネルトランジスタ (図 1 の画素構成では、T F T 11 b、11 c、T F T 11 d) は L 電圧でオンする。一方、ゲートドライバ回路 12 も L 電圧が選択電圧である。P チャンネルのゲートドライバは図 113 の構成でもわかるが、L レベルを選択レベルとするとマッチングが良い。L レベルが長期間保持できないからである。一方、H 電圧は長時間保持することができる。

#### 【0825】

また、E L 素子 15 に電流を供給する駆動用 T F T (図 1 では T F T 11 a) も P チャンネルで構成することにより、E L 素子 15 のカソードが金属薄膜のべた電極に構成することができる。また、アノード電位 V d d から順方向に E L 素子 15 に電流を流すことができる。以上の事項から、画素 16 のトランジスタを P チャンネルとし、ゲートドライバ 12 のトランジスタも P チャンネルとすることがよい。以上のことから、本発明の画素 16 を構成するトランジスタ (駆動用 T F T、イッチング用 T F T) を P チャンネルで形成し、ゲートドライバ回路 12 のトランジスタを P チャンネルで構成するという事項は単なる設計事項ではない。

#### 【0826】

この意味で、レベルシフト (L S) 回路を、基板 71 に直接に形成してもよい。つまり、レベルシフト (L S) 回路を N チャンネルと P チャンネルトランジスタで形成する。コントローラ (図示せず) からのロジック信号は、基板 71 に直接形成されたレベルシフト回路で、P チャンネルトランジスタで形成されたゲートドライバ回路 12 のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ回路 12 に印加する。

#### 【0827】

なお、レベルシフト回路を半導体チップで形成し、基板 71 に C O G 実装などしてもよい。また、ソースドライバ回路 14 は、図 109 などにも図示しているが、基本的に半導体チップで形成し、基板 71 に C O G 実装する。ただし、ソースドライバ回路 14 を半導体チップで形成することには限定するものではなく、ポリシリコン技術を用いて基板 71 に直接に形成してもよい。画素 16 を構成するトランジスタ 11 を P チャンネルで構成すると、プログラム電流は画素 16 からソース信号線 18 に流れ出す方向になる。そのため、ソースドライバ回路の単位電流回路 634 (図 73、図 74 などを参照のこと) は、N チャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路 14 はプログラム電流 I w を引き込むように回路構成する必要がある。

#### 【0828】

したがって、画素 16 の駆動用 T F T 11 a (図 1 の場合) が P チャンネルトランジスタの場合は、必ず、ソースドライバ回路 14 はプログラム電流 I w を引き込むように、単位電流源 634 を N チャンネルトランジスタで構成する。ソースドライバ回路 14 をアレイ基板 71 に形成するには、N チャンネル用マスク (プロセス) と P チャンネル用マスク (プロセス) の両方を用いる必要がある。概念的に述べれば、画素 16 とゲートドライバ 12 を P チャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジス

10

20

30

40

50

タはNチャンネルで構成するのが本発明の表示パネル（表示装置）である。

【0829】

なお、説明を容易にするため、本発明の実施例では、図1の画素構成を例示して説明をする。しかし、画素16の選択トランジスタ（図1ではTFT11c）をPチャンネルで構成し、ゲートドライバ回路12をPチャンネルトランジスタで構成するというなどの本発明の技術的思想は、図1の画素構成に限定されるものではない。たとえば、電流駆動方式の画素構成では図142に図示するカレントミラーの画素構成にも適用することができることは言うまでもない。また、電圧駆動方式の画素構成では、図143（a）に図示するような2つのTFT（選択トランジスタはTFT11b、駆動トランジスタはTFT11a）にも適用することができる。また、図143（b）に図示するような、4つのTFT（選択トランジスタはTFT11c、駆動トランジスタはTFT11a）を用いる画素構成にも適用することができることは言うまでもない。もちろん、図111、図113のゲートドライバ回路12の構成も適用でき、また、組み合わせて装置などを構成できる。したがって、以上の説明した事項、以下に説明する事項は、画素構成などに限定されるものではない。

10

【0830】

また、画素16の選択トランジスタをPチャンネルで構成し、ゲートドライバ回路をPチャンネルトランジスタで構成するという構成は、有機ELなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイスにも適用することができる。

20

【0831】

反転端子（DIRA、DIRB）は各単位ゲート出力回路1111に対し、共通の信号が印加される。なお、図113の等価回路図をみれば、理解できるが、反転端子（DIRA、DIRB）は互いに逆極性の電圧値を入力する。また、シフトレジスタの走査方向を反転させる場合は、反転端子（DIRA、DIRB）に印加している電圧の極性を反転させる。

【0832】

なお、図111の回路構成は、クロック信号線数は4つである。4つが本発明では最適な数であるが、本発明はこれに限定するものではない。4つ以下でも4つ以上でもよい。

【0833】

クロック信号（SCK0、SCK1、SCK2、SCK3）の入力は、隣接した単位ゲート出力回路1111で異ならせている。たとえば、単位ゲート出力回路1111aには、クロック端子のSCK0がOCに、SCK2がRSTに入力されている。この状態は、単位ゲート出力回路1111cも同様である。単位ゲート出力回路1111aに隣接した単位ゲート出力回路1111b（次段の単位ゲート出力回路）は、クロック端子のSCK1がOCに、SCK3がRSTに入力されている。したがって、単位ゲート出力回路1111に入力されるクロック端子は、SCK0がOCに、SCK2がRSTに入力され、次段は、クロック端子のSCK1がOCに、SCK3がRSTに入力され、さらに次段の単位ゲート出力回路1111に入力されるクロック端子は、SCK0がOCに、SCK2がRSTに入力され、というように交互に異ならせている。

30

40

【0834】

図113が単位ゲート出力回路1111の回路構成である。構成するトランジスタはPチャンネルのみで構成している。図114が図113の回路構成を説明するためのタイミングチャートである。なお、図112は図113の複数段分におけるタイミングチャートを図示したものである。したがって、図113を理解することにより、全体の動作を理解することができる。動作の理解は、文章で説明するよりも、図113の等価回路図を参照しながら、図114のタイミングチャートを理解することにより達成されるため、詳細な各トランジスタの動作の説明は省略する。

【0835】

Pチャンネルのみでドライバ回路構成を作成すると、基本的にゲート信号線17をHレベル

50

ル（図 1 1 3 では  $V_d$  電圧）に維持することは可能である。しかし、L レベル（図 1 1 3 では  $V_{BB}$  電圧）に長時間維持することは困難である。しかし、画素行の選択時などの短時間維持は十分にできる。IN 端子に入力された信号と、RST 端子に入力された SCK クロックにより、n1 が変化し、n2 は n1 の反転信号状態となる。n2 の電位と n4 の電位とは同一極性であるが、OC 端子に入力された SCK クロックにより n4 の電位レベルはさらに低くなる。この低くなるレベルに対応して、Q 端子がその期間、L レベルに維持される（オン電圧がゲート信号線 17 から出力される）。SQ あるいは Q 端子に出力される信号は、次段の単位ゲート出力回路 1 1 1 1 に転送される。

#### 【0836】

図 1 1 1、図 1 1 3 の回路構成において、IN (INA、INb) 端子、クロック端子の印加信号のタイミングを制御することにより、図 1 1 5 (a) に図示するように、1 ゲート信号線 17 を選択する状態と、図 1 1 5 (b) に図示するように 2 ゲート信号線 17 を選択する状態とを同一の回路構成を用いて実現できる。選択側のゲートドライバ回路 1 2 a において、図 1 1 5 (a) の状態は、1 画素行 (5 1 a) を同時に選択する駆動方式である（ノーマル駆動）。また、選択画素行は 1 行ずつシフトする。図 1 1 5 (b) は、2 画素行を選択する構成である。この駆動方式は、図 2 7、図 2 8 で説明した複数画素行 (5 1 a、5 1 b) の同時選択駆動（ダミー画素行を構成する方式）である。選択画素行は、1 画素行ずつシフトし、かつ隣接した 2 画素行が同時に選択される。特に、図 1 1 5 (b) の駆動方法は、最終的な映像を保持する画素行 (5 1 a) に対し、画素行 5 1 b は予備充電される。そのため、画素 1 6 が書き込み易くなる。つまり、本発明は、端子に印加する信号により、2 つの駆動方式を切り替えて実現できる。

#### 【0837】

なお、図 1 1 5 (b) は隣接した画素 1 6 行を選択する方式であるが、図 1 1 6 に図示するように、隣接した以外の画素 1 6 行を選択してもよい（図 1 1 6 は、3 画素行離れた位置の画素行を選択している実施例である）。また、図 1 1 3 の構成では、4 画素行の組で制御される。4 画素行のうち、1 画素行を選択するか、連続した 2 画素行を選択するかの制御を実施できる。これは、使用するクロック (SCK) が 4 本によることの制約である。クロック (SCK) 8 本になれば、8 画素行の組で制御を実施できる。したがって、図 1 1 3 の構成で明らかであるが、図 1 1 8 に図示するように、画素行を選択することができる。

#### 【0838】

図 1 1 8 (a) では、4 画素行に組で 1 画素行を選択することができる（4 画素行の組で、1 本の画素行を選択するが、全く選択しないかは、IN データの入力状態と、シフト状態で決定される）。図 1 1 8 (b) では、4 画素行に組で連続した 2 画素行を選択することができる（4 画素行の組で、2 本の画素行を選択するが、全く選択しないかは、IN データの入力状態と、シフト状態で決定される）。また、本発明は、クロック数に等しい画素行を組として、この画素行の組において、1 画素行もしくは、画素行の組の  $1/2$  以下の本数（たとえば、4 画素行の組であれば、 $4/2 = 2$  画素行）を選択する方式である。したがって、画素行に組内では、必ず非選択の画素行が発生する。

#### 【0839】

1 画素行を選択する図 1 1 5 (a) では、図 1 1 7 (a) で図示するように、プログラム電流  $I_w$  は 1 つの画素 1 6 に流れる。図 1 1 5 (b)、図 1 1 6 のように 2 画素行を同時に選択する駆動方式は、図 2 4、図 2 7 で説明した駆動方式と同様になる。プログラム電流  $I_w$  は図 1 1 7 (b) に図示するように、2 画素行に分割されて画素 1 6 に書き込まれる。ただし、これに限定されるものではない。たとえば、図 1 1 7 (b) に図示するように、プログラム電流  $I_w \times 2$  の電流を印加し、選択された 2 つの画素 (1 6 a、1 6 b) に同一の電流を流すように構成してもよい。

#### 【0840】

選択側のゲートドライバ 1 2 a の動作は、図 1 1 5 の動作である。図 1 1 5 (a) に図示するように、1 画素行を選択し、選択位置を 1 水平同期信号に同期して 1 画素行ずつシフ

10

20

30

40

50

トする。また、図 1 1 5 (b) に図示するように、2 画素行を選択し、選択位置を 1 水平同期信号に同期して 1 画素行ずつシフトする。

#### 【0841】

図 1 1 8 は、EL 素子 1 5 をオンオフさせるゲート信号線 1 7 b を制御するゲートドライバ 1 2 b の動作を説明する説明図である。図 1 1 8 (a) は、4 画素行の組（以降、このような画素行の組を画素行組と呼ぶ）に 1 画素行のゲート信号線 1 7 b にオン電圧を印加した状態である。表示画素行 5 3 位置は、水平同期信号 (HD) に同期して 1 画素行ずつシフトする。もちろん、4 画素行組に 1 画素行に対応するゲート信号線 1 7 b にオン電圧を印加する（他の 3 画素行に対応するゲート信号線 1 7 b にはオフ電圧が印加されている）か、4 画素行組のすべてにオフ電圧を印加する（4 画素行に対応するゲート信号線 1 7 b にオフ電圧が印加されている）かは、任意に選択できる。なお、シフトレジスタの構成であるから、設定された選択状態は、水平同期信号に同期してシフトされる。

10

#### 【0842】

図 1 1 8 (b) は、4 画素行組の 2 画素行のゲート信号線 1 7 b にオン電圧を印加した状態である。表示画素行 5 3 位置は、水平同期信号 (HD) に同期して 1 画素行ずつシフトする。もちろん、4 画素行組に 2 画素行に対応するゲート信号線 1 7 b にオン電圧を印加する（他の 2 画素行に対応するゲート信号線 1 7 b にはオフ電圧が印加されている）か、4 画素行組のすべてにオフ電圧を印加する（4 画素行に対応するゲート信号線 1 7 b にオフ電圧が印加されている）かは、任意に選択できる。なお、シフトレジスタの構成であるから、設定された選択状態は、水平同期信号に同期してシフトされる。

20

#### 【0843】

また、図 1 1 8 (a) は 4 画素行組に 1 画素行のゲート信号線 1 7 b にオン電圧を印加した状態である。図 1 1 8 (b) は、4 画素行組の 2 画素行のゲート信号線 1 7 b にオン電圧を印加した状態である。しかし、本発明はこの構成（方式）に限定するものではない。たとえば、図 1 4 1 (a) に図示するように、6 画素行組に 1 画素行のゲート信号線 1 7 b にオン電圧を印加した状態である。図 1 4 1 (b) は、8 画素行組の 2 画素行のゲート信号線 1 7 b にオン電圧を印加した状態である。つまり、図 1 1 8 に限定するものではない。また、RGB でオンオフ状態を変化させてもよい。たとえば、R は図 1 4 1 (a) の表示状態とし、G と B を図 1 1 8 (a) の表示状態とするなどである。

#### 【0844】

図 1 1 9 は図 1 1 8 (a) の駆動状態の時に、ゲート信号線 1 7 b に出力される電圧の状態である。先にも説明したように、信号線 1 7 b の ( ) で記載した添え字は、画素行を示している。なお、説明を容易にするため、画素行は (1) からとしている。また、表の上段の数字は、水平走査期間の番号を示している。

30

#### 【0845】

図 1 1 9 に図示するように、ゲート信号線 1 7 b (1) ~ ゲート信号線 1 7 b (4) と、ゲート信号線 1 7 b (5) ~ ゲート信号線 1 7 b (8) とが同一波形である。つまり、4 画素行組で同一の動作が実施されている。

#### 【0846】

図 1 2 0 は図 1 1 8 (b) の駆動状態の時に、ゲート信号線 1 7 b に出力される電圧の状態である。図 1 2 0 に図示するように、ゲート信号線 1 7 b (1) ~ ゲート信号線 1 7 b (4) と、ゲート信号線 1 7 b (5) ~ ゲート信号線 1 7 b (8) とが同一波形である。つまり、4 画素行組で同一の動作が実施されている。

40

#### 【0847】

図 1 1 8 の実施例では、任意の時刻で、表示状態の画素数を増減することにより、表示画面 5 0 の明るさを調整することができる。Q C I F パネルの場合は、垂直画素数は 2 2 0 ドットである。したがって、図 1 1 8 (a) では、 $220 / 4 = 55$  画素行を表示することができる。つまり、白ラスタ表示では、55 画素行を表示させた時が、最大の明るさである。画面の明るさは、表示画素行数を 55 本 → 54 本 → 53 本 → 52 本 → 51 本 → ・ ・ ・ ・ ・ 5 本 → 4 本 → 3 本 → 2 本 → 1 本 → 0 本と変化させることにより、表示画面を

50

暗くすることができる。逆に、0本→1本→2本→3本→4本→5本→・・・→50本→51本→52本→53本→54本→55本と変化させることにより、画面を明るくすることができる。したがって、多段階の明るさ調整を実現できる。

#### 【0848】

この明るさ調整では、画面の明るさは表示画素数に比例し、かつ変化はリニアである。その上、明るさに対応するガンマ特性に変化はない（画面が明るくとも、暗くとも階調数は維持される）。

#### 【0849】

以上の実施例では、表示画面50の明るさを調整する表示画素行数の変化は、1本ごとにするとしたが、これに限定するものではない。54本→52本→50本→48本→46本→・・・→6本→4本→2本→0本と変化させてもよい。また、55本→50本→45本→40本→35本→・・・→15本→10本→5本→0本と変化させてもよい。

10

#### 【0850】

同様に、図118（b）では、QCIFパネルでは、 $220/2=110$ 画素行を表示することができる。つまり、白ラスタ表示では、110画素行を表示させた時が、最大の明るさである。画面の明るさは、表示画素行数を110本→108本→106本→104本→102本→・・・→10本→8本→6本→4本→2本→0本と変化させることにより、表示画面を暗くすることができる。逆に、0本→2本→4本→6本→8本→10本→・・・→100本→102本→104本→106本→108本→110本と変化させることにより、画面を明るくすることができる。したがって、多段階の明るさ調整を実現できる。なお、表示画面50の明るさを調整する表示画素行数の変化は、2本ごとにするとしたが、これに限定するものではない。4本ごとにしてもよく、4本以上であってもよい。また、明るさを調整するために、表示画素行を間引くのは、一箇所に集中して間引くのではなく、極力分散するように間引くことがよい。フリッカの発生を抑制するためである。

20

#### 【0851】

明るさ調整は、画素行数の単位ではなく（画素行を1水平走査期間の略全期間の間点灯させる、あるいは非点灯とさせるという駆動）、1水平走査期間あたりの点灯時間でも調整することができる。つまり、1水平走査期間の一部の期間（たとえば、1Hの1/8の期間、1Hの15/16の期間というように）点灯することにより表示画面の明るさを調整するのである。

30

#### 【0852】

この調整（制御）は、表示パネルのメインクロック（MCLK）を用いて行う。QCIFパネルでは、MCLKは約2.5MHzである。つまり、1水平走査期間（1H）に176クロックをカウントすることができる。したがって、MCLKをカウンタし、このカウント値により、ゲート信号線17bにオン電圧（Vg1）を印加する期間を制御することにより各画素行のEL素子15をオンオフさせることができる。

#### 【0853】

具体的には、図112、図114に図示するタイミングチャートにおいて、クロック（CLK）のLレベルにする位置、Lレベルの期間を制御することにより実現できる。CLKがLレベルにする期間を短くするほど、出力のQ端子がLレベル（Vg1）となる期間が短くなる。

40

#### 【0854】

図118（a）の駆動方式では、図121に図示するように、1Hの期間において左右対称にVg1（オン電圧）となる期間が短くなる。図121では（a）が1H期間のすべてがVg1（オン電圧）を出力している期間である（ただし、図113のPチャンネルのゲートドライバ回路12構成では、1H期間のすべてにLレベル出力をすることは不可能である。1Hと次の1Hとの間にはVgh電圧（オフ電圧）の期間が発生する。図121は説明を容易にするためにあえて（a）のように図示している。

50

## 【0855】

同様に、図121(b)では、ゲート信号線17bにV<sub>g1</sub>を出力している期間が、MCLKが2クロック分だけ短く((a)に比較して)していることを図示している。さらに、図121(c)では、ゲート信号線17bにV<sub>g1</sub>を出力している期間が、MCLKが2クロック分だけ短く((b)に比較して)していることを図示している。以下、同様であるので説明を省略する。

## 【0856】

図118(b)の駆動方式では、図122に図示するように、2Hの期間において左右対称にV<sub>g1</sub>(オン電圧)となる期間が短くなる。図122では(a)が1H期間のすべてがV<sub>g1</sub>(オン電圧)を出力している期間である(ただし、図113のPチャンネルのゲートドライバ回路12構成では、2H期間のすべてにLレベル出力をすることは不可能である。2Hと次の2Hとの間にはV<sub>gh</sub>電圧(オフ電圧)の期間が発生する。このことは、図121と同様である。

10

## 【0857】

同様に、図122(b)では、ゲート信号線17bにV<sub>g1</sub>を出力している期間が、2H期間でMCLKが2クロック分だけ短く((a)に比較して)していることを図示している。さらに、図122(c)では、ゲート信号線17bにV<sub>g1</sub>を出力している期間が、MCLKが2クロック分だけ短く((b)に比較して)していることを図示している。以下、同様であるので説明を省略する。

## 【0858】

なお、ゲートドライバ回路12の構成を多少変更し、クロックを調整すれば、図123に図示するように、図121のゲート信号線17bの印加期間が2H期間連続して行うことができる。

20

## 【0859】

図13、図14などでは、動画ボケを解決する駆動方式について説明をした。画像を間欠表示することにより、画像の輪郭ぼけがなくなり良好な表示状態を実現できという方法である。つまり、CRTに近い表示状態を実現することにより、良好な動画表示を実現するものである。

## 【0860】

図118の駆動方式でも、良好な動画表示を実現できる。ただし、図13では表示領域53が連続し、非表示領域52も連続しているのに対し、図118では、表示領域53が連続しない。4画素行組で1画素行にオン電圧を印加(図118(a))するか、4画素行組で連続した2画素行にオン電圧を印加(図118(b))するかの表示状態となるからである。もちろん、図113、図111に例示した回路構成を変更あるいは改良することにより、クロック(SCK)に対する表示画素行を変更あるいは変化させることができる。たとえば、1画素行飛ばしで表示させることもできる。また、6画素行飛ばしで点灯させることもできる。ただし、Pチャンネルのトランジスタで構成あるいは形成したドライバ回路(シフトレジスタ)では、少なくとも表示画素行53間に非点灯の表示画素行52が配置(挿入)される。

30

## 【0861】

図124に、ゲートドライバ回路12が図113のようにPチャンネルで形成されている場合において、動画表示対応とする駆動方式を示す。以前にも説明したように、動画ボケによる画像表示劣化を防止するためには、間欠表示にする必要がある。つまり、黒挿入(黒あるいは低輝度の表示画面を表示する)をする必要がある。CRTの表示のように駆動(表示)する。つまり、任意の画素行に画像が表示すると、所定の期間の表示後、黒(低輝度)表示にする。この画素行は、点滅(画像表示と非表示(黒表示あるいは低輝度表示))が交互に繰り返される)することになる。黒表示期間は4msec以上にする必要がある。もしくは、1フレーム(1フィールド)の1/4以上の期間を黒表示(低輝度表示)にする。好ましくは、1フレーム(1フィールド)の1/2の期間以上を黒表示(低輝度表示)にする。この条件は、人間の目の残像特性による。つまり、所定周期より速く点滅す

40

50



る画像は、人間の目の残像特性により、連続して点灯しているように見える。これが、動画ボケにつながる。しかし、所定周期より遅く点滅する画像は、視覚的には、連続しているように見えるが、間に挿入された非点灯（黒表示）状態を認識することができるようになり、表示画像が飛び飛びの状態になる（視覚的には変には感じないが）。そのため、動画表示で、画像が飛び飛びになり、画像ぶれが発生しない。つまり、動画ボケがなくなる。

#### 【0862】

図124(a)において、Aの領域は、4画素行に1画素行が表示（点灯状態）状態である。したがって、4水平走査期間（4H）に1回点灯する（4H期間に1H期間の間点灯する）。この期間（画素行が点灯し、非点灯となり、次に点灯するまでの期間）は、4 msec以下である。したがって、人間の目には、画像が完全に連続して表示されているように見える（任意の画素行がたえず、点灯しているのと大差がない）。図124(a)のBの領域では、画素行が表示されてから、次に表示されるまで、4 msec以上、好ましくは8 msec以上となるように黒挿入（低輝度表示）されている。したがって、画像は飛び飛びとなり、良好な動画表示を実現できる。

10

#### 【0863】

なお、以上の説明でAの領域あるいはBの領域として説明したが、以上の事項は説明を容易にするためである。図124において、Aの領域は矢印方向（画面の上から下）に順次走査される。CRTで電子ビームの走査されるごとくである。つまり、画像は順次書き換えられる（図124(a)は図125を参照のこと。図125(a)→(b)→(c)→(a)のように走査（駆動）される。図124(b)は図126を参照のこと。図126(a)→(b)→(c)→(a)のように走査（駆動）される）。

20

#### 【0864】

以上のように、本発明の駆動方式において、任意の画素行は、図124(a)において、1フィールド（1フレーム）の4 msec（好ましくは8 msec）以上の期間は、4Hに1Hの期間表示され、その他の期間（1フィールド（1フレーム）の残りの期間）は、連続して非点灯（黒表示（黒挿入）あるいは低輝度表示）状態が維持される。したがって、説明を容易にするために、A領域あるいはB領域と表現したが、時間的な観点から、A期間あるいはB期間と表現するほうが適切である。つまり、A領域（A期間）は、連続して画像が点灯する期間であり、B領域（B期間）は画素行（画面50）は間欠表示される期間である。以上の事項は図124(b)あるいは他の本発明の実施例においても同様である。

30

#### 【0865】

図124(b)では、2画素行を連続して点灯状態にし、つづく、2画素行を非点灯状態にしている。つまり、A領域（A期間）では、2Hの期間点灯し、2Hの期間非点灯状態となることを繰り返す。B領域（B期間）は所定の期間、連続して非点灯状態が維持される。図124(b)の駆動方式においても、A領域は見かけ上、連続表示状態であり、B領域は見かけ上、間欠表示である。

#### 【0866】

以上のように、本発明の駆動方式は、任意の画素行（画素）に着目して表示状態を観測したとき、4 msec未満の期間（もしくは1フレーム（1フィールド）の1/4未満の期間）で画像表示と非表示（黒表示または所定以下の低輝度表示）が少なくとも1回以上繰り返させる第1の期間と、前記画素行（画素）が表示状態から非表示（黒表示または所定以下の低輝度表示）状態になり、次に表示状態になる期間が、4 msec以上となる第2の期間（もしくは1フレーム（1フィールド）の1/4以上の期間）を実施するものである。以上の駆動を実施することにより、良好な動画表示を実現でき、また、その制御回路（ゲートドライバ回路12など）の構成も容易であり、低コスト化を実現できる。

40

#### 【0867】

図124においても、点灯画素行数を変化させることにより、画面50の明るさを調整（変化）させることができる（図118と同様に、表示画素数53を変化あるいは調整すれ

50

ばよい)。また、黒挿入領域(図124のB領域)の割合を変化させることにより、画像表示状態に応じて最適状態にすることができる。たとえば、静止画では、B領域が長くなることを避けるべきである。フリッカの発生の原因となるからである。静止画の場合は、表示画素行53の分散して表示(画面50内に配置)すべきである。たとえば、QCIFパネルの場合は、画素行数が220本である。このうち、静止画で55画素行を表示するのであれば、 $220 / 44 = 4$ であるから、4画素行ごとに1画素行を表示させればよい。220画素行のうち10画素行を表示するのであれば、 $220 / 10 = 22$ 画素行に1画素行を表示させればよい。なお、図124においてB領域(B期間)は1つとしているが、これに限定するものではなく、2つ以上(複数)に分割あるいは分散させてもよいことはいうまでもない。

10

#### 【0868】

しかし、図124(a)では、4画素行組で1画素行を点灯させるか否かの表示しか実現できない。したがって、22画素行に1画素行を点灯させることはできない。そのため、4画素行組を5回=20画素行に1画素行を表示する(つまり、20画素行に1画素行を表示する。言い換えれば、4画素行組の4つは、まったく画素行を点灯状態とせず、1画素行組の1画素行を点灯状態とする)。残りの20画素行( $220 - 4 \times 5 = 200$ )はすべてを非点灯状態にする。つまり、本発明では、制約(規制あるいは規定)される画素行組を1単位として、この画素行組の組み合わせ(ブロック)内で、このブロック内にいくつの画素行組の画素行を点灯させるか否かの制御を行う。以上の事項は、図124(b)においても適用され、また、本発明の他の実施例においても適用される。

20

#### 【0869】

逆に動画表示の場合は、図124で説明したように、少なくとも4 msec以上の黒挿入を実施する必要がある。また、黒挿入の割合(黒表示の連続時間、表示画面に対する黒表示面積)を変化させることにより、動画表示状態を変化することができる(最適状態に調整できる)。非常に高速な動画表示(画像の動きが激しい場合など)は、黒挿入面積を増大させるとよい。この際、画像を表示する画素数が減少することにより輝度低下は、1画素行の発光輝度を高くすることにより対応する。また、黒表示が連続する期間を長くするとよい。比較的全画面に対する動画表示領域の割合が少ない場合、あるいは比較的動画の動きがゆっくりとしている場合は、黒挿入の割合を減少させるとよい。この場合の点灯画素行53が増加することによる表示輝度の増大は、1画素行あたりの発光輝度を低下させることにより容易に調整できる。この調整はプログラム電流 $I_w$ などで変更できるからである。もしくは、黒挿入期間を複数に分散させるとよい。フリッカが減少し良好な画像表示を実現できる。

30

#### 【0870】

以上のような、動画表示においても黒挿入状態を変更あるいは調整することにより、より最適な画像表示を実現できる。以上の事項は以下の実施例においても適用されることは言うまでもない。

#### 【0871】

入力映像信号の動画検出(ID検出)を行い、動画の場合あるいは動画が多い画像では、図124の駆動方式(黒挿入による間欠表示)を実施する。静止画の場合は、図118の駆動方式(点灯画素行位置が極力分散して配置する)を実施する。もちろん、本発明の表示パネルあるいは表示装置を用いる用途に応じて切り替えてもよい。たとえば、コンピュータモニターのように静止画の場合は図118の駆動方式を採用する。テレビのようにAV用途の場合は、図124の駆動方式を採用する。この駆動方式の切り替えは、ゲートドライバ回路12bのSSTAデータのより、容易に変更することができる。図1などのEL素子15に流れる電流をオンオフさせるTF Tを制御するだけであるからである。図124と図118の切り替え(動画対応かあるいは静止画対応か、もしくは、より動画対応かより静止画対応か)は、ユーザーが操作できる切り替えスイッチなどを状況に応じて実施してもよいし、本発明の表示パネルの製造業者が実施してもよい。また、ホトセンサなどを用いて、周囲環境状態を検出し、自動で切り替えてもよい。また、本発明が受信する

40

50

映像信号に制御信号（切り替え信号）をあらかじめ乗せておき、この制御信号を検出して、表示状態（駆動方式）を切り替えてもよい。

【0872】

図127は図124(a)の駆動方式の場合の、ゲート信号線17bの出力波形である。図1の画素構成では、ゲート信号線17bに印加されるオンオフ信号（V<sub>gh</sub>がオフ電圧、V<sub>gl</sub>がオン電圧）でTFT11dをオンオフ制御し、EL素子15に流れる電流をオンオフさせる。図1において、上段は水平走査期間を示しており、L記号は、画素行数L（QCIFパネルの場合は、L=220本）を示している。なお、図118、図124においても、本発明の駆動方式は、図1の画素構成に限定されるものではない。たとえば他の画素構成（図54など）においても適用できることは言うまでもない。

10

【0873】

図127でわかるように、A期間（A領域）では、4H期間に1H期間の割合で各ゲート信号線17bにオン電圧（V<sub>hl</sub>）が印加される。B期間（B領域）では、連続してオフ電圧（V<sub>gh</sub>）が印加される。したがって、この期間にはEL素子15には電流が流れない。そして、各ゲート信号線17bのオン電圧位置が1画素行ずつ走査されている。

【0874】

なお、以上の実施例では、1画素行ずつ走査されるとしたが、本発明はこれ限定されるものではない。たとえば、インターレース走査では、1画素行飛ばしで走査される。つまり、第1フレームでは偶数画素行が走査される。第2フレームでは奇数画素行が走査される。また、第1フレームを書き換えているときは、第2フレームで書き込まれた画像はそのまま保持される。ただし、点滅動作を実施する（実施しなくともよい）。第2フレームを書き換えているときは、第1フレームで書き込まれた画像はそのまま保持される。もちろん、図124の実施例のように点滅動作を実施してもよい。

20

【0875】

インターレース走査は2フレームで1フィールドがCRTで通常である。しかし、本発明はこれに限定するものではない。たとえば、4フレーム=1フィールドでもよい。この場合は、第1フレームでは、(4N+1)画素行（ただし、Nは以上の整数）の画像が書き換えられる。第2フレームでは、(4N+2)画素行の画像が書き換えられる。次の第3フレームでは、(4N+3)画素行の画像が書き換えられる。また、最後の第4フレームでは、(4N+4)画素行の画像が書き換えられる。以上のように、本発明は、画素行への書き込みは、順次走査のみに限定するものではない。以上の事項は他の実施例においても適用される。また、本発明において、インターレース走査とは広く一般的な飛び越し走査を意味し、2フレーム=1フィールドに限定されるものではない。つまり、複数フレーム=1フィールドである。

30

【0876】

なお、図127、図128においても、図121、図122、図123などの1水平走査期間（1H）あるいは複数の水平走査期間内において、EL素子15に流れる電流を制御すること（オン期間を制御すること）により、表示画面50の明るさを調整する駆動方式を併用できることは言うまでもない。

【0877】

図128は図127と同様に、図124(b)におけるゲート信号線17bの印加波形である。図127との差異は、A期間（A領域、図118(b)）を参照のこと）において、各ゲート信号線17bには、2水平走査期間（2H）の間、オン電圧（V<sub>gl</sub>）が印加され、その後、2Hの期間、オフ電圧（V<sub>gh</sub>）が印加されている。また、このオン電圧とオフ電圧とは交互に繰り返されている。B期間（B領域）では連続してオフ電圧が印加される。各ゲート信号線17bのオン電圧の印加位置は、1Hごとに走査される。

40

【0878】

図127は図124(a)の駆動方式の場合の、ゲート信号線17bの出力波形である。図1の画素構成では、ゲート信号線17bに印加されるオンオフ信号（V<sub>gh</sub>がオフ電圧、V<sub>gl</sub>がオン電圧）でTFT11dをオンオフ制御し、EL素子15に流れる電流をオ

50

ンオフさせる。図 1 において、上段は水平走査期間を示しており、L 記号は、画素行数 L (Q C I F パネルの場合は、 $L = 220$  本) を示している。なお、図 118、図 124 においても、本発明の駆動方式は、図 1 の画素構成に限定されるものではない。たとえば他の画素構成 (図 54 など) においても適用できることは言うまでもない。

#### 【0879】

図 127 でわかるように、A 期間 (A 領域) では、4 H 期間に 1 H 期間の割合で各ゲート信号線 17 b にオン電圧 ( $V_{h1}$ ) が印加される。B 期間 (B 領域) では、連続してオフ電圧 ( $V_{gh}$ ) が印加される。したがって、この期間には EL 素子 15 には電流が流れない。そして、各ゲート信号線 17 b のオン電圧位置が 1 画素行づつ走査されている。

#### 【0880】

なお、以上の実施例では、1 画素行づつ走査されるとしたが、本発明はこれ限定されるものではない。たとえば、インターレース走査では、1 画素行飛ばしで走査される。つまり、第 1 フレームでは偶数画素行が走査される。第 2 フレームでは奇数画素行が走査される。また、第 1 フレームを書き換えているときは、第 2 フレームで書き込まれた画像はそのまま保持される。ただし、点滅動作を実施する (実施しなくともよい)。第 2 フレームを書き換えているときは、第 1 フレームで書き込まれた画像はそのまま保持される。もちろん、図 124 の実施例のように点滅動作を実施してもよい。

#### 【0881】

インターレース走査は 2 フレームで 1 フィールドが CRT で通常である。しかし、本発明はこれに限定するものではない。たとえば、4 フレーム = 1 フィールドでもよい。この場合は、第 1 フレームでは、 $(4N + 1)$  画素行 (ただし、 $N$  は以上の整数) の画像が書き換えられる。第 2 フレームでは、 $(4N + 2)$  画素行の画像が書き換えられる。次の第 3 フレームでは  $(4N + 3)$  画素行の画像が書き換えられる。また、最後の第 4 フレームでは、 $(4N + 4)$  画素行の画像が書き換えられる。以上のように、本発明は、画素行への書き込みは、順次走査のみに限定するものではない。以上の事項は他の実施例においても適用される。また、本発明において、インターレース走査とは広く一般的な飛び越し走査を意味し、2 フレーム = 1 フィールドに限定されるものではない。つまり、複数フレーム = 1 フィールドである。

#### 【0882】

なお、図 127、図 128 においても、図 121、図 122、図 123 などの 1 水平走査期間 (1 H) あるいは複数の水平走査期間内において、EL 素子 15 に流れる電流を制御すること (オン期間を制御すること) により、表示画面 50 の明るさを調整する駆動方式を併用できることは言うまでもない。

#### 【0883】

図 128 は図 127 と同様に、図 124 (b) におけるゲート信号線 17 b の印加波形である。図 127 との差異は、A 期間 (A 領域、図 118 (b) を参照のこと) において、各ゲート信号線 17 b には、2 水平走査期間 (2 H) の間、オン電圧 ( $V_{g1}$ ) が印加され、その後、2 H の期間、オフ電圧 ( $V_{gh}$ ) が印加されている。また、このオン電圧とオフ電圧とは交互に繰り返されている。B 期間 (B 領域) では連続してオフ電圧が印加される。各ゲート信号線 17 b のオン電圧の印加位置は、1 H ごとに走査される。他の事項は、図 127 と同様あるいは類似であるので説明を省略する。

#### 【0884】

なお、以上の実施例では、表示画面 50 内で、A 領域と B 領域とが混在する駆動方式である。つまり、画面表示状態のいずれの期間でも、かならず、A 領域を B 領域がある (もちろん、A 領域がどこにあるかは、異なる)。このことは、1 フィールド (1 フレーム、つまり画面の書き換え周期) 内に、A 期間と B 期間があるということである。しかし、動画表示を良好にするためには、黒挿入 (黒表示あるいは低輝度表示) を行えばよいのであるから、図 124 の駆動方式に限定されるものではない。

#### 【0885】

たとえば、図 129 の駆動方式が例示される。理解を容易にするために、図 129 では、

10

20

30

40

50

4つの表示期間（（a）、（b）、（c）、（d））で構成されているとする。また、4フレーム＝1フィールドとし、図129（a）を第1フレーム、図129（b）を第2フレーム、図129（c）を第3フレーム、図129（d）を第4フレームとする。表示は図129（a）→（b）→（c）→（d）→（a）→（b）→・・・と繰り返される。

#### 【0886】

第1フレームでは、図129（a）に図示するように、偶数番目の画素行を順次選択し、画像を書き換える。第1フレームの書き換えが終わると、図129（b）に図示するように、画面50の上から順次黒表示としていく（図129（b）は黒表示書き込みが終了した状態である）。次の第3フレームでは、図129（c）に図示するように、奇数番目の画素行を、画面50の上から順次、画像を書き込んでいく。つまり、奇数番目の画素行が、画面の上部から順次表示される。次の第4フレームでは、画面50の上部から、画像が非点灯状態（黒表示）にされていく（図129（d）も完全に非点灯状態にした時の状態を示す）。

10

#### 【0887】

なお、図129において、（a）（c）では、画像を書き込むと表現し、かつ画像を表示すると表現したが、本発明は基本的に、画像を表示する（点灯させる）状態に特徴がある。したがって、画像を書き込むこと（プログラムを実施すること）と画像を表示することとは同一である必要はない。つまり、図129（a）（c）では、ゲート信号線17bの制御により、EL素子15に流れる電流を制御し、点灯あるいは非点灯状態にすると考えてよい。したがって、図129（a）の状態と図129（b）の状態との切り替えは、一括で（たとえば、1H期間で）行うことができる。たとえば、イネーブル端子を制御することで実施できる（ゲートドライバ12bのシフトレジスタにオンオフ状態（図129（a）では、偶数画素行に対応するシフトレジスタがオンデータ）を保持しておき、イネーブル端子がオフの時は、図129（b）（d）の状態を表示し、イネーブル端子をオンにすることにより、図129（a）の表示状態になるなど）。したがって、ゲート信号線17bのオンオフ状態で図129（a）（c）の表示を実施できる（あらかじめ、画像データは図1の画素構成で例示すれば、コンデンサ19に保持させておく）。以上の説明では、図129の（a）（b）（c）（d）の状態は、各11フレーム期間の間実施するとした。

20

30

#### 【0888】

しかし、本発明がこの表示状態に限定するものではない。少なくとも動画表示状態を改善あるいは良好なものとするには、図129（b）（d）などの黒挿入状態を4msecの期間、実施すればよいからである。したがって、本発明の実施例において、ゲートドライバ回路12bのシフトレジスタ回路を用いて、ゲート信号線17bを走査し、図129（a）（c）の表示状態を実現することの限定されるものではない。奇数番目のゲート信号線17b（奇数ゲート信号線組と呼ぶ）を一括接続しておき、また、偶数番目のゲート信号線17b（偶数ゲート信号線組と呼ぶ）を一括接続しておき、奇数ゲート信号線組と偶数ゲート信号線組とを交互にオンオフ電圧を印加するようにすればよい。奇数ゲート信号線組にオン電圧を印加し、偶数ゲート信号線組にオフ電圧を印加すれば、図129（c）の表示状態が実現される。偶数ゲート信号線組にオン電圧を印加し、奇数ゲート信号線組にオフ電圧を印加すれば、図129（a）の表示状態が実現される。奇数ゲート信号線組と偶数ゲート信号線組の両方にオフ電圧を印加すれば、図129（b）（d）の表示状態が実現される。図129（a）（b）（c）（d）の各状態は、4msec（特に図129（b）（d）は）以上の期間、実施すればよい。

40

#### 【0889】

以上の図129の駆動方式では、画面表示状態（図129（a）（c））と黒表示状態（黒挿入、図129（b）（d））が交互に繰り返される。したがって、画像表示が間欠表示となり、動画表示性能が向上する（動画ボケが発生しない）。

#### 【0890】

50

図129の実施例では、第1フレームと第3フレームでは、奇数画素行または偶数画素行に画像を表示し、この2つの画面間に黒画面(図129(b)(d))を挿入する駆動方式であった。しかし、本発明はこれに限定するものではなく、図118の表示状態を第1フレームおよび第3フレームに実施し、この2つのフレーム間に黒表示を挿入してもよい。以上の実施例におけるタイミングチャートを図130に示す。図130(a)は第1フレームであり、図130(b)は黒挿入状態の第2フレームである。図130(c)は第3フレームである。なお、第4フレームは図130(b)と同様であるので省略している。ただし、第4フレームは必ずしも必要ではない。3フレーム=1フィールド構成でもよい。第2フレームで黒画面が挿入されるから動画ボケは大幅に改善されるからである。つまり、図130(a)→(b)→(c)→(a)→・・・と繰り返す。

10

**【0891】**

図130(a)は、図118(a)に4水平走査期間(4H)に1Hの期間、画像を表示する(各ゲート信号線17bは4Hごとに1Hの期間、Vg1電圧(オン電圧)が印加される。次の第2フレームでは、すべてのゲート信号線17bはオフ電圧(Vgh)が印加されている。この制御は先の実施例と同様に、イネーブル端子を制御することのより、一括で行うことができる。したがって、図130(b)の状態は、1フレーム期間実施することに限定されるものではない。動画表示を良好なものとするには、4msec以上の期間、維持されればよいからである。ただし、図130(a)が画面の上(上からに限定するものではないが)から順次画像を書き換えるすると、画像が飛んでしまう。図129説明したように、複数のゲート信号線17bを一括接続し、また、イネーブル端子を制御することによれば、容易に実施することができる。

20

**【0892】**

図130は、各画素行は、4H期間に1H期間、点灯するなど、規則正しく、画像表示を実施するものであった。しかし、各画素行は、単位期間(たとえば、1フレーム、1フィールドなど)で、点灯(表示)期間が一致していればよい。つまり、規則正しく、点灯状態と非点灯状態とを実施する必要はない。

**【0893】**

図131は、規則正しくない点灯状態の場合の実施例である。ゲート信号線17b(1)は第1H、第5H、第6H、第9H、第13H、第14H、・・・にオン電圧が印加されている。他の期間にはオフ電圧が印加されている。したがって、周期的にオン電圧が印加されているのではなく(長期間でみれば、周期てきであるが)、ランダム的である。この1フレーム期間(単位期間)に各ゲート信号線17bにオン電圧が印加される期間を加算したものが、他のゲート信号線17bと略一致させておけばよい。このように各画素行の点灯時間(ゲート信号線17bにオン電圧を印加することのより、画素行が点灯(表示)するとしている)が略一致する。なお、図131では、各ゲート信号線17bに印加する信号波形は、1Hづつ走査されたようにしている。このように、基本パターン波形を、各ゲート信号線17bで1H(所定クロックあるいは単位)ですらして走査する(印加することにより、表示画面の輝度を全画面で均一化できる。なお、図131においてもオン電圧(Vg1)の印加期間を調整することにより、画面の明るさを制御(調整)することができることはいうまでもない。

30

40

**【0894】**

以上の実施例では、各フレーム(単位期間)において、ゲート信号線17bには、同一のオンオフ電圧パターンを印加する実施例であった。しかし、本発明は、所定期間で、各画素行(画素)が点灯(表示)もしくは非点灯(非表示)となる期間が略等しくするものである。したがって、2フレーム=1フィールドの駆動方式において、第1フレームと第2フレームとに印加する各ゲート信号線17bの信号波形が異なってもよい。たとえば、任意の画素行が第1フレームで10Hの期間の間、オン電圧が印加され、第2フレームで20Hの期間の間、オン電圧が印加されるように駆動してもよい(2フレームという単位期間で、10H+20Hの期間の間、オン電圧が印加される)。他の画素行も、30Hの期間、オン電圧が印加されるようにする。

50

## 【0895】

この実施例を図132に図示する。図132(a) (第1フレームとする) では、各画素行に対応するゲート信号線17bには、4水平走査期間(4H)周期で1水平走査期間(1H)オン電圧が印加される。図132(b) (第2フレームとする) では、各画素行に対応するゲート信号線17には、4H周期で2Hの期間オン電圧が印加されている。つまり、2フレームでは、(4+4)H周期で(1+2)Hの期間オン電圧が印加されることになる。このように駆動しても、単位期間(図132では2フレーム)では、各ゲート信号線17bにはオン電圧が同一期間印加されることになる。したがって、各画素行は、同一輝度で表示される(白ラスタ表示と仮定した場合)。

## 【0896】

なお、図130では、4H周期で1Hの期間オン電圧を印加するとしたが、これに限定するのではない。たとえば、図133に図示するように、8H周期で1Hの期間オン電圧を印加するとしてもよい。また、各フレームでの各ゲート信号線17bに印加する信号波形は、周期性をもたせることはなく、完全にランダム化してもよい。単位周期(単位期間)でオン電圧を印加する総和期間が、すべてのゲート信号線17bで一致していればよいからである。

## 【0897】

しかし、以上の実施例では、すべてのゲート信号線17bで単位期間において、オン電圧を印加する総和期間を一致させるとしたが、以下の場合には適用されない。1画面50内(つまり、1つの表示パネル)で、複数の輝度が異なる画面50を有する場合である。画面50が、第1の画面50aと第2の画面50bが構成されており、画面50aと50bとの輝度が異なる場合である。2つの画面50の輝度を異ならせるのは、プログラム電流 $I_w$ を調整することのよっても変化することができるが、ゲート信号線17bを走査し、第1の画面50aの各画素行の点灯(表示)期間と第2の画面50bの各画素行の点灯(表示)期間とを異ならせる方式が実現容易である。たとえば、第1の画面50aの各画素行は、4Hに1Hの期間、ゲート信号線17bにオン電圧を印加する。第2の画面50bの各画素行は、8Hに1Hの期間、ゲート信号線17bにオン電圧を印加する。このように、各画面でオン電圧を印加する期間を変化させることにより、画面の明るさを調整でき、また、そのときのガンマカーブも相似にすることができる。

## 【0898】

以上の実施例は、ゲート信号線17bを制御することにより、EL素子15に流れる電流を調整(オンオフさせ)し、表示画面50の輝度を調整する、あるいは、動画表示を良好にするというものであった。図134は、以上の効果などを有する本発明の他の実施例である。

## 【0899】

図134の画素16は、図135のように配置または構成されている。図1の画素構成と異なる点は、蓄積容量19(コンデンサ19)の一方の端子が容量制御線1341に接続されている点である。1本の容量制御線1341は、1画素行に共通である。容量制御線1341は容量制御共通線1343に接続されている。

## 【0900】

図135において、コンデンサ19は一方の端子は容量制御線1341に接続され、他方の端子は、TFT11aのゲート端子に接続されている。今、TFT11aのゲート端子(G)に $V_a$ 電圧が印加されているとする。また、TFT11aのソース端子(S)に、 $V_{dd}$ 電圧が印加されているとする。また、 $V_a < V_{dd}$ とする。容量制御線1341には $V_c$ 電圧が印加されているとする。

## 【0901】

以上の状態で、容量制御線1341の $V_c$ 電圧を+側に変化させると、この変化に伴い、 $V_a$ 電圧も+側にシフトする。TFT11aはPチャンネルトランジスタであるので、TFT11aのゲート端子が、+側( $V_{dd}$ 側)にシフトすると、TFT11aは電流を流さない方向になる。したがって、 $V_c$ 電圧の+側への変化が一定以上に大きいと、TFT

10

20

30

40

50

1 1 a は完全に電流を流さない状態（カットオフ状態）となる。つまり、容量制御線 1 3 4 1 への印加電位を制御することにより、該当画素行を黒表示状態にすることができる。なお、逆に、容量制御線 1 3 4 1 の  $V_c$  電圧を一側に変化させると、T F T 1 1 a のゲート端子（G）の電位も一側にシフトする。そのため、T F T 1 1 a はより電流を流すようになる。以上の事項は、駆動用 T F T 1 1 a が P チャンネルトランジスタで構成されている場合である。駆動用 T F T 1 1 a が N チャンネルの場合は、逆になる。つまり、容量制御線 1 3 4 1 の電位を + 側にシフトすると、N チャンネルの駆動用 T F T 1 1 a はより電流を E L 素子 1 5 に流すようになる。

#### 【0902】

以上の駆動方式を図 1 3 5 に適用することにより、表示画面 5 0 を黒表示にすることができる。つまり、図 1 2 4 など で説明した黒挿入を実現できる。 10

#### 【0903】

図 1 3 4 では、容量制御共通線 1 3 4 3（1 3 4 3 a、1 3 4 3 b、1 3 4 3 c、1 3 4 3 d）が形成あるいは配置されている。（ $4N+1$ ）画素行（ただし、 $N$  は 0 以上の整数）の容量制御線 1 3 4 1 は容量制御共通線 1 3 4 3 a に接続されている。また、（ $4N+2$ ）画素行の容量制御線 1 3 4 1 は容量制御共通線 1 3 4 3 b に接続されている。（ $4N+3$ ）画素行は容量制御共通線 1 3 4 3 c に接続され、（ $4N+4$ ）画素行の容量制御線 1 3 4 1 は容量制御共通線 1 3 4 3 d に接続されている。

#### 【0904】

以上の構成で、容量制御共通線 1 3 4 3 a の印加電圧を、+ 側にシフトすれば、（ $4N+1$ ）画素行が非表示（黒表示または低輝度表示）となる。同様に、容量制御共通線 1 3 4 3 b の印加電圧を、+ 側にシフトすれば、（ $4N+2$ ）画素行が非表示（黒表示または低輝度表示）となる。また、容量制御共通線 1 3 4 3 c の印加電圧を、+ 側にシフトすれば、（ $4N+3$ ）画素行が非表示となり、容量制御共通線 1 3 4 3 d の印加電圧を、+ 側にシフトすれば、（ $4N+4$ ）画素行が非表示となる。 20

#### 【0905】

以上のように容量制御共通線 1 3 4 3 を制御することにより、所定の画素行を黒表示にすることができる。したがって、容量制御共通線 1 3 4 3 の制御タイミング、制御周期を調整することにより、画面輝度の調整を実施することができる。また、容量制御線 1 3 4 1 と容量制御共通線 1 3 4 3 との接続状態、接続本数、容量制御共通線 1 3 4 3 の形成本数を所定状態とすることにより、図 1 2 4 のように、集中した黒挿入部分を設けることができる。したがって、動画表示を良好にすることもできる。 30

#### 【0906】

図 1 3 5（a）では、奇数番目の画素行は容量制御共通線 1 3 4 3 a に接続され、偶数番目の画素行は容量制御共通線 1 3 4 3 b に接続されている。したがって、容量制御共通線 1 3 4 3 a と 1 3 4 3 b とに交互に + 側に電圧を印加することにより、表示画面 5 0 を櫛状に、非表示画素行とすることができる。図 1 3 5（b）では、3 画素行ごとに異なる容量制御共通線 1 3 4 3 に接続されている。したがって、3 画素行周期で、点灯あるいは非点灯制御を行うことができる。

#### 【0907】

容量制御線 1 3 4 1 に印加し、+ 側に変化させる電圧が比較小さい場合は、再び、容量制御線 1 3 4 1 に印加する電圧を、- 側にシフトすることにより、T F T 1 1 a が流す電流は元の電流に戻すことができる（ただし、補償電圧の加算は必要である。）。しかし、+ 側にシフトする電圧が所定値以上大きいと、T F T 1 1 a が流す電流は元に戻すことができない（必要とする補償電圧が大きくなり、元の電流値にすることが困難になる）。 40

#### 【0908】

図 1 3 5 の構成で黒挿入を実施するには、基本的には、コンデンサ 1 9 に保持された画像データの復帰は望まない方がよい（完全にもとの保持電圧に復帰させることが困難だからである）。言い返せば、画像を黒表示にすることはできる。

#### 【0909】

50



たとえば、図136に図示するように、画像書き込み前に、R位置で容量制御線1341に+電圧を印加し黒表示52にする。つまり、容量制御線1341に+電圧を印加し、画面50を黒表示52にする。次に所定期間の経過後に、画像を書き込む（画像書き込み位置は画素書き込み行51）。図136では、画素行がK（図136（a）の場合はK1、図136（b）の場合はK2）離れた位置で書き込みを行っている。K1は画素行数を示している。つまり、R位置の黒書き込みを行ってから、画像を書き込むまでの時間は、画素行数×1水平走査期間となる。したがって、Kが大きいほど、黒書き込み期間は増加（ $K1 < K2$ ）し、画像表示は暗くなる。Kの値が大きくなるほど画面が暗くなり、Kの値が小さいほど画面は明るくなる。このKの値の調整により画像の輝度を調整することができる。また、Kの値が大きいほど、動画ボケの改善効果が高くなる。

10

#### 【0910】

以上の実施例では、1つのソースドライバ回路（IC）14と1つのゲートドライバ回路（IC）12で、1つの画面50に画像を表示するものであった。しかし、本発明はこれに限定するものではない。たとえば、図137の実施例では、画面50は画面50aと画面50bで構成されている。画面50aのソース信号線18aにはソースドライバ回路14aが接続されている。画面50bのソース信号線18bにはソースドライバ回路14bが接続されている。画面50a、画面50bとのゲート信号線（17a、17b）は1つの内蔵ゲートドライバ回路12に接続されている。

#### 【0911】

つまり、図137の実施例では、ゲートドライバ回路（IC）12は、画面50a、50bに共通であり、画面50を2つに分割して2つのソースドライバ回路（14a、14b）で駆動されている。画像の書き込みは、画面50の上から下方向（A方向）に限定するものではない。図137に図示するように、画面50の下から上方向（B方向）に走査してもよい。また、画面50aをA方向に走査し、画面50bをB方向に走査してもよい。図137では画面50の分割は2分割であるが、3分割以上としてもよいことは言うまでもない。また、ソースドライバ回路14aが1つの表示画面50の偶数番目のソース信号線18を駆動し、ソースドライバ回路14bが前記表示画面50の奇数番目のソース信号線18を駆動するように配置または構成してもよい。ゲートドライバ回路12についても同様である。ゲートドライバ回路12を複数個用いて、それぞれの画面（50a、50b）を駆動してもよい。また、ゲートドライバ回路12aが1つの表示画面50の偶数番目のゲート信号線18を駆動し、ゲートドライバ回路12bが前記表示画面50の奇数番目のゲート信号線18を駆動するように配置または構成してもよい。なお、ソース信号線14およびゲート信号線12には、静電気保護のために保護ダイオードを形成することが好ましい。以上の事項は、本発明の他の実施例についても適用できることは言うまでもない。

20

30

#### 【0912】

以上の実施例は、図1の画素構成の類似であったが、本発明はこれに限定するものではない。たとえば、図138のように、カレントミラーの画素構成でもよい。ゲートドライバ回路12は容量制御線1341を用いてコンデンサ19の印加電圧を制御する。他の事項は図135と同様であるので説明を省略する。

40

#### 【0913】

また、画素が図139に図示するように、2つのトランジスタなどで構成された電圧駆動の画素構成にも、図135で説明した画素構成および駆動方式を適用（採用）することができる。

#### 【0914】

図139では、選択トランジスタ11bはNチャンネルトランジスタで構成（形成）されている。したがって、ゲート信号線17に印加された電圧が+電圧（ $V_{gh}$ ）でオンする。一方、ゲートドライバ回路12は容量制御線1341を用いてコンデンサ19の印加電圧を制御する。TFT11bがオンすることにより、ソース信号線18に印加された電圧が、駆動用TFT11aのゲート（G）端子に印加される。なお、ゲート信号線17にV

50

g 1 電圧を印加することにより、T F T 1 1 b はオフする。他の事項は図 1 3 5 と同様であるので説明を省略する。

#### 【0915】

図 1 4 0 は図 1 3 9 の画素構成を多段に接続した構成である。ゲート信号線 1 7 はゲート信号線 1 7 a および容量制御線 1 3 4 1 に接続されている。また、前段のゲート信号線 1 7 に印加した電圧は、次段の画素 1 6 の容量制御線 1 3 4 1 に接続されている。たとえば、図 1 4 0 において、画素 1 6 a のゲート信号線 1 7 a と画素 1 6 b の容量制御線 1 3 4 1 とは共通のゲート信号線 1 7 に接続されている。したがって、ゲート信号線 1 7 に選択電圧 (V g h) を印加することにより、画素 1 6 a の T F T 1 1 b がオンするとともに、画素 1 6 b の容量制御線 1 3 4 1 にも V g h 電圧が印加され、画素 1 6 b の T F T 1 1 a のゲート (G) 端子が V d d 電圧方向に引っ張られ、オフ状態となる。

10

#### 【0916】

以上の動作により、画素 1 6 a は、ソース信号線 1 8 の映像信号が画素 1 6 a のゲート端子に印加される。また、同時に画素 1 6 b はオフ状態 (黒表示または低輝度表示もしくは非点灯状態) となる。したがって、ゲート信号線 1 7 の走査により、次段の画素行がリセット (オフ状態 (黒表示または低輝度表示もしくは非点灯状態)) され、その後、前記次段の画素行に映像データが書き込まれる。

#### 【0917】

以上のように、各画素 1 6 は、リセットしてから画像を書き込むため、書き込み不足がなく、良好な画像表示を実現できる。

20

#### 【0918】

なお、図 1 4 0 の構成では、次段の画素行をリセットするとしたがこれに限定するものではなく、複数画素行離れた画素行をリセットした後、画像を書き込んでもよいことはいうまでもない。また、図 1 4 0 の複数画素行を同時に駆動するという駆動方式は、図 1 3 9 に限定するものではなく、図 1 3 8、図 1 3 5 の画素構成にも適用することができることは言うまでもない。また、図 1 3 9 において、T F T 1 1 b を N チャンネルトランジスタとしたが、P チャンネルトランジスタでもよい。この場合においても、ゲート信号線 1 7 にオン電圧を印加することにより、次段の画素の駆動トランジスタ 1 1 a がオフするように画素を構成すればよい。この変更は当業者であれば容易にできるので説明を省略する。もちろん、次段の画素 1 6 が黒表示にするだけでなく、白表示としてもよい。いわゆるリセット状態を実現できるからである。

30

#### 【0919】

図 4 5、図 4 6、図 4 7、図 5 0、図 5 1 など、主として画素構成を検討した逆バイアス駆動方式について説明した。しかし、電源回路を検討し、ソースドライバ回路 1 4 などと同期をとって制御することにより、画素構成を変更することなく、逆バイアス駆動方式を実現できる。以下、本発明の逆バイアス駆動方式について説明をする。

#### 【0920】

なお、以下に説明する本発明の逆バイアス駆動は、画像を表示していない期間に実施するものである。つまり、本発明の表示パネルの点灯が終了した後、一定の期間、逆バイアス駆動、すなわち E L 素子 1 5 に印加される電圧が、画像を表示している時の電圧と逆方向になるような電圧を画素 1 6 に供給する駆動を実施するものである。もしくは、表示パネルの点灯前に、一定の期間、上記逆バイアス駆動を実施するものである。この動作から、図 4 5 など、で説明した逆バイアス駆動方式とは異なる (図 4 5 など、で説明した逆バイアス駆動は、表示パネルの点灯時に実施できるものであった。もちろん、非表示時に実施してもよいことはいうまでもないが)。

40

#### 【0921】

図 1 4 4 は、本発明の逆バイアス駆動方式を説明する説明図である。電源回路 (I C) 8 2 は、2 つの端子を有し、1 つの端子 A はベースアノード線 9 5 1 に接続され、画素 1 6 のアノード線にアノード電圧 V d d を印加する。一方、他の端子 B はベースカソード線 9 9 1 に接続され、画素 1 6 のカソードに V k 電圧を供給する。

50

## 【0922】

なお、説明を容易にするために、アノード電圧 $V_{dd}$ はカソード電圧 $V_k$ よりも高いとして説明をする。また、画素構成は、図1の構成を例示して説明するが、この画素の構成に限定されるものではない。なぜなら、以下に説明する本発明の逆バイアス駆動方式は、少なくともカソードとアノードのうち一方の端子に印加する電圧を変化させてEL素子15に逆バイアス電圧を印加するものだからである。さらに好ましくは、ソースドライバ回路14より、所定の電圧を画素に書き込み、この電圧と、変化させたEL素子15に印加した電圧により逆バイアス電圧を印加するものである。したがって、画素構成には限定されない。

## 【0923】

さらに理解を容易にするため、一例として、各部の駆動電圧、信号振幅について電圧値などを具体化しておく。まず、ソースドライバ回路14は、 $GND(0(V))$ と $5.5(V)$ の電源電圧により動作し、出力する映像信号は、最大 $5.5(V)$ 、最低 $0.5(V)$ (図71における単位トランジスタ634の動作に $0.5(V)$ 程度必要なため、 $GND+0.5(V)$ が出力最低振幅となる)とする。したがって、ソース信号線18には $5.5(V) \sim 0.5(V)$ 電位の映像信号が出力される。また、ソースドライバ回路14が出力するプリチャージ電圧は、 $5.5(V) \sim 0(V)$ とする。

## 【0924】

一方、画素のアノード電圧 $V_{dd}$ は、ソースドライバ回路14の電源電圧の $5.5(V)$ とする。したがって、画素16の駆動用TFT11aが画像表示に必要なとする最大電流 $I_{max}$ を流した時の、ダイオード接続状態のチャンネル(S-D間)電圧降下は、 $5.0(V)$ 以内にしている。この点は重要なことである。つまり、ソースドライバ回路14が使用する電圧 $V_{ic}$ (この場合は、 $5.5(V) - 0.5(V)$ )とした時、画素16の駆動トランジスタがダイオード接続(TFT11aのG-Dショート状態)し、画像表示に必要なとする最大電流(白表示である)を流した時、そのチャンネル電圧(S-D電圧)の方が、 $V_{ic} - 0.5(V)$ よりも小さくなるように画素設計をするのである。つまり、以上の実施例では、ソースドライバ回路14がソース信号線18に出力する映像信号の電圧は $5.0(V)$ である。この時、ダイオード接続されたTFT11aのS-D電圧は最大でも $5.0(V)$ 以下となるようにする。ダイオード特性は、トランジスタのチャンネル幅(W)とチャンネル長(L)を所定値に設計することにより、自由に可変することができ

## 【0925】

また、カソード電圧 $V_k$ は、 $-8(V)$ とする。ゲート信号線17に印加されるオン電圧 $V_{gl}$ は $-8 + (-2) = -10(V)$ とし、ゲート信号線17に印加されるオフ電圧 $V_{gh}$ は $+5.5 + 1.5 = +7(V)$ とする。ソースドライバ回路14が出力するプリチャージ電圧 $V_p$ は、 $5(V)$ とし、 $V_m$ は $0(V)$ とする。

## 【0926】

図144は、画像表示状態である。電源回路(IC)82からは、画素16のアノードに $V_{dd}$ 電圧が印加され、アノードには $V_k$ 電圧が印加される。ソース信号線18には、表示パネルに表示する映像信号に基づき、ソースドライバ回路14から映像信号が印加される。また、図75で説明したように必要に応じて、プリチャージ電圧 $V_p$ がソース信号線18に印加される。ゲートドライバ回路12は、水平同期信号と同期を取り、ゲート信号線17を順次選択して、選択したゲート信号線17にオン電圧を印加する。

## 【0927】

以上の動作により、映像信号に対応するプログラム電流 $I_w$ が画素16に書き込まれ、このプログラム電流 $I_w$ に対応する電流が駆動TFT11aからEL素子15に印加され、EL素子15が発光する。以上が、画像表示状態の動作である。

## 【0928】

ユーザーが電源スイッチをオフするとコントローラ81(図81、図147を参照のこと)が、電源スイッチのオフを検出し、電源回路82およびソースドライバ回路14などを

10

20

30

40

50

制御して、逆バイアス駆動を開始する。図 1 4 5 は逆バイアス駆動状態の説明図である。

【0929】

逆バイアス駆動時は、まず、EL側のゲートドライバ回路12bを制御し、ゲート信号線17bにオフ電圧 $V_{gh}$ を印加してEL素子15に電流が流れないようにする。次に、ソースドライバ回路14から、プリチャージ電圧 $V_m$ をソース信号線18に出力する。また、選択側のゲートドライバ回路12aを順次あるいは一斉に動作させ、選択TF T 1 1 b、1 1 cを動作させ、 $V_m$ 電圧をTF T 1 1 aのゲート端子に書き込む（と言うよりは、画素電極105に書き込む。画素電極105はEL素子15のアノード側端子である）。なお、EL素子15と画素電極の関係などは図10およびその説明を参照のこと。

【0930】

次に、ゲート信号線17aにオフ電圧を印加し、選択側TF T 1 1 b、TF T 1 1 cをオフ状態にする。なお、ソースドライバ回路14がソース信号線18の電位を $V_m$ 電圧に変動なく固定できる場合は、TF T 1 1 b、TF T 1 1 cはオン状態のままでもよい。

【0931】

また、次にあるいは先の動作と同時に、電源回路85を制御してベースカソード線991に $V_2 = V_{dd}$ 電圧を印加し、ベースアノード線951には、 $V_1 = V_m - 2$  (V) の電圧を印加する。 $V_1$ 電圧を $V_m - 2$  (V) とするのは、TF T 1 1 aを完全にオフ状態にし、電流を流さないようにするためである。したがって、 $V_1$ 電圧は、 $V_m$ 電圧との関係で、TF T 1 1 aがリーク状態以下の電流値に設定できる電圧であればいずれでもよい。

【0932】

以上の状態で、EL側のゲートドライバ回路12aを動作させ、TF T 1 1 dをオンさせる。TF T 1 1 dのオンにより、 $V_m$ 電圧がEL素子15のアノード側に印加され（画素電極105に印加される）、 $V_2$ 電圧がEL素子15のカソード側（反射電極）に印加される。したがって、EL素子15に逆バイアス電圧が印加される。

【0933】

なお、TF T 1 1 dは、画素電極105に $V_m$ 電圧を印加後、オンさせるとしたが、これに限定するものではない。TF T 1 1 dをオンした状態で $V_m$ 電圧を印加してもよい。ただし、TF T 1 1 d、TF T 1 1 cがオン状態で、カソード端子に $V_2$ 電圧が印加されると、ソース信号線18の電位が低下し、ソースドライバ回路14が破壊する場合があるのでTF T のオンオフタイミング、電源回路82の制御タイミングを考慮する（検討する）必要がある。

【0934】

また、 $V_2$ 電圧は $V_{dd}$ 電圧であるとしたが、これに限定するものではない。 $V_{dd}$ 電圧は電源回路82が発生している電圧であるから、利用することにより電源回路82の回路規模を小さくできる効果がある。しかし、EL素子15のカソードに印加する電圧が高いほど、逆バイアスの効果が高く、劣化によるEL素子15の端子電圧上昇が小さくなることが多い。したがって、他の電圧（ $V_{dd}$ 電圧以上、 $V_{dd}$ 電圧以下の場合もあるであろう）であってもよい。つまり、逆バイアス電圧の印加による効果は、実験により決定する必要がある。ここでは、説明を容易にするため、 $V_2 = V_{dd}$ として説明をする。また、 $V_m$ 電圧は、図92の回路構成などを使用することより、 $V_m = 0$  (V) 以下（たとえば、 $-5$  (V) など）とすることも可能である。

【0935】

また、EL素子15に印加する逆バイアス電圧 $V_s$  ( $V_s = (V_2 - V_m)$  の絶対値) は、EL素子15が高分子EL材料で構成されている場合は、3 (V) 以上必要であり、好ましくは、5 (V) 以上必要である。なお、最大値の $V_s$ は15 (V) 以下にする必要がある（逆バイアス電圧が所定値以上に高いと、逆バイアス電圧の印加により、EL素子15のアノード電極とカソード電極間にショートなどが発生する）。EL素子15が低分子EL材料で構成されている場合は、 $V_s$ 電圧は5 (V) 以上必要であり、好ましくは、10 (V) 以上必要である。なお、最大値の $V_s$ は20 (V) 以下にする必要がある（逆バイアス電圧が所定値以上に高いと、逆バイアス電圧の印加により、EL素子15のアノード

10

20

30

40

50

ド電極とカソード電極間にショートなどが発生する)。

【0936】

図148は図145(後に説明する他の実施例の場合も同様である)の逆バイアス駆動方式の効果を図示したものである。図148において、縦軸は変化電圧比率を示している。変化電圧比率とは、逆バイアス電圧を印加した場合と、印加しない場合の電圧変化の割合である。たとえば、1( $\mu$ A)の定電流をEL素子15に流した時の初期の端子電圧を10(V)とし、本発明の逆バイアス電圧駆動を実施しなかった場合の、1( $\mu$ A)の停電竜時のEL素子15の端子電圧が13(V)になったとすれば、変化電圧比率は13(V)/10(V)=1.3である。

【0937】

図47でも説明したが、逆バイアス電圧駆動を実施すると、劣化によるEL素子15の端子電圧上昇は小さくなる。たとえば、1( $\mu$ A)の定電流をEL素子15に流した時の初期の端子電圧を10(V)とし、本発明の逆バイアス電圧駆動を実施すると、1( $\mu$ A)の停電竜時のEL素子15の端子電圧が11(V)以下となり、大幅な改善効果がみられる。この場合は、変化電圧比率は11(V)/10(V)=1.1である。

【0938】

横軸は、表示パネルを使用した後に、印加する逆バイアス電圧の印加時間をしめしている。なお、逆バイアス電圧 $V_s$ は、EL素子15が高分子EL材料で構成されている場合は、3(V)以上必要であり、好ましくは、5(V)以上必要である。なお、最大値の $V_s$ は15(V)以下にする必要がある。EL素子15が低分子EL材料で構成されている場合は、 $V_s$ 電圧は5(V)以上必要であり、好ましくは、10(V)以上必要である。なお、最大値の $V_s$ は20(V)以下にする必要がある。なお、図148の実線は、EL素子15が低分子材料の場合を示しており、点線は、EL素子15が高分子材料の場合を示している。また、図148は、G色を200(nt)で表示させ、10分間連続点灯を行い、その後、EL素子15に逆バイアス電圧を印加し、点灯した時間の累計が2000時間となったときの電圧変化比率を示している。ただし、R、Bでも傾向は同一あるいは類似である。

【0939】

図148で、わかるように、逆バイアス電圧を印加しない場合は、EL素子15の端子電圧は、30%も高くなる。しかし、本発明の逆バイアス電圧駆動を実施することのより変化電圧比率は低下する。EL表示素子の連続点灯後、2秒間の逆バイアス電圧を印加すると、変化電圧比率は5%(1.05)程度の変化となる。したがって、逆バイアス電圧は2秒(sec)以上印加することが好ましい。特に、EL表示素子の連続点灯後、5秒間の逆バイアス電圧を印加すると、変化電圧比率は2%(1.02)程度の変化となる。したがって、さらに好ましくは、逆バイアス電圧は5秒(sec)以上の時間印加することが好ましい。逆バイアス電圧を印加する最大期間はシステムの使用上の制約となる。長時間の逆バイアス電圧を印加すると、逆バイアス電圧を印加している期間は、コントローラ81なども動作させる必要がある。そのため、システム(表示装置)の消費電力が大きくなる。したがって、逆バイアス電圧を印加する期間は最大でも60秒(60sec)以内にすることが必要である。

【0940】

なお、図148は表示パネルを使用後に、本発明の逆バイアス電圧駆動を実施した例であるが、表示パネルの使用前に、本発明の逆バイアス電圧駆動を実施後、表示パネルを使用した場合でも、図148の特性は同一である。また、図148は表示パネルを10分間使用した後に、本発明の逆バイアス電圧駆動を実施した例である。この表示パネルの使用時間による逆バイアス電圧駆動の効果に差はない。つまり、表示パネルの使用時間が3分間の連続使用であっても、60分間の連続使用であっても、逆バイアス電圧を2秒以上印加することにより、EL素子15の端子電圧の上昇を抑制できる。これは、EL素子15にチャージされた電荷は、使用期間に関わらず、一定以上の電圧印加により放電できるためと考えられる。

10

20

30

40

50

## 【0941】

このため、本実施の形態では、充電期間等のパネル非点灯時間に逆バイアス駆動をすることにより、EL素子15の端子電圧の上昇を抑制し、EL素子の劣化を防ぐ駆動方法を提案する。図148に示すように逆バイアス電圧は5sec以上印加することが好ましい。しかし、逆バイアス電圧印加時はEL素子15は非点灯状態となり、画像を表示することは出来ない。そこでパネルを点灯させる必要のない期間に逆バイアス駆動を5sec以上行うことでEL素子15の端子電圧の上昇を防ぐ。また、逆バイアス電圧印加時は逆バイアス駆動を行うためにコントローラ81なども動作させる必要があり、表示装置の消費電力は大きくなる。そのため、充電期間に逆バイアス駆動を行うことが好ましい。

## 【0942】

ここでユーザーが図165に示すように本発明等のパネル搭載のモジュール1651を充電することが出来る電力を供給することが出来るモジュール1652に接続した場合を考える。図のモジュールは携帯情報機器を示しているが本発明はこれに限るものではない。

## 【0943】

充電期間に逆バイアス駆動をするフローチャートを図164に示す。1641は本発明のパネル記載のモジュールを逆バイアス駆動せずに使用している状況である。この状態ではEL素子15には電荷がチャージされ、放電はされない。その状態でユーザーがモジュールを充電すると充電期間1642の状態になる。充電期間1642ではまず最初にEL素子15にチャージされた電荷を完全に放電させるために逆バイアス駆動期間1643に移行する。この状態ではパネルが表示されないため、1643の期間終了後再び通常駆動期間1644に移行する。その後、充電期間1642中の端子間電圧の上昇を防ぐために短期間の逆バイアス期間1645と通常駆動期間1644を繰り返す。ここでは1642の最初に1641の期間にチャージされたEL素子15の電荷を完全に放電すると言う意味の長期の逆バイアス駆動期間1643と充電期間中の端子間電圧の上昇を防ぐための短期の逆バイアス駆動期間1645を別々に設けているが1643と1645は同じ物でも問題はないし、1655の期間を削除し、充電期間1642では充電初期に逆バイアス駆動を行い、その後の期間は逆バイアス駆動を行わないと言う手段でも問題はない。

## 【0944】

充電が終了したり、充電期間1642においてユーザーがモジュールを操作したり、外的要因によりモジュールが起動する場合、通常駆動期間1641に移行する。

## 【0945】

図146は本発明の電源回路82とソースドライバ回路14との接続状態を図示している。ソース信号線18には、プリチャージ回路641aから電圧(Vp、Vm)を印加する。通常の表示時は、アナログスイッチ731b2でVp電圧をソース信号線18に印加する。逆バイアス電圧駆動時は、電源回路82と同期(同期はコントローラ81で制御する)して、ソース信号線18にVm電圧を印加する。Vm電圧を印加する時は、図75に図示するように、電流出力回路704の出力端と接続端子953間に配置または形成されたアナログスイッチ731をオフ(オープン)させる。Vm電圧または、画素16からソース信号線18に出力される電圧から電流出力回路704を保護し、破壊されることを防止するためである。

## 【0946】

ソース信号線18にはソースドライバ回路14からVm電圧を印加するとしたが、Vm電圧の印加はソースドライバ回路14から印加することに限定されない。たとえば、図92で説明したように、アレイ基板内にプリチャージ電圧PVを発生できるように構成し、このPV電圧をVm電圧に変更してソース信号線18に印加してもよい。また、図103に図示するように接続端子971に直接にプローブを接触させ、プローブからVm電圧を印加してもよい。

## 【0947】

図147は本発明の電源回路(IC)82のブロック図である。本発明の電源回路82は2つの昇圧回路1473を具備している。昇圧回路1473には、基準電圧または電池か

10

20

30

40

50

ら供給される直流電圧  $V_d$  が印加されている。この直流電圧  $V_d$  は、スイッチング回路（図示せず）により矩形波（交流）に変換される。この変換された矩形波は単巻きコイルからなるトランス 1472 で規定値（所望値）まで昇圧される。昇圧された矩形波は再び、昇圧回路 1473 内に形成または配置された平滑回路によって、直流電圧に変換される。この直流電圧は、スイッチング回路のスイッチング周期あるいはタイミングにより容易に変換することができる。また、発生する直流電圧の極性は、トランス 1472 のコイルの巻き方向により自由に設定できる。

#### 【0948】

以上のように、2つの昇圧回路により、2つの電圧（ $V_a$ 、 $V_b$  とする）が発生され、この2つの電圧は、切り替え回路 641（641c、641d）のa端子とb端子に印加される。

10

#### 【0949】

切り替え回路 641c はコントローラ 81 の制御により、ベースアノード線 951 に  $V_a$  電圧を出力するか、 $V_b$  電圧を出力するかを制御する。切り替え回路 641d の同様にコントローラ 81 の制御により、ベースカソード線 991 に  $V_a$  電圧を出力するか、 $V_b$  電圧を出力するかを制御する。

#### 【0950】

なお、1471 は出力バッファ回路であり、より  $V_a$  電圧あるいは  $V_b$  電圧を出力電流の大小に関わらず、一定の電圧値に保持する機能を有している。また、スイッチ 731c、731d は図 155 のように、ベースアノード線 951 あるいはベースカソード線 991 10

#### 【0951】

図 149 は本発明の逆バイアス電圧駆動のタイミングチャート図である。表示制御信号が H レベルの時、電源オン（表示パネルに画像を表示している状態）であり、L レベルの時、ユーザーが電源オフ（表示パネルに画像を表示していない状態）である。したがって、表示制御信号が L レベルになるときを、コントローラ 81 が検出して、逆バイアス電圧駆動モードに入る。

#### 【0952】

表示制御信号が L レベルになった（b 点）後、 $t_1$  後（c 点）に、ベースアノード線 951 に印加する電圧（ $V_1$  印加電圧）は、 $V_{H1}$  電圧（ $V_{dd}$  電圧）から、 $V_{L1}$  電圧（ $V_{m-2}$ （V））に変化する（図 145 を参照のこと）。また、ベースカソード線 991 に印加する電圧（ $V_2$  印加電圧）は、 $V_{L2}$  電圧（ $V_k$  電圧）から、 $V_{H2}$  電圧（ $V_{dd}$  電圧）に変化する（図 145 を参照のこと）。このようにして、EL 素子 15 に逆バイアス電圧を印加する準備が整う。 $V_m$  電圧は、一定値である必要はなく、変化させてもよい。

30

#### 【0953】

なお、c 点と b 点の時間（ $t_1$ ）は 1 msec 以上とする必要がある。ゲート信号線 17 の選択状態を変更する期間を確保するためである。さらに、d 点と c 点の時間（ $t_2$ ： $t_2$  は最初のゲート信号線 17a が選択され、画素電極 105 に  $V_m$  電圧を印加するまでの期間。基本的に逆バイアス駆動するために、画素電極 105 に電位設定するまでの時間）は少なくとも 1 msec 以上の期間を確保する必要がある。さらに好ましくは、4 msec 40

#### 【0954】

一方、ゲート信号線 17a は順次走査され、ソース信号線 18 に印加された  $V_m$  電圧を画素電極 105 に印加していく。この際、EL 側の TFT 11d のオンオフと同期をとって、画素電極 105 に  $V_m$  電圧を印加している（書き込んでいる）時には、TFT 11d はオンさせないようにする。なお、TFT 11c、TFT 11b がオンしている期間は、1 ゲート信号線 17a の選択期間（基本的には 1 水平走査期間）であるので、TFT 11d がオフし、EL 素子 15 に逆バイアス電圧が印加されていない期間は、ほとんど無視でき 50

る。

#### 【0955】

以上のように、ゲート信号線17aを順次選択し、 $V_m$ 電圧をEL素子15のアノード側に印加し、カソード側に+電圧を印加することにより、EL素子15に逆バイアス電圧を印加できる。そのため、EL素子15の端子電圧の上昇がなく、EL表示パネルを長寿命化できる。

#### 【0956】

なお、図149の実施例は、逆バイアス電圧を印加するために、各ゲート信号線17aを選択する期間は、通常の画像表示時と同一の1水平走査期間(1H)としたが、これに限定するものではない。たとえば、図150に図示するように、1Hよりも長い期間( $T_1$ )としてもよい。つまり、画像を表示するのではないので、1Hに限定する必要はないのである。 $T_1 > 1H$ とすることにより、逆バイアス電圧印加時の安定度がよくなる。

#### 【0957】

また、図149の実施例では、ゲート信号線17aは走査して選択するとしたが、これに限定するものではない。たとえば、図151に図示するように、すべてのゲート信号線17aにオン電圧を印加して、各画素16のEL素子15のアノードに $V_m$ 電圧を印加してもよい。

#### 【0958】

同様に、図152に図示するように、すべてのゲート信号線17aにオン電圧を印加する期間( $T_2$ )とオフ電圧を印加する期間( $T_3$ )とを交互に繰り返しても良い。また、図153に図示するように、偶数番目のゲート信号線17aに、オン電圧を印加し、その際には、奇数番目のゲート信号線17aにはオフ電圧を印加する状態と、奇数番目のゲート信号線17aに、オン電圧を印加し、その際には、偶数番目のゲート信号線17aにはオフ電圧を印加する状態とを交互に繰り返してもよい。

#### 【0959】

図145はベースアノード線951に $V_1 = V_m - 2(V)$ の電圧を印加するものであった。 $V_1 = V_m - 2(V)$ の電圧を印加するのは、TF T11aをオフ状態とし、画素電極105に電流が流れ込まないようにするためであった。電流を流れないようにするには、図154に図示するように、駆動用TF T11aのソース(S)端子をオープンにしてもよい。ソース端子をオープンにすることによりTF T11aのチャンネル間に流れる電流は発生しない。また、ソース端子をオープンにするには、スイッチ731をオープンにすることにより容易に実現できる(図147を参照のこと)。もしくは、電源回路82とベースアノード線951との接続点をはずせばよい。

#### 【0960】

図154の構成によっても、ソースドライバ回路14からソース信号線18に印加された電圧 $V_m$ を画素電極105に印加することができる(EL素子15のアノード側に $V_m$ 電圧を印加することができる)。また、電源回路82からEL素子15のカソード側に $V_d$ 電圧を印加することができ、EL素子15に逆バイアス電圧を印加できる。

#### 【0961】

以上の実施例は、ゲート信号線17aを順次選択あるいは常時選択もしくは所定周期で選択することにより、EL素子15のアノード側に $V_m$ 電圧を書き込む実施例であった。 $V_m$ 電圧を書き込むことにより、EL素子15のアノード側に電位が正確に確定する。しかし、EL素子15に逆バイアス電圧を印加することを目的とするのであれば、EL素子15のアノード電位が正確である(所定値)である必要はない。たとえば、 $V_m$ 電圧から $\pm 2(V)$ 程度の誤差があってもよい。

#### 【0962】

したがって、図155の実施例のように、ゲート信号線17a、17bのオンオフ状態をタイミング制御せず、ゲート信号線17aにはオフ電圧を印加して、TF T11b、TF T11cをオフ状態に維持し、ゲート信号線17bにはオン電圧を印加して、TF T11dをオン状態に維持してもよい。この状態で、図155に図示するようにベースアノード



線 9 5 1 に  $V_1$  電圧を印加し、ベースカソード線 9 9 1 に  $V_2$  電圧を印加する。この場合は、画素電極 1 0 5 の電位  $V_c$  は、T F T 1 1 a のチャンネル間電圧と、E L 素子 1 5 の端子間電圧により（基本的には、両素子のインピーダンスにより決定される）分圧されたものになる。したがって、 $V_c$  電圧は正確な値とはならないが、少なくとも、 $V_c > V_1$ 、 $V_c < V_2$  の関係となるから、E L 素子 1 5 に逆バイアス電圧が印加される。

#### 【0963】

以上の実施例は、図 1 の画素構成を例示して説明をした。しかし、本発明はこれに限定するものではない。たとえば、図 1 5 6 に図示するように、カレントミラーの画素構成でも、本発明の逆バイアス電圧駆動を実施することができる。また、図 1 5 7 に図示するように、電圧駆動の画素構成によっても、本発明の逆バイアス電圧駆動を実施できることは言うまでもない。図 1 5 6 および図 1 5 7 の画素構成にあっても、逆バイアス電圧駆動方式は、以前に説明した方法あるいは構成と同一または類似であるので説明を省略する。

10

#### 【0964】

なお、以上の本発明の逆バイアス電圧駆動の実施の形態において、画素 1 6 は本発明の E L 画素に相当し、薄膜トランジスタ 1 1 a ~ 1 1 d およびコンデンサ 1 9 は本発明の駆動手段に相当し、E L 素子 1 5 は本発明の E L 素子に相当し、ソースドライバ 1 4、ゲートドライバ 1 2 a および 1 2 b は本発明の電流供給手段に相当し、電源回路 8 2 は本発明のバイアス電圧供給手段に相当する。また、 $V_m$  電圧は本発明の所定の電圧に相当する。

#### 【0965】

以上のように、本発明の逆バイアス電圧駆動により、E L 素子 1 5 の劣化を防止できる。しかし、駆動方式のみでの対策では完全ではない。E L 素子 1 5 が 1 ~ 5 % の輝度低下で、焼きつきが発生するからである。液晶表示パネルの場合の焼きつきは、1 ~ 2 時間の駆動により消滅するが、E L 表示パネルの焼きつきは、E L 素子 1 5 の劣化であるため、一度発生するとなくなる。

20

#### 【0966】

この課題を対策するため、本発明の E L 表示パネル（装置）では、図 1 5 8 に図示するように、横 M 文字、縦 N 文字の表示領域 5 0 に対し、縦横とも 1 文字分の表示領域をもって、1 文字が図 1 5 9 に図示するように、横 D 1 ドット × 縦 D 2 ドットで表現されるとすれば、横 D 1 ドット、縦 D 2 ドット分だけ、本来必要とする表示ドット数よりも多くのドット数を持っている。

30

#### 【0967】

焼きつきは、固定パターンを同一位置に表示するために発生する。したがって、固定パターン（文字あるいは壁紙）を一定の周期あるいは間隔で、移動させれば、焼き付けの発生は少なくなる。移動周期（タイミング、つまり、ある表示場所状態から他の表示場所に移動する時間間隔）は、10 秒以上 120 秒以下にすることが好ましい。10 秒以下だと、ユーザーが画面を注視している期間に画面（文字など）の移動が発生するため、視覚的に許容できない。一方、あまりに長時間、同一位置に表示すると焼き付けが発生する。

#### 【0968】

移動の間隔は、3 ドット以内にすることが好ましい。さらに好ましくは 1 ドット以内にすることが好ましい。4 ドット以上になると、ユーザーが画面を注視している期間に画面（文字など）の移動が発生したときに、大きな変動状態と認識され、視覚的に許容できない。また、電源を切断し、次の電源を投入した時、前回の画像表示位置をフラッシュメモリに記憶させておくとよい。

40

#### 【0969】

図 1 5 9 では図 1 5 9 (a) から 1 5 9 (b) への移動は、縦横とも 1 ドット移動した状態を示している。しかし、移動は図 1 6 0 に図示するように、上下方向または左右方向に少しずつ移動させることが好ましい。図 1 5 9 では、まず、文字の表示位置を下方向に移動させ（図 1 6 0 の左上）、次に 1 ドット左右方向に移動させ、今度は、文字の表示位置を上方向に移動させるという動作を行っている。最後まで移動（図 1 6 0 の右上）すると、矢印の逆順序に移動させる。この動作を繰り返す。

50

## 【0970】

以上のように、表示位置を移動させることにより、EL表示パネルに固定パターンが焼きつくことを大幅に低減できる。

## 【0971】

焼きつくのは、固定パターンである。自然画の動画は、全体として各画素が平均的の同一の期間の間、点灯するので焼き付けの発生はない。したがって、図161に図示するように、EL表示パネル574の表示領域50を自然画の表示領域50aと固定パターンが表示される表示領域50bとを固定するとよい。表示領域50aはビデオカメラの映像あるいはテレビ画像などの自然画を表示する。したがって、表示領域50aは画面全体のEL素子15が平均的に劣化するため、焼きつきは発生しない（輝度は平均的に低下する）。 10

## 【0972】

表示領域50bは、録画中（REC）や録画時間、日付などの固定パターンで表示する。また、表示領域50bは、一定の周期で、ネガ、ポジ反転させて表示する。たとえば、5秒間白バックに黒抜きの文字を表示すると、次の5秒間は黒バックに白表示の文字を表示する。このように交互に表示することにより、表示画面50bも焼きつきが発生せず、画面50b全体の輝度が低下する。

## 【0973】

また、表示領域50bにおける文字位置は図160に説明したように、移動させるとよい。この場合は、図162に図示するように（図158、図159も参照のこと）、固定パターンの表示領域50bを、縦（N+1）×D2ドット、縦（M+1）×D1ドットとするとよい。固定パターンの表示領域50bは表示画面50の上下（図161は画面の下のみ）に形成または配置してもよく、また、画面50の左右に配置または形成してもよい。でも、本発明の画面の明るさ制御駆動を実施する観点などからは、画面の上下の両方または一方に固定パターンの表示領域50bを形成または配置することが好ましい。 20

## 【0974】

なお、表示領域50a、50bの明るさは本発明の駆動方式（図1ではTFT11dをオンオフ制御する）により実現する。つまり、図161の表示装置にあっても、本発明の駆動方式、構成などが適用されることは言うまでもない。

## 【0975】

また、画面50bは白黒反転表示だけでなく、Rのみの反転（R文字表示、R文字の黒抜き表示）などの単色あるいは2色の反転表示を実施してもよい。また、白黒の反転周期（白表示期間+黒表示期間）は、2秒以上60秒以下にすることが好ましい。 30

## 【0976】

また、図163に図示するように、固定パターンの表示領域50bの代わりに、液晶表示パネル574bを配置または形成してもよい。液晶表示パネル574bは焼き付けが発生しないからである。

## 【0977】

以上に説明した本発明の表示パネル、表示装置を用いる、もしくは、本発明の駆動方式を実施する本発明の表示機器についての実施例について説明をする。以下に説明する本発明の表示装置などは、以前に説明した本発明の駆動方式、構成、配置、形態、制御のいずれをも単独であるいは組み合わせて実施あるいは組み込むことができる。 40

## 【0978】

図57は情報端末装置の1例としての携帯電話の平面図である。筐体573にアンテナ571、テンキー572などが取り付けられている。572などが表示色切替キーあるいは電源オンオフ、フレームレート切り替えキーである。

## 【0979】

キー572を1度押さえると表示色は8色モードに、つづいて同一キー572を押さえると表示色は256色モード、さらにキー572を押さえると表示色は4096色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キ 50

ー 5 7 2 は 3 つ (以上) となる。

【 0 9 8 0 】

キー 5 7 2 は プッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、4 0 9 6 色を受話器に音声入力すること、たとえば、「高品位表示」、「2 5 6 色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面 5 0 に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

【 0 9 8 1 】

また、表示色の切り替えは電氣的に切換るスイッチでもよく、表示パネルの表示部 2 1 に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。

10

【 0 9 8 2 】

5 7 2 は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に (連続的に) フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサ C、抵抗 R のうち、抵抗 R を可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1 つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

20

【 0 9 8 3 】

なお、表示色などによりフレームレートを切換るという技術的思想は携帯電話に限定されるものではなく、パームトップコンピュータや、ノートパソコン、デスクトップパソコン、携帯時計など表示画面を有する機器に広く適用することができる。また、液晶表示装置 (液晶表示パネル) に限定されるものではなく、液晶表示パネル、有機 E L 表示パネルや、トランジスタパネル、P L Z T パネルや、C R T にも適用することができる。

【 0 9 8 4 】

図 1 9 で説明した本発明の携帯電話では図示していないが、筐体の裏側に C C D カメラを備えている。C C D カメラで撮影し画像は即時に表示パネルの表示画面 5 0 に表示できる。C C D カメラで撮影したデータは、表示画面 5 0 に表示することができる。C C D カメラの画像データは 2 4 ビット (1 6 7 0 万色)、1 8 ビット (2 6 万色)、1 6 ビット (6 . 5 万色)、1 2 ビット (4 0 9 6 色)、8 ビット (2 5 6 色) をキー 5 7 2 入力で切り替えることができる。

30

【 0 9 8 5 】

表示データが 1 2 ビット以上の時は、誤差拡散処理を行って表示する。つまり、C C D カメラからの画像データが内蔵メモリの容量以上の時は、誤差拡散処理などを実施し、表示色数を内蔵画像メモリの容量以下となるように画像処理を行う。

【 0 9 8 6 】

今、ソースドライバ I C 1 4 には 4 0 9 6 色 (R G B 各 4 ビット) で 1 画面の内蔵 R A M を具備しているとして説明する。モジュール外部から送られてくる画像データが 4 0 9 6 色の場合は、直接ソースドライバ I C 1 4 の内蔵画像 R A M に格納され、この内蔵画像 R A M から画像データを読み出し、表示画面 5 0 に画像を表示する。

40

【 0 9 8 7 】

画像データが 2 6 万色 (G : 6 ビット、R、B : 5 ビットの計 1 6 ビット) の場合は、誤差拡散コントローラの演算メモリにいったん格納され、かつ同時に誤差拡散あるいはディザ処理を行う演算回路で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理などにより 1 6 ビットの画像データは内蔵画像 R A M のビット数である 1 2 ビットに変換されてソースドライバ I C 1 4 に転送される。ソースドライバ I C 1 4 は R G B 各 4 ビット (

50

4096色)の画像データを出力し、表示画面50に画像を表示する。

【0988】

さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

【0989】

図58は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図58において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【0990】

ボデー573の裏面は暗色あるいは黒色にされている。これは、EL表示パネル(表示装置)574から出射した迷光がボデー573の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板( $\lambda/4$ 板など)108、偏光板109などが配置されている。このことは図10、図11でも説明している。

【0991】

接眼リング581には拡大レンズ582が取り付けられている。観察者は接眼リング581をボデー573内での挿入位置を可変して、表示パネル574の表示画像50にピントがあうように調整する。

【0992】

また、必要に応じて表示パネル574の光出射側に正レンズ583を配置すれば、拡大レンズ582に入射する主光線を収束させることができる。そのため、拡大レンズ582のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【0993】

図59はビデオカメラの斜視図である。ビデオカメラは撮影(撮像)レンズ部592とビデオカメラ本体573と具備し、撮影レンズ部592とビューファインダ部573とは背中合わせとなっている。また、ビューファインダ(図58も参照)573には接眼カバーが取り付けられている。観察者(ユーザー)はこの接眼カバー部から表示パネル574の画像50を観察する。

【0994】

一方、本発明のEL表示パネルは表示モニターとしても使用されている。表示部50は支点591で角度を自由に調整できる。表示部50を使用しない時は、格納部593に格納される。

【0995】

スイッチ594は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ594は表示モード切り替えスイッチである。スイッチ594は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ594について説明をする。

【0996】

本発明の駆動方法の1つにN倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法がある。この点灯させる1/MのMの値だけをきりかえることにより、明るさをデジタル的に変更することができる。たとえば、 $N=4$ として、EL素子15には4倍の電流を流す。点灯期間を1/Mとし、 $M=1, 2, 3, 4$ と切り替えれば、1倍から4倍までの明るさ切り替えが可能となる。なお、 $M=1, 1.5, 2, 3, 4, 5, 6$ などに変更できるように構成してもよい。

【0997】

以上の切り替え動作は、携帯電話の電源をオンしたときに、表示画面50を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けるとEL素子15は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構

10

20

30

40

50

成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンと押すことにより表示輝度を高くできるような構成しておく。

#### 【0998】

したがって、ユーザーがボタン594で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。

#### 【0999】

なお、表示画面50はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して70%の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、50%輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したN倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

10

#### 【1000】

具体的には、画面の上部と下部ではMの値と大きくし、中央部でMの値を小さくする。これは、ゲートドライバ12のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角0.9）を50%にした時、100%輝度の場合に比較して約20%の低消費電力化が可能である。周辺輝度（画角0.9）を70%にした時、100%輝度の場合に比較して約15%の低消費電力化が可能である。

20

#### 【1001】

なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。この切り替えはホトセンサにより自動的に行っても良いし、ユーザーのスイッチ操作により切り替えてもよい。

30

#### 【1002】

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

#### 【1003】

また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が60Hzの交流で点灯しているとき、EL表示素子15がフレームレート60Hzで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、N倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）において、NまたはMの値を変更できるように構成している。

40

#### 【1004】

以上の機能をスイッチ594で実現できるようにする。スイッチ594は表示画面50のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

#### 【1005】

なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザ

50

一がすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

【1006】

本実施の形態のEL表示装置などはビデオカメラだけでなく、図60に示すような電子カメラにも適用することができる。表示装置はカメラ本体601に付属されたモニター50として用いる。カメラ本体601にはシャッター603の他、スイッチ594が取り付けられている。

【1007】

本発明のビデオカメラなどは、タッチパネルを搭載し、指やペンでWebブラウジングやEメールなどを操作できるインターネット端末機能を有している。また、ハードディスク装置の代わりに256Mバイト以上のコンパクト・フラッシュ・カード（誤り訂正機能付き）を搭載することが好ましい。ウィンドウズ（登録商標）OSの基本機能部分だけを採用することで低容量化を図る。HDDがないため、ディスク・クラッシュなどの心配がなく堅牢性を確保できる。PCカード・スロットを2つ装備させる。モデムや、ISDN、PIAFS、LAN、無線LANなどを利用できるように構成することが好ましい。無線LAN用のアンテナ内蔵させる。USB/RS232Cインターフェースにより、バーコード・リーダなどの業務用周辺機器も接続できるようにしている。キーボードがない省スペース設計に加え、水濡れやホコリに耐える（JIS防滴2級に準拠）ように構成する。タッチパネルや、アプリケーションを簡単に起動できる「ワンタッチ・キー」の採用、手書きEメール機能（手書きメモ機能を含む）の搭載など、BtoBtoCでの一般ユーザーの利用を想定して操作性の向上を図っている。以上の機能などは本発明の他の表示装置、情報端末なども搭載する。

【1008】

以上は表示パネルの表示領域が比較的小型の場合であるが、30インチ以上と大型となると表示画面50がたわみやすい。その対策のため、本発明では図61に示すように表示パネルに外枠611をつけ、外枠611をつり上げられるように固定部材614で取り付けられている。この固定部材614を用いて、壁などに取り付ける。

【1009】

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部613を配置し、複数の脚612で表示パネルの重量を保持できるようにしている。

【1010】

脚612はAに示すように左右に移動でき、また、脚612はBに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【1011】

なお、脚612あるいは筐体（他の本発明においても）にはプラスチックフィルム—金属板複合材（以後、複合材と呼ぶ）を使用する。複合材は、金属とプラスチックフィルムを特殊表面処理層（接着層）を介して強力に接着したものである。金属板は0.2mm以上0.8mm以下が好ましく、金属板に特殊表面処理層を介してはりあわされるプラスチックフィルムは15μm以上100μm以下にすることが好ましい。特殊接着法によりプラスチックと金属板間に強固な密着力を有するようになる。この複合材を使用することにより、プラスチック層への着色、染色、印刷が可能となり、また、プレス部品での二次加工工程（フィルムの手貼り、メッキ塗装）の削除が可能となる。また、従来では不可能であった深絞り成形やDI成形に適する。

【1012】

図61のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが1つの目的である。保護フィルムの表面にはAIRコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

## 【1013】

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

## 【1014】

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

10

## 【1015】

保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、PVAフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ABSなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などを行うことも有効である。

## 【1016】

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

20

## 【1017】

画面は4:3に限定されるものではなく、ワイド表示ディスプレイでもよい。解像度は1280×768ドット以上にするのが好ましい。ワイド型をすることにより、DVD映画やテレビ放送など、横長表示のタイトルや番組をフルスクリーンで楽しむことができる。表示パネルの明るさは300cd/m<sup>2</sup>（カンデラ/平方メートル）にするのが好ましい。さらに好ましくは、表示パネルの明るさは500cd/m<sup>2</sup>（カンデラ/平方メートル）にするのが好ましい。また、インターネットや通常のパソコン作業に適した明るさ（200cd/m<sup>2</sup>）で表示できるように切り替えスイッチを設置している。

30

## 【1018】

したがって、使用者は表示内容あるいは使用方法により、最適に画面の明るさにすることができる。さらに動画を表示しているウインドウだけを500cd/m<sup>2</sup>にして、その他の部分は200cd/m<sup>2</sup>にする設定も用意している。テレビ番組をディスプレイの隅に表示しておいて、メールをチェックするといった使い方にも柔軟に対応する。スピーカーはタワー型の形状になり、前方向だけではなく、空間全体に音が広がるように設計されている。

## 【1019】

テレビ番組の再生、録画機能も使い勝手が向上させている。iモードからの録画予約が簡単にできるようにしている。従来は新聞などのテレビ番組表で時間、チャンネルを確認してから予約する必要があったが、電子番組表をiモードで確認して予約できる。これなら、放送時間が分からなくて困ることもない。また、録画番組の短縮再生もできるようにしている。ニュース番組などのテロップや音声の有無で重要性を判断しながら、不必要と判断した部分を飛ばして、番組の概要を短時間で見ることができる（30分番組で1～10分程度）。

40

## 【1020】

テレビ録画ができるようにディスク容量が40GB以上のハードディスクを積載している。本体のほかに電源と映像用入出力端子をまとめた拡張ボックスで構成している。ビデオなどのAV機器の接続に使う拡張ボックスには、パソコンとテレビのほかに2系統の映像機器を接続できる。映像入力にはBSデジタルチューナー用のD1端子のほかにS端子入

50

力も備え、接続する機器に合わせて選択できる。ゲーム機などの接続に便利のように A V 用の端子は前面に配置されている。

【1021】

また、表示画面を前屈 30 度以上、後屈 120 度以上とすることにより、90 度 / 180 / 270 度に回転できるように構成することにより、操作環境にあわせた自在な設置が可能となる。たとえば、90 度回転させてブラウザー画面を縦長に表示することができる。また、145 度後屈させることによって対面に座った人へ向かって画面を表示できる。

【1022】

以上の保護フィルム、筐体、構成、特性、機能などに関する事項は本発明の他の表示装置あるいは情報表示装置などにも適用されることは言うまでもない。

10

【1023】

以上の実施例では、EL 素子 15 は R、G、B であるとしたが、これに限定するものではない。たとえば、シアン、イエロー、マゼンダでもよいし、任意の 2 色でもよい。R、G、B、シアン、イエロー、マゼンダの 6 色あるいは任意の 4 色以上であってもよい。また、白単色であってもよいし、白単色光をカラーフィルターで RGB にしたのもでもよい。また、有機 EL 素子に限定するものではなく、無機 EL 素子であってもよい。

【1024】

なお、本発明の実施例では、アクティブマトリックス型表示パネルを例示して説明したがこれに限定するものではない。ソースドライバ IC 14 などからは所定電流の N 倍電流をソース信号線 18 に印加（から吸収）する。また、複数の画素行を同時に選択する。そして、所定の期間の間だけ、EL 素子に電流を流し、他の期間は電流を流さない、という概念は、単純マトリックス型表示パネルにも適用できるものである。

20

【1025】

また、EL 素子 15 は点灯初期に特性変化が大きい。そのため、焼きツキなどが発生しやすい。この対策のため、パネル形成後、20 時間以上 150 時間以内の間、白ラスタ表示でエージングを行った後に、商品として出荷することが好ましい。このエージングでは所定表示輝度よりも 2 - 10 倍程度の明るさで表示させることが好ましい。

【1026】

本発明の実施例における表示パネルは、3 辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に 3 辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明の N 倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタなどは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

30

【1027】

なお、本発明の N 倍パルス駆動（図 13、図 16、図 19、図 20、図 22、図 24、図 30 など）などは、低温ポリシリコン技術でトランジスタ 11 を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ 11 を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ 11 では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図 22、図 24、図 30 の N 倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

40

【1028】

本明細書で説明した画素構成、あるいは駆動方法は、などの画素構成あるいはアレイ構成などは EL 表示パネルにのみ限定されるものではない。たとえば、液晶表示パネルにも適用することができる。その際は、EL 素子 15 を液晶層、PLZT、LED などの光変調層に置き換えればよい。たとえば、液晶の場合は、TN (Twisted Nematic)、IPS (In-Plane Switching)、FLC (Ferroelectric Liquid Crystal)、OCB (Optically Compensated)

50



satory Bend)、STN (Supper Twisted Nematic)、VA (Vertically Aligned)、ECB (Electrically Controlled Birefringence) およびHAN (Hybrid Aligned Nematic) モード、DSMモード (動的散乱モード) などである。特に、DSMは印加する電流により光変調できるので、本発明とはマッチングがよい。

#### 【1029】

本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、PHS、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。

10

#### 【1030】

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。

#### 【1031】

さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、RGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、RGBの信号器、警報表示灯などにも応用できる。

20

#### 【1032】

また、スクヤナの光源としても有機EL表示パネルは有効である。RGBのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

#### 【1033】

また、液晶表示装置のバックライトにも有機EL表示装置は有効である。EL表示装置 (バックライト) のRGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

30

#### 【1034】

##### 【発明の効果】

本発明は、高画質、良低消費電力、低コスト化、高輝度化等に応じて特徴ある効果を発揮する。

40

#### 【1035】

なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

#### 【図面の簡単な説明】

【図1】本発明の表示パネルの画素構成図である。

【図2】本発明の表示パネルの画素構成図である。

【図3】本発明の表示パネルの動作の説明図である。

【図4】本発明の表示パネルの動作の説明図である。

50

- 【図 5】本発明の表示装置の駆動方法の説明図である。
- 【図 6】本発明の表示装置の構成図である。
- 【図 7】本発明の表示パネルの製造方法の説明図である。
- 【図 8】本発明の表示装置の構成図である。
- 【図 9】本発明の表示装置の構成図である。
- 【図 10】本発明の表示パネルの断面図である。
- 【図 11】本発明の表示パネルの断面図である。
- 【図 12】本発明の表示パネルの説明図である。
- 【図 13】本発明の表示装置の駆動方法の説明図である。
- 【図 14】本発明の表示装置の駆動方法の説明図である。 10
- 【図 15】本発明の表示装置の駆動方法の説明図である。
- 【図 16】本発明の表示装置の駆動方法の説明図である。
- 【図 17】本発明の表示装置の駆動方法の説明図である。
- 【図 18】本発明の表示装置の駆動方法の説明図である。
- 【図 19】本発明の表示装置の駆動方法の説明図である。
- 【図 20】本発明の表示装置の駆動方法の説明図である。
- 【図 21】本発明の表示装置の駆動方法の説明図である。
- 【図 22】本発明の表示装置の駆動方法の説明図である。
- 【図 23】本発明の表示装置の駆動方法の説明図である。
- 【図 24】本発明の表示装置の駆動方法の説明図である。 20
- 【図 25】本発明の表示装置の駆動方法の説明図である。
- 【図 26】本発明の表示装置の駆動方法の説明図である。
- 【図 27】本発明の表示装置の駆動方法の説明図である。
- 【図 28】本発明の表示装置の駆動方法の説明図である。
- 【図 29】本発明の表示装置の駆動方法の説明図である。
- 【図 30】本発明の表示装置の駆動方法の説明図である。
- 【図 31】本発明の表示装置の駆動方法の説明図である。
- 【図 32】本発明の表示装置の駆動方法の説明図である。
- 【図 33】本発明の表示装置の駆動方法の説明図である。
- 【図 34】本発明の表示装置の構成図である。 30
- 【図 35】本発明の表示装置の駆動方法の説明図である。
- 【図 36】本発明の表示装置の駆動方法の説明図である。
- 【図 37】本発明の表示装置の構成図である。
- 【図 38】本発明の表示装置の構成図である。
- 【図 39】本発明の表示装置の駆動方法の説明図である。
- 【図 40】本発明の表示装置の構成図である。
- 【図 41】本発明の表示装置の構成図である。
- 【図 42】本発明の表示パネルの画素構成図である。
- 【図 43】本発明の表示パネルの画素構成図である。
- 【図 44】本発明の表示装置の駆動方法の説明図である。 40
- 【図 45】本発明の表示装置の駆動方法の説明図である。
- 【図 46】本発明の表示装置の駆動方法の説明図である。
- 【図 47】本発明の表示パネルの画素構成図である。
- 【図 48】本発明の表示装置の構成図である。
- 【図 49】本発明の表示装置の駆動方法の説明図である。
- 【図 50】本発明の表示パネルの画素構成図である。
- 【図 51】本発明の表示パネルの画素図である。
- 【図 52】本発明の表示装置の駆動方法の説明図である。
- 【図 53】本発明の表示装置の駆動方法の説明図である。
- 【図 54】本発明の表示パネルの画素構成図である。 50

- 【図 5 5】 本発明の表示装置の駆動方法の説明図である。
- 【図 5 6】 本発明の表示装置の駆動方法の説明図である。
- 【図 5 7】 本発明の携帯電話の説明図である。
- 【図 5 8】 本発明のビューファインダの説明図である。
- 【図 5 9】 本発明のビデオカメラの説明図である。
- 【図 6 0】 本発明のデジタルカメラの説明図である。
- 【図 6 1】 本発明のテレビ（モニター）の説明図である。
- 【図 6 2】 従来の表示パネルの画素構成図である。
- 【図 6 3】 本発明のドライバ回路の機能ブロック図である。
- 【図 6 4】 本発明のドライバ回路の説明図である。 10
- 【図 6 5】 本発明のドライバ回路の説明図である
- 【図 6 6】 電圧受け渡し方式の多段式カレントミラー回路の説明図である。
- 【図 6 7】 電流受け渡し方式の多段式カレントミラー回路の説明図である。
- 【図 6 8】 本発明の他の実施例におけるドライバ回路の説明図である。
- 【図 6 9】 本発明の他の実施例におけるドライバ回路の説明図である。
- 【図 7 0】 本発明の他に実施例におけるドライバ回路の説明図である。
- 【図 7 1】 本発明の他の実施例におけるドライバ回路の説明図である。
- 【図 7 2】 従来のドライバ回路の説明図である。
- 【図 7 3】 本発明のドライバ回路の説明図である。
- 【図 7 4】 本発明のドライバ回路の説明図である。 20
- 【図 7 5】 本発明のドライバ回路の説明図である。
- 【図 7 6】 本発明のドライバ回路の説明図である。
- 【図 7 7】 本発明のドライバ回路の制御方法の説明図である。
- 【図 7 8】 本発明のドライバ回路の説明図である。
- 【図 7 9】 本発明のドライバ回路の説明図である。
- 【図 8 0】 本発明のドライバ回路の説明図である。
- 【図 8 1】 本発明のドライバ回路の説明図である。
- 【図 8 2】 本発明のドライバ回路の説明図である。
- 【図 8 3】 本発明のドライバ回路の説明図である。
- 【図 8 4】 本発明のドライバ回路の説明図である。 30
- 【図 8 5】 本発明のドライバ回路の説明図である。
- 【図 8 6】 本発明のドライバ回路の説明図である。
- 【図 8 7】 本発明のドライバ回路の説明図である。
- 【図 8 8】 本発明の駆動方法の説明図である。
- 【図 8 9】 本発明のドライバ回路の説明図である。
- 【図 9 0】 本発明の駆動方法の説明図である。
- 【図 9 1】 本発明の E L 表示装置の構成図である。
- 【図 9 2】 本発明の E L 表示装置の構成図である。
- 【図 9 3】 本発明のドライバ回路の説明図である。
- 【図 9 4】 本発明のドライバ回路の説明図である。 40
- 【図 9 5】 本発明の E L 表示装置の構成図である。
- 【図 9 6】 本発明の E L 表示装置の構成図である。
- 【図 9 7】 本発明の E L 表示装置の構成図である。
- 【図 9 8】 本発明の E L 表示装置の構成図である。
- 【図 9 9】 本発明の E L 表示装置の構成図である。
- 【図 1 0 0】 本発明の E L 表示装置の断面図である。
- 【図 1 0 1】 本発明の E L 表示装置の断面図である。
- 【図 1 0 2】 本発明の E L 表示装置の構成図である。
- 【図 1 0 3】 本発明の E L 表示装置の構成図である。
- 【図 1 0 4】 本発明の E L 表示装置の構成図である。 50

- 【図 1 0 5】 本発明の E L 表示装置の構成図である。
- 【図 1 0 6】 本発明の E L 表示装置の構成図である。
- 【図 1 0 7】 本発明の E L 表示装置の構成図である。
- 【図 1 0 8】 本発明の E L 表示装置の構成図である。
- 【図 1 0 9】 本発明の E L 表示装置の構成図である。
- 【図 1 1 0】 本発明のソースドライバ I C の説明図である。
- 【図 1 1 1】 本発明のゲートドライバ回路のブロック図である。
- 【図 1 1 2】 図 1 1 1 のゲートドライバ回路のタイミングチャート図である。
- 【図 1 1 3】 本発明のゲートドライバ回路の 1 部のブロック図である。
- 【図 1 1 4】 図 1 1 3 のゲートドライバ回路のタイミングチャート図である。 10
- 【図 1 1 5】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 1 6】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 1 7】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 1 8】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 1 9】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 2 0】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 2 1】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 2 2】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 2 3】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 2 4】 本発明の E L 表示装置の駆動方法の説明図である。 20
- 【図 1 2 5】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 2 6】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 2 7】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 2 8】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 2 9】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 3 0】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 3 1】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 3 2】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 3 3】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 3 4】 本発明の E L 表示装置の説明図である。 30
- 【図 1 3 5】 本発明の E L 表示装置の説明図である。
- 【図 1 3 6】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 3 7】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 3 8】 本発明の E L 表示パネルの構成図である。
- 【図 1 3 9】 本発明の E L 表示パネルの構成図である。
- 【図 1 4 0】 本発明の E L 表示パネルの構成図である。
- 【図 1 4 1】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 4 2】 本発明の E L 表示パネルの構成図である。
- 【図 1 4 3】 本発明の E L 表示パネルの構成図である。
- 【図 1 4 4】 本発明の逆バイアス電圧駆動方法の説明図である。 40
- 【図 1 4 5】 本発明の逆バイアス電圧駆動方法の説明図である。
- 【図 1 4 6】 本発明の逆バイアス電圧駆動方法の説明図である。
- 【図 1 4 7】 本発明の電源回路のブロック図である。
- 【図 1 4 8】 本発明の逆バイアス電圧駆動方法の効果の説明図である。
- 【図 1 4 9】 本発明の逆バイアス電圧駆動方法のタイミングチャート図である。
- 【図 1 5 0】 本発明の逆バイアス電圧駆動方法のタイミングチャート図である。
- 【図 1 5 1】 本発明の逆バイアス電圧駆動方法のタイミングチャート図である。
- 【図 1 5 2】 本発明の逆バイアス電圧駆動方法のタイミングチャート図である。
- 【図 1 5 3】 本発明の逆バイアス電圧駆動方法のタイミングチャート図である。
- 【図 1 5 4】 本発明の逆バイアス電圧駆動方法の説明図である。 50

- 【図 1 5 5】本発明の逆バイアス電圧駆動方法の説明図である。  
 【図 1 5 6】本発明の逆バイアス電圧駆動方法の説明図である。  
 【図 1 5 7】本発明の逆バイアス電圧駆動方法の説明図である。  
 【図 1 5 8】本発明の焼き付け防止方法の説明図である。  
 【図 1 5 9】本発明の焼き付け防止方法の説明図である。  
 【図 1 6 0】本発明の焼き付け防止方法の説明図である。  
 【図 1 6 1】本発明の焼き付け防止方法の説明図である。  
 【図 1 6 2】本発明の焼き付け防止方法の説明図である。  
 【図 1 6 3】本発明の焼き付け防止方法の説明図である。  
 【図 1 6 4】本発明のフローチャートである。  
 【図 1 6 5】本発明の充電器との接続図である。

10

## 【符号の説明】

- 1 1 TFT (薄膜トランジスタ)  
 1 2 ゲートドライバ IC (回路)  
 1 4 ソースドライバ IC (回路)  
 1 5 EL (素子) (発光素子)  
 1 6 画素  
 1 7 ゲート信号線  
 1 8 ソース信号線  
 1 9 蓄積容量 (付加コンデンサ、付加容量)  
 5 0 表示画面  
 5 1 書き込み画素 (行)  
 5 2 非表示画素 (非表示領域、非点灯領域)  
 5 3 表示画素 (表示領域、点灯領域)  
 6 1 シフトレジスタ  
 6 2 インバータ  
 6 3 出力バッファ  
 7 1 アレイ基板 (表示パネル)  
 7 2 レーザー照射範囲 (レーザースポット)  
 7 3 位置決めマーカー  
 7 4 ガラス基板 (アレイ基板)  
 8 1 コントロール IC (回路)  
 8 2 電源 IC (回路)  
 8 3 プリント基板  
 8 4 フレキシブル基板  
 8 5 封止フタ  
 8 6 カソード配線  
 8 7 アノード配線 (V d d)  
 8 8 データ信号線  
 8 9 ゲート制御信号線  
 1 0 1 土手 (リブ)  
 1 0 2 層間絶縁膜  
 1 0 4 コンタクト接続部  
 1 0 5 画素電極  
 1 0 6 カソード電極  
 1 0 7 乾燥剤  
 1 0 8 λ/4 板  
 1 0 9 偏光板  
 1 1 1 薄膜封止膜  
 2 8 1 ダミー画素 (行)

20

30

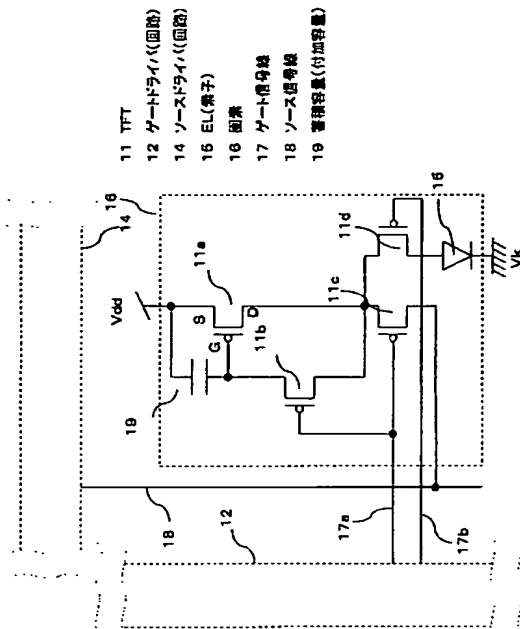
40

50

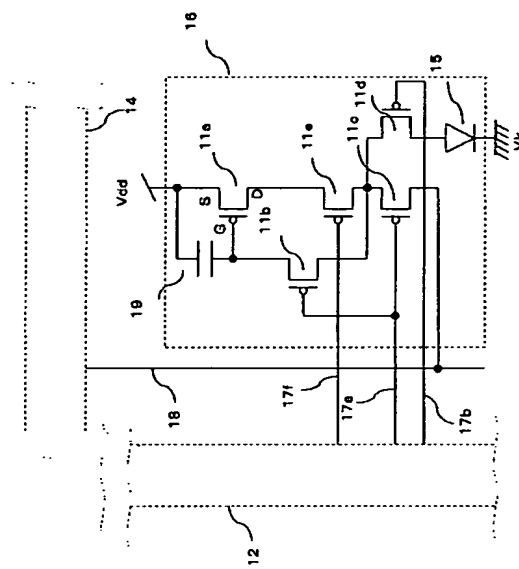
3 4 1	出力段回路	
3 7 1	OR回路	
4 0 1	点灯制御線	
4 7 1	逆バイアス線	
4 7 2	ゲート電位制御線	
5 6 1	電子ポリウム回路	
5 6 2	TFTのSD (ソースドレイン) ショート	
5 7 1	アンテナ	
5 7 2	キー	
5 7 3	筐体	10
5 7 4	表示パネル	
5 8 1	接眼リング	
5 8 2	拡大レンズ	
5 8 3	凸レンズ	
5 9 1	支点 (回転部)	
5 9 2	撮影レンズ	
5 9 3	格納部	
5 9 4	スイッチ	
6 0 1	本体	
6 0 2	撮影部	20
6 0 3	シャッタスイッチ	
6 1 1	取り付け枠	
6 1 2	脚	
6 1 3	取り付け台	
6 1 4	固定部	
6 3 1	電流源	
6 3 2	電流源	
6 3 3	電流源	
6 4 1	スイッチ (オンオフ手段)	
6 3 4	電流源 (1 単位)	30
6 4 3	内部配線	
6 5 1	ポリウム (電流調整手段)	
6 8 1	トランジスタ群	
6 9 1	抵抗 (電流制限手段、所定電圧発生手段)	
6 9 2	デコーダ回路	
6 9 3	レベルシフタ回路	
7 0 1	カウンタ (計数手段)	
7 0 2	NOR	
7 0 3	AND	
7 0 4	電流出力回路	40
7 1 1	嵩上げ回路	
7 2 1	D/A変換器	
7 2 2	オペアンプ	
7 3 1	アナログスイッチ (オンオフ手段)	
7 3 2	インバータ	
7 6 1	出力パッド (出力信号端子)	
7 7 1	基準電流源	
7 7 2	電流制御回路	
7 8 1	温度検出回路	
7 8 2	温度制御回路	50

9 3 1	カスケード電流接続線	
9 3 2	基準電流信号線	
9 4 1 i	電流入力端子	
9 4 1 o	電流出力端子	
9 5 1	ベースアノード線 (アノード電圧線)	
9 5 2	アノード配線	
9 5 3	接続端子	
9 6 1	接続アノード線	
9 6 2	共通アノード線	
9 7 1	コンタクトホール	10
9 9 1	ベースカソード線	
9 9 2	入力信号線	
1 0 0 1	接続樹脂 (導電性樹脂、異方向性導電樹脂)	
1 0 1 1	光吸収膜	
1 0 1 2	樹脂ビーズ	
1 0 1 3	封止樹脂	
1 0 2 1	回路形成部	
1 0 5 1	ゲート電圧線	
1 0 9 1	電源回路 ( I C )	
1 0 9 2	電源 I C 制御信号	20
1 0 9 3	ゲートドライバ回路制御信号	
1 1 1 1	単位ゲート出力回路	
1 3 4 1	容量制御線	
1 3 4 3	容量制御共通線	
1 4 7 1	出力バッファ回路	
1 4 7 2	トランス	
1 4 7 3	昇圧回路	
1 6 5 1	モジュール	
1 6 5 2	充電器	

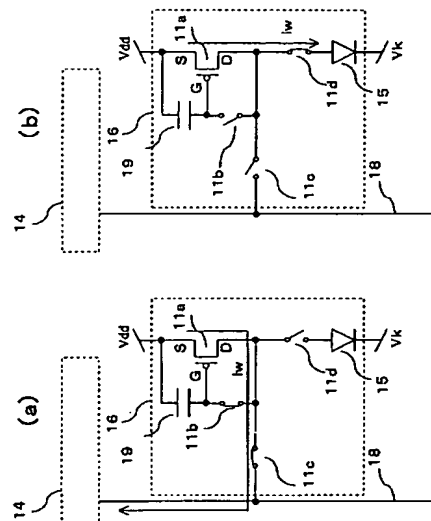
【図 1】



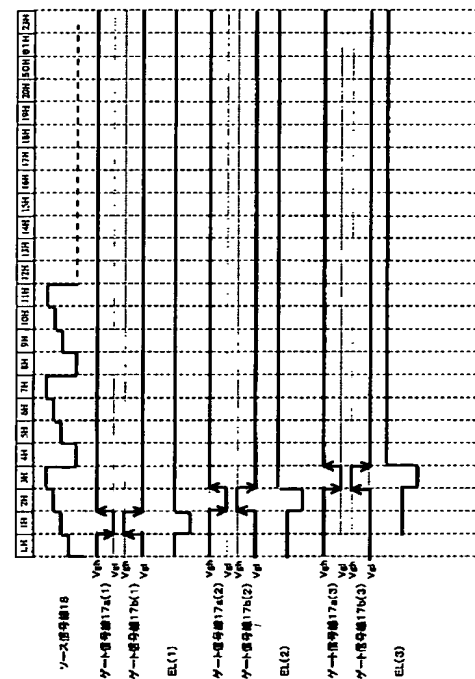
【図 2】



【図 3】

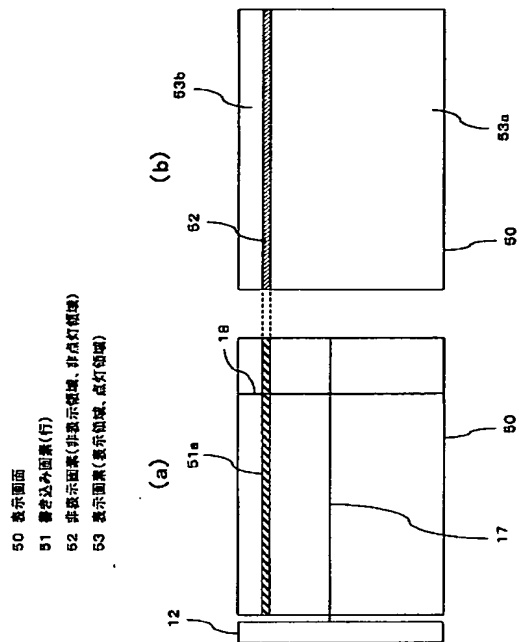


【図 4】

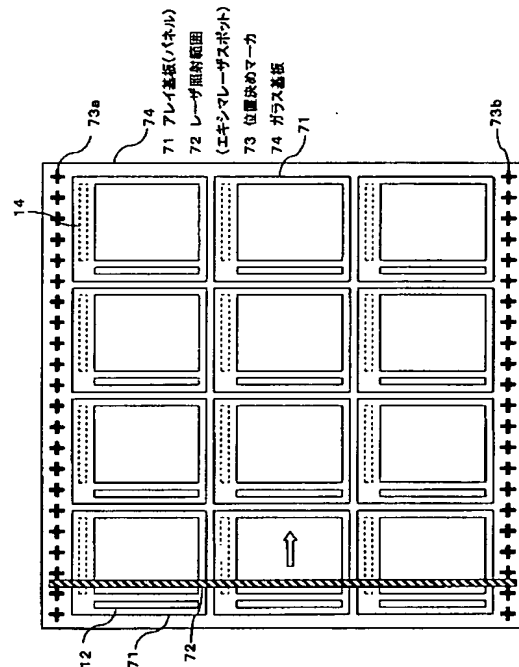




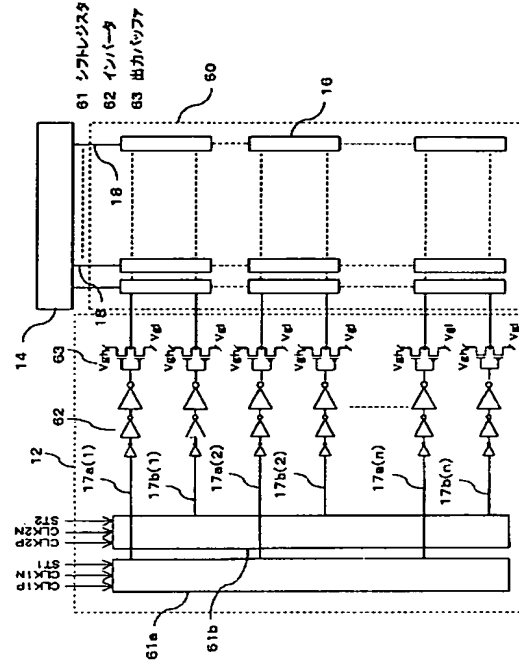
【図 5】



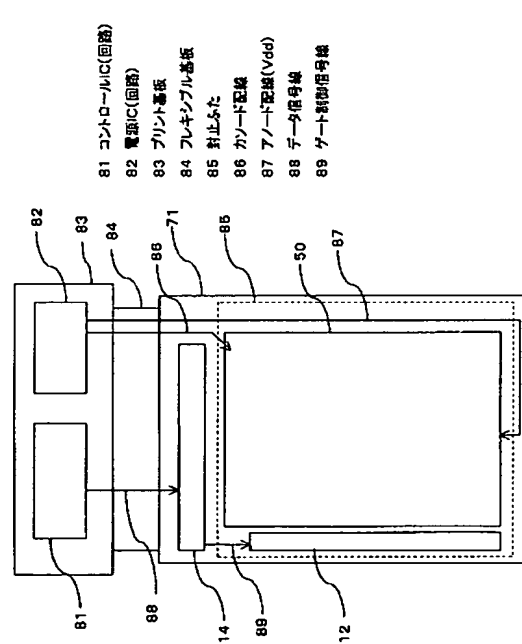
【図 7】



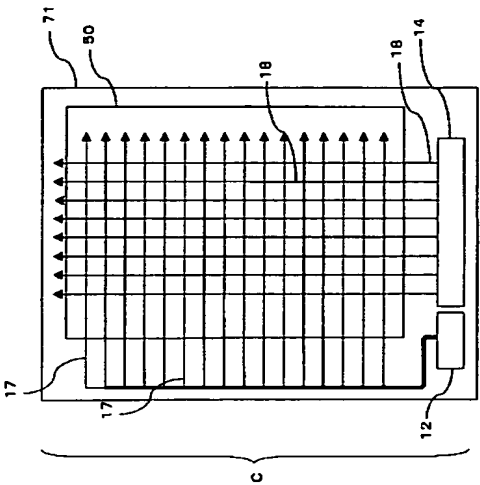
【図 6】



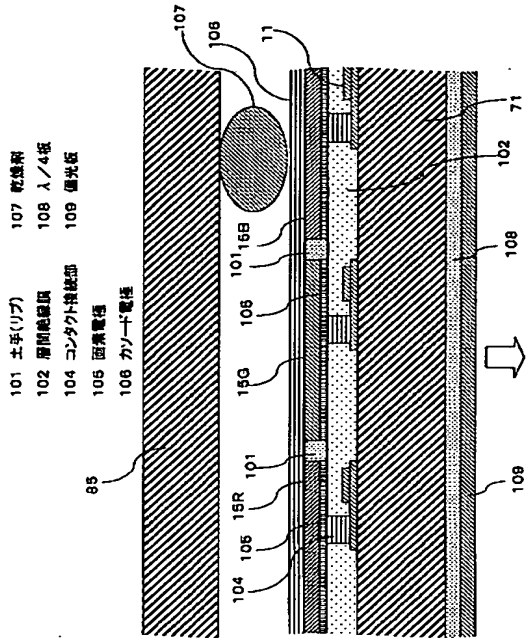
【図 8】



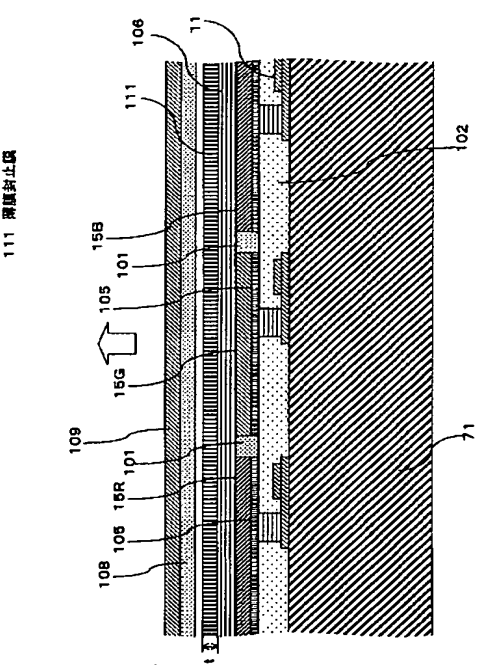
【 図 9 】



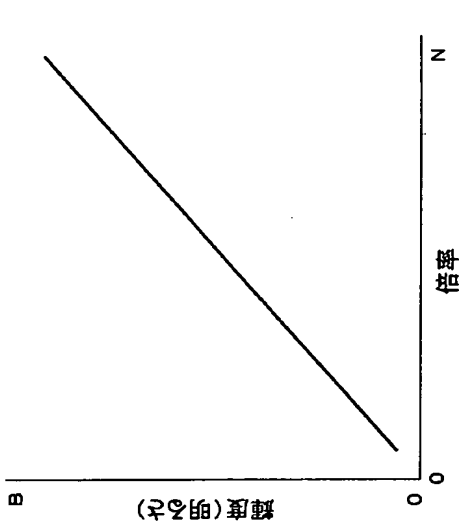
【 図 10 】



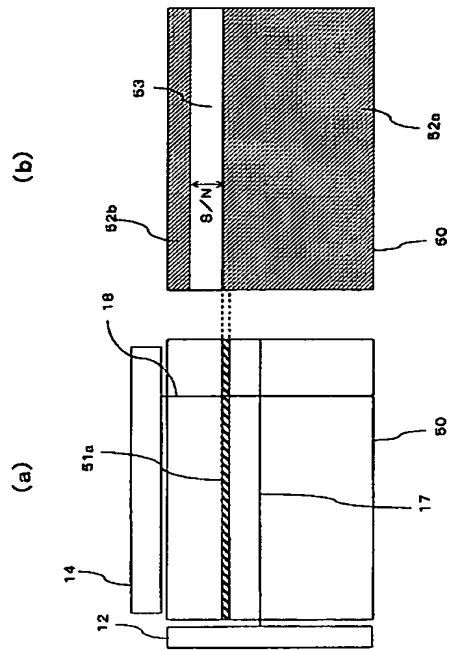
【 図 11 】



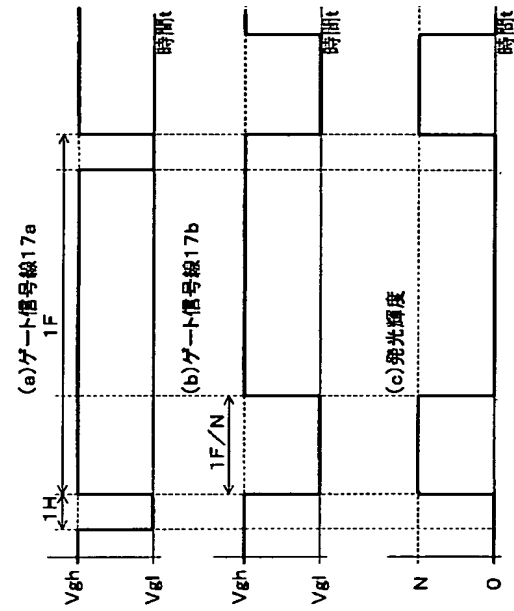
【 図 12 】



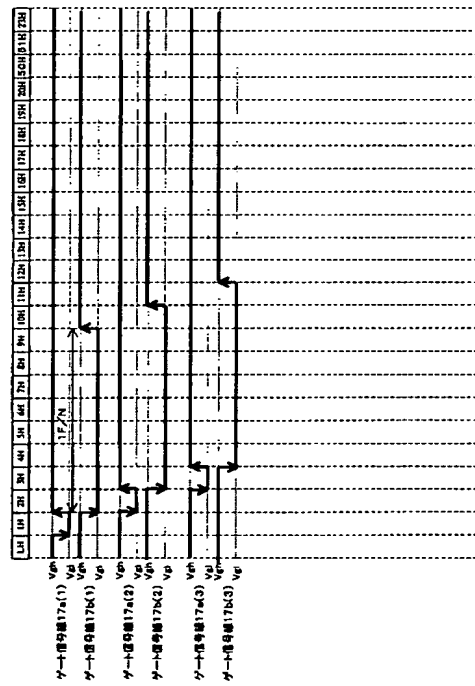
【図 13】



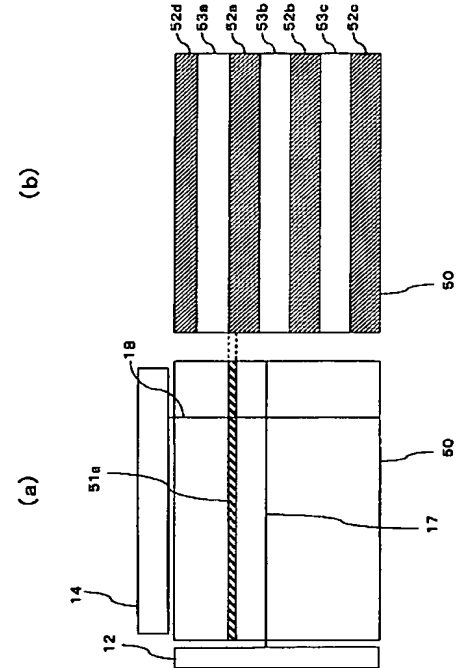
【図 14】



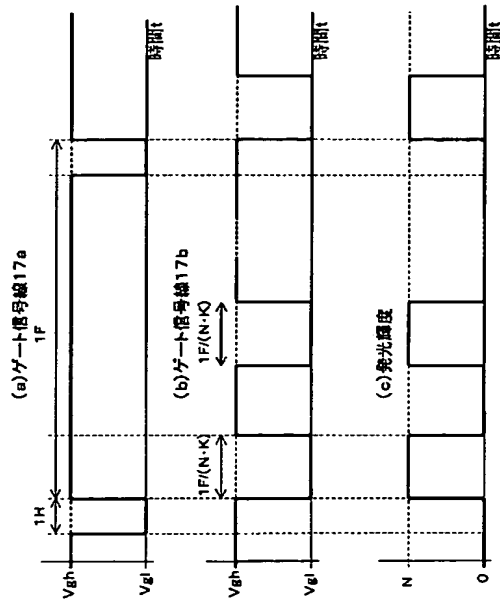
【図 15】



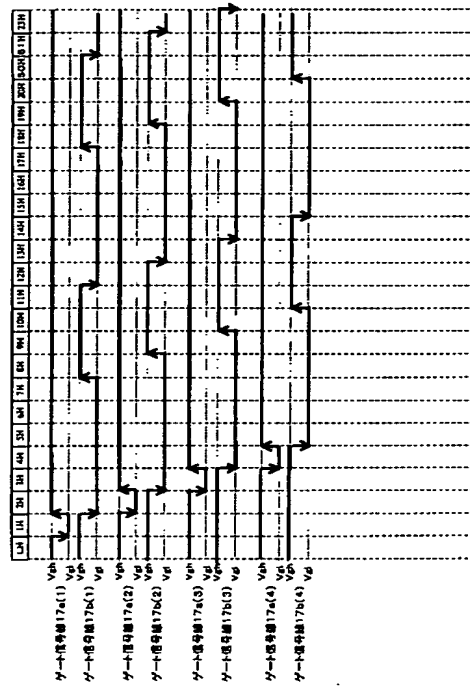
【図 16】



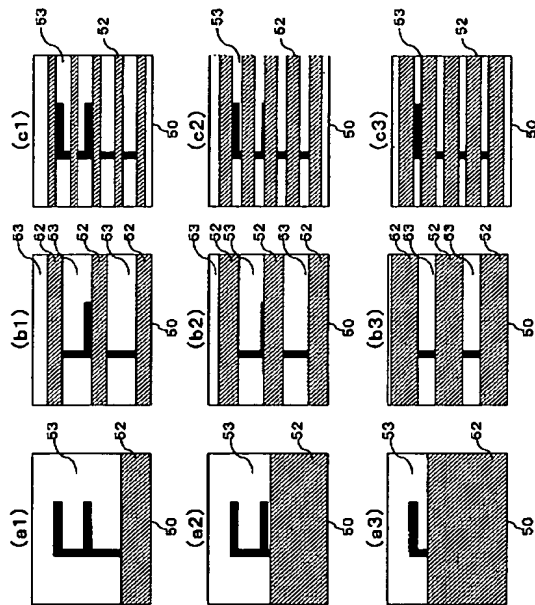
【図 17】



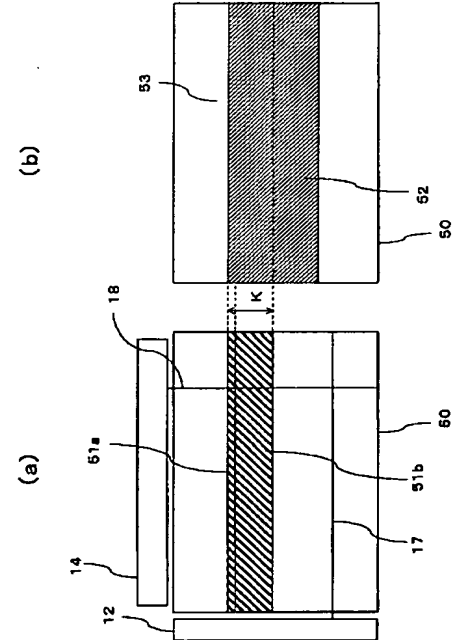
【図 18】



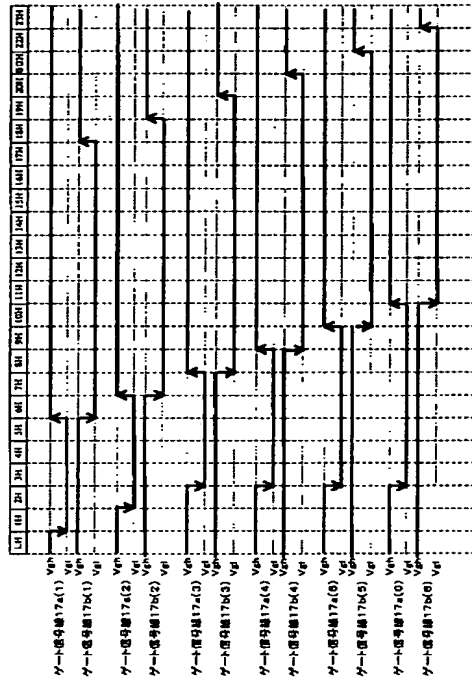
【図 19】



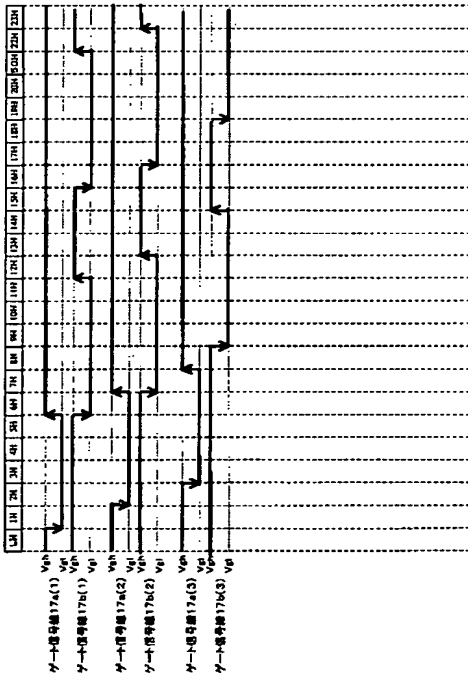
【図 20】



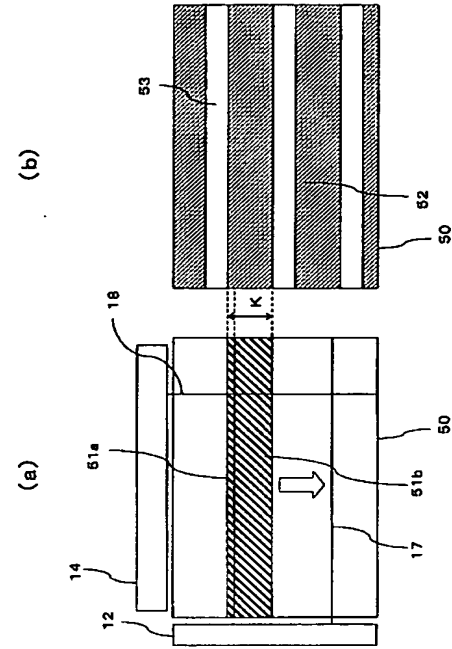
【図 2 1】



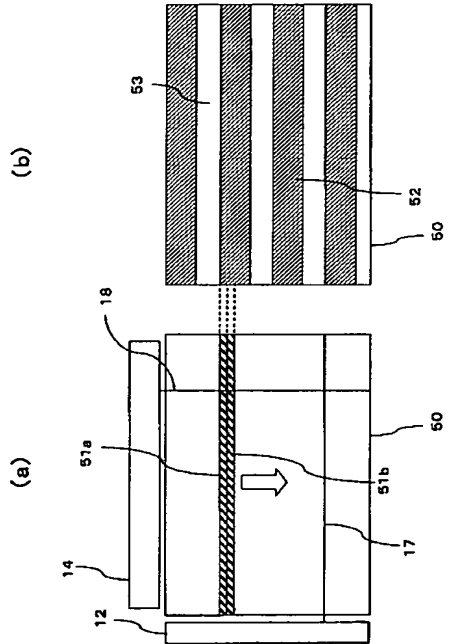
【図 2 3】



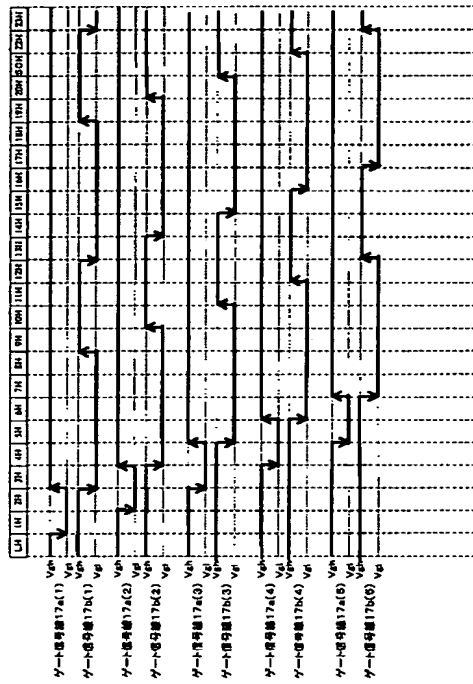
【図 2 2】



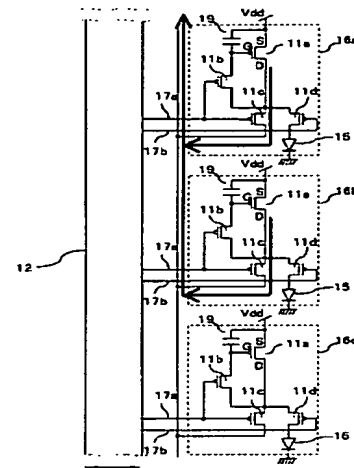
【図 2 4】



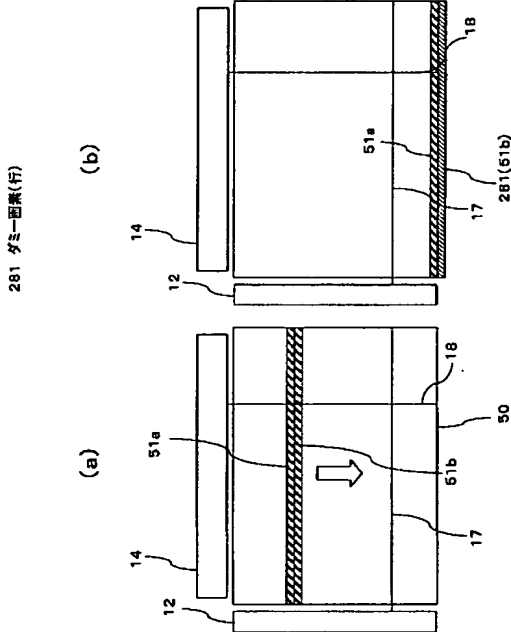
【図 25】



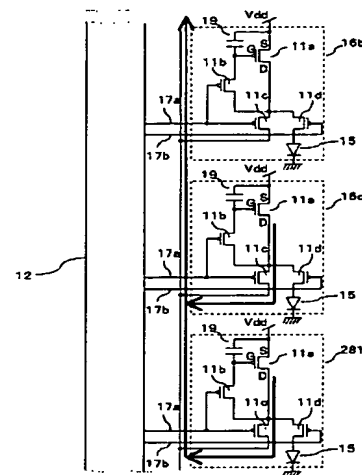
【図 26】



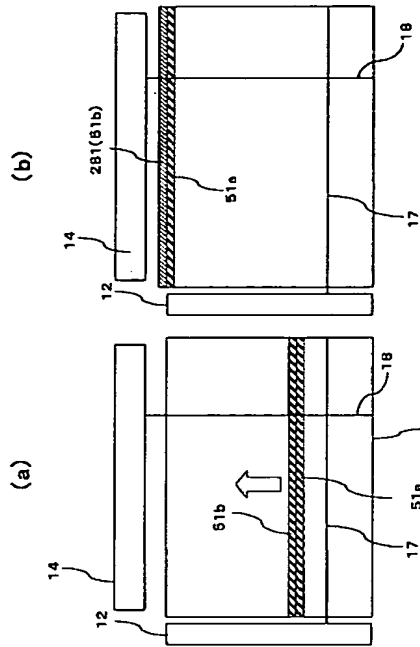
【図 27】



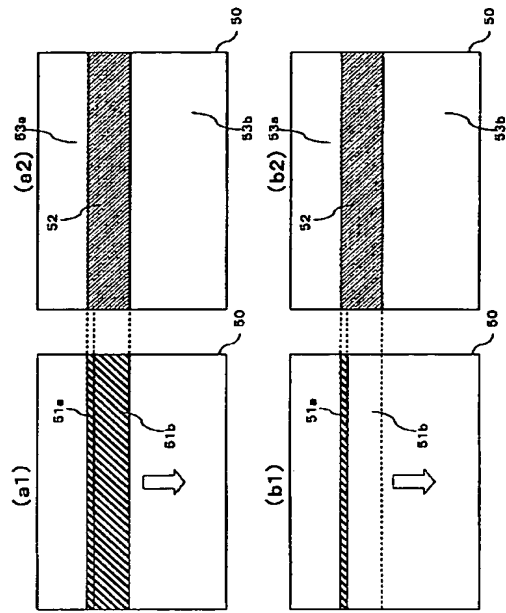
【図 28】



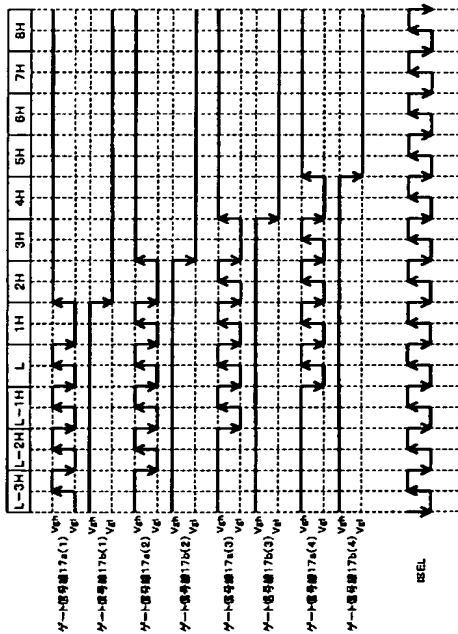
【図 29】



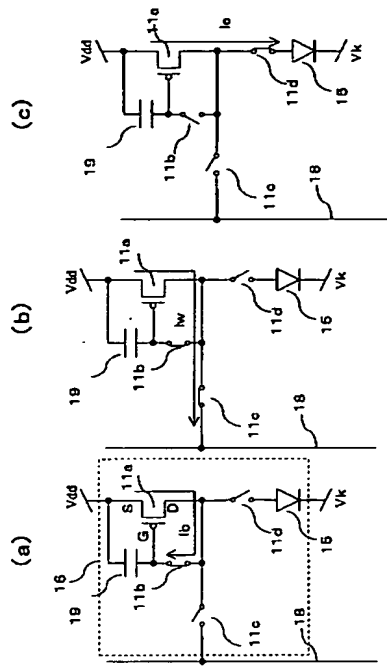
【図 30】



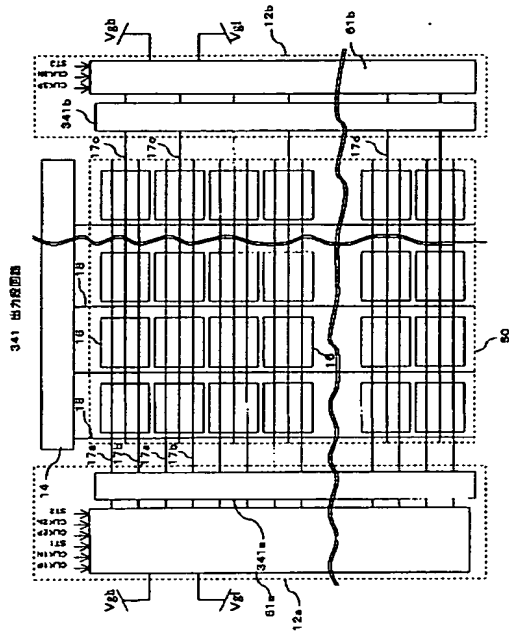
【図 31】



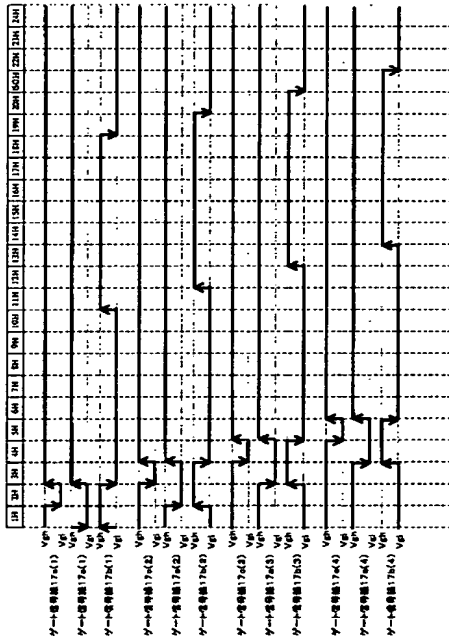
【図 3 3】



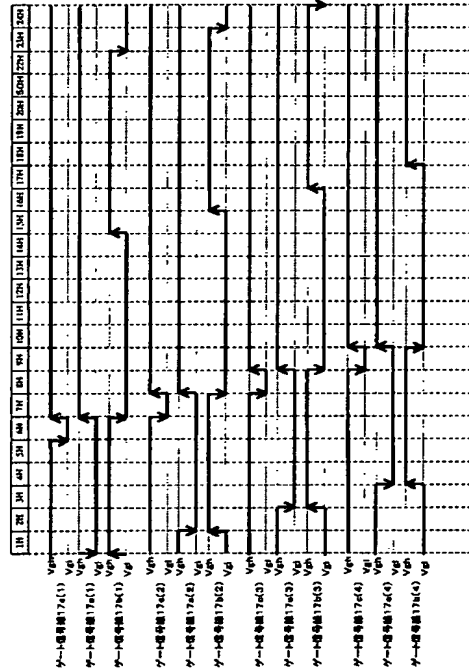
【図 3 4】



【図 3 5】

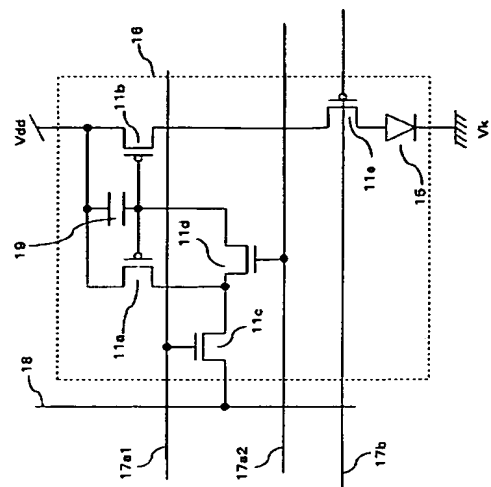
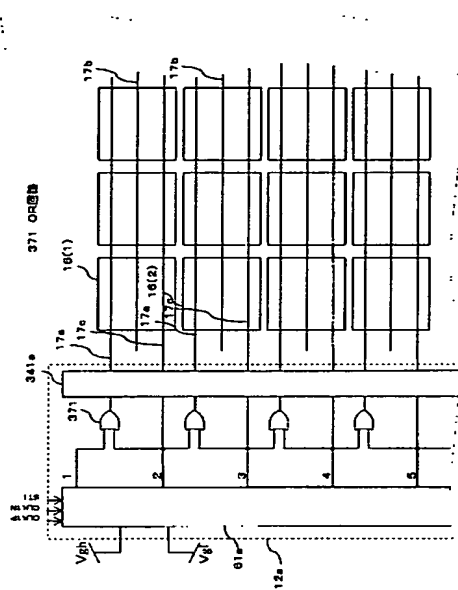


【図 3 6】

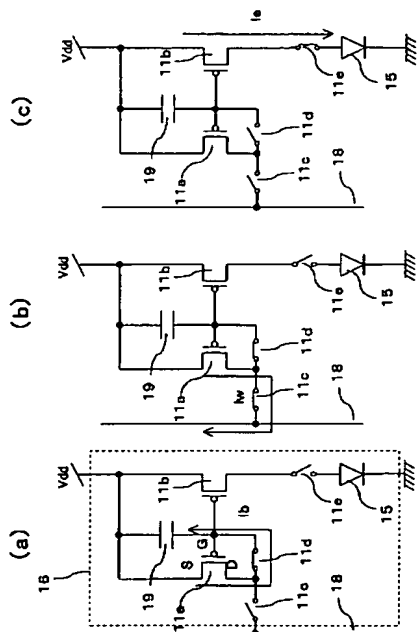




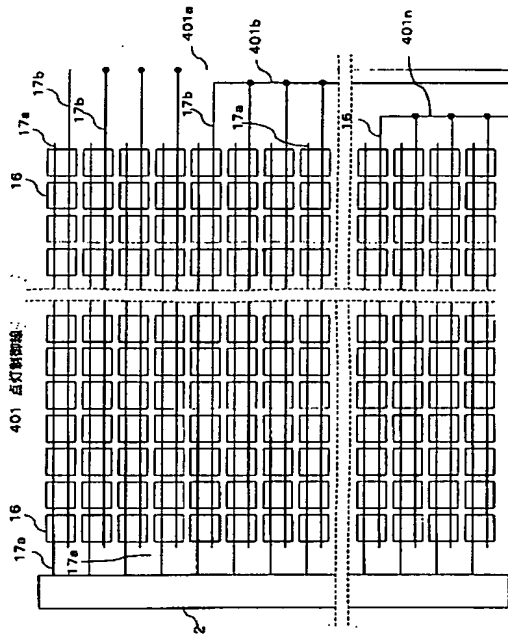
【 例 3 8 】



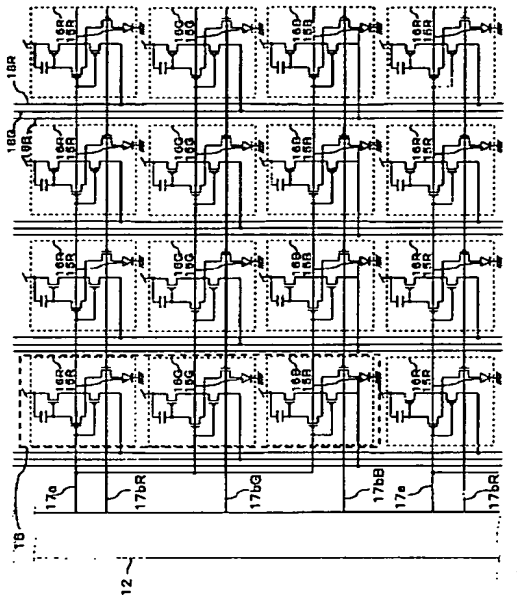
【图 39】



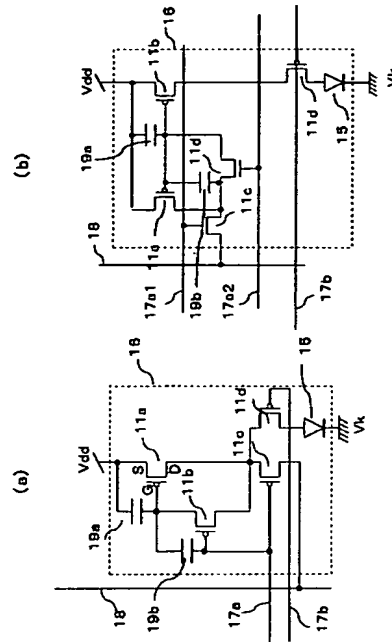
【圖 40】



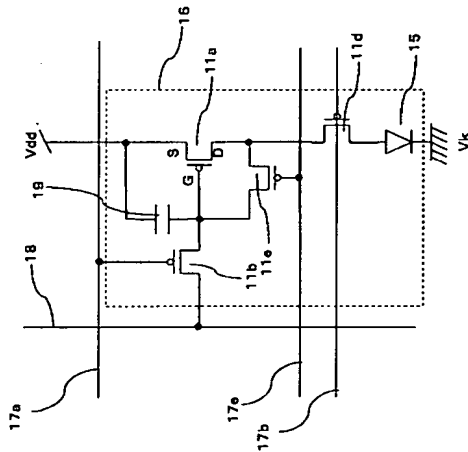
【図 4 1】



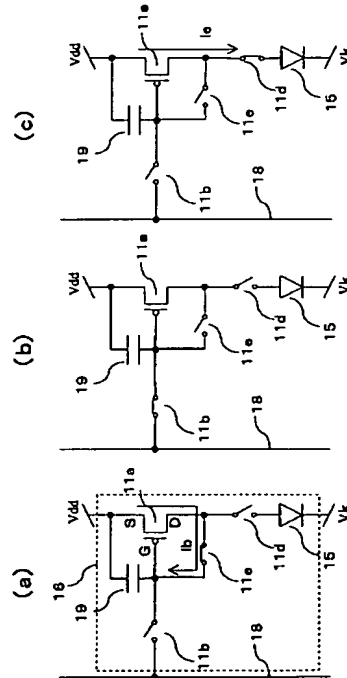
【図 4 2】



【図 4 3】



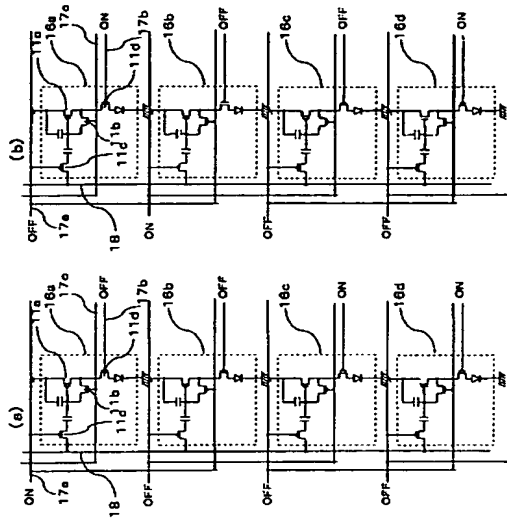
【図 4 4】



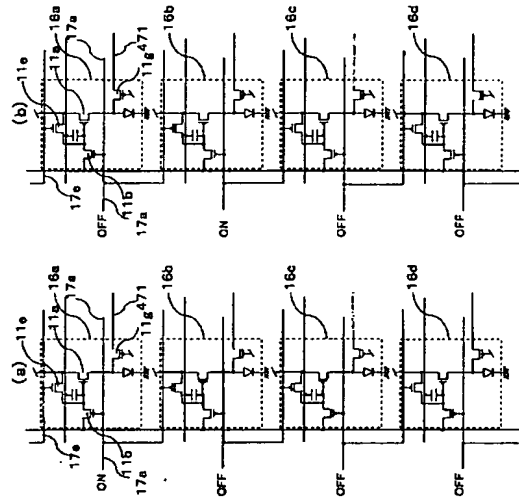




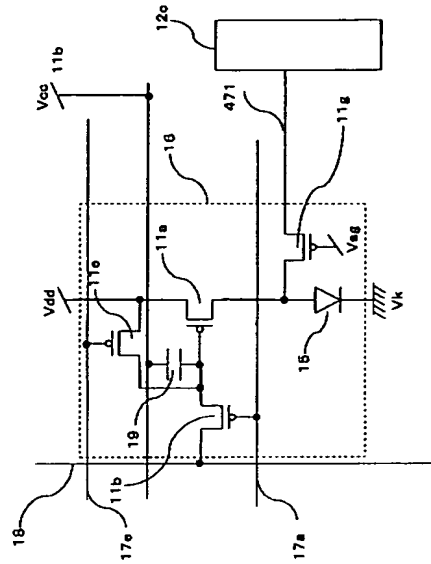
【 5 3 】



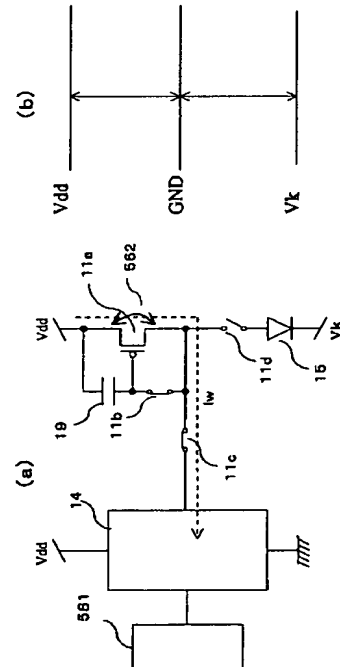
【 図 5 5 】



【 図 5 4 】

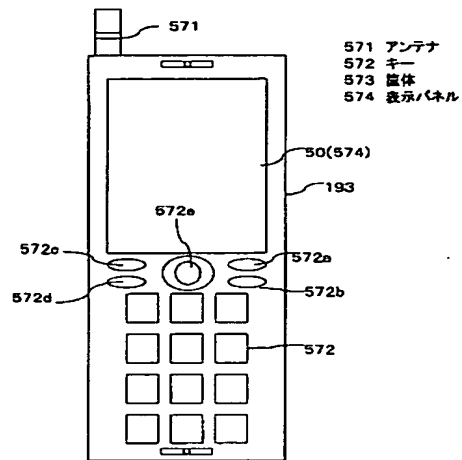


【 ㊦ 5 6 】

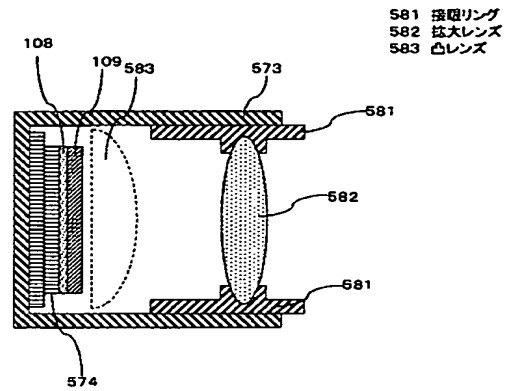


561 電子ポリウム回路  
562 TFTのSD(ノース-ドレイン)シヨート

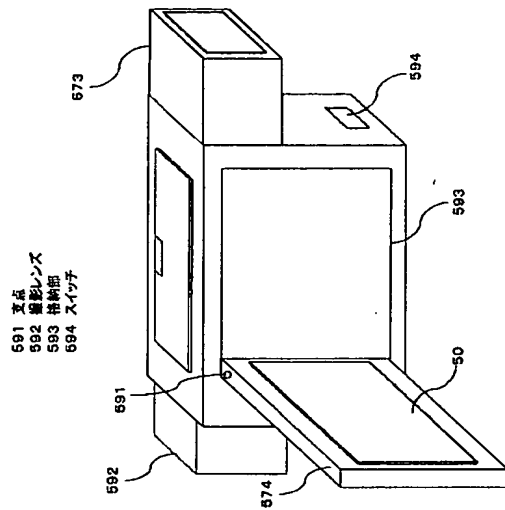
【図 57】



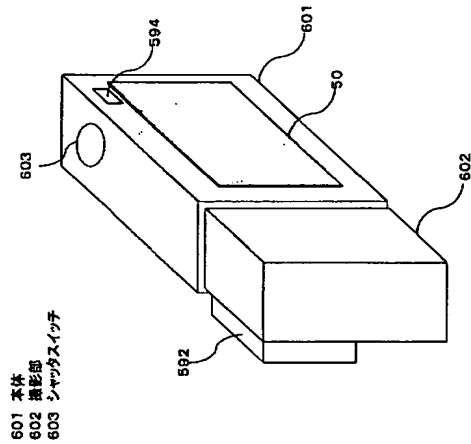
【図 58】



【図 59】

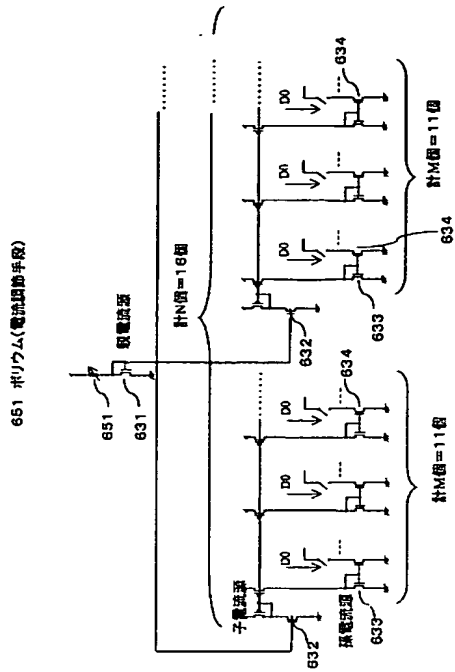


【図 60】

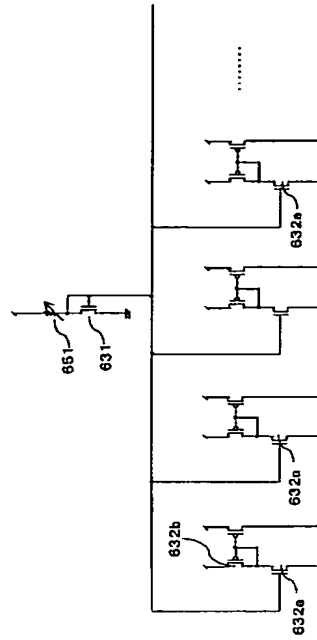




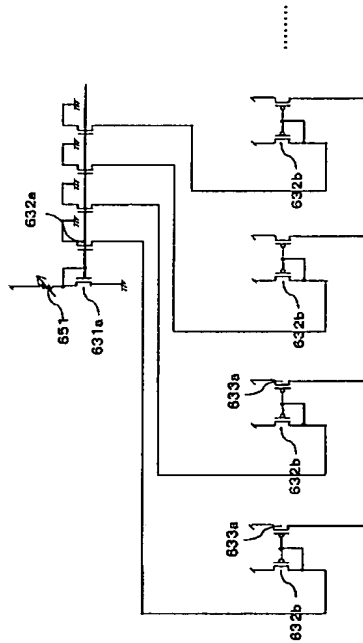
【 図 6 5 】



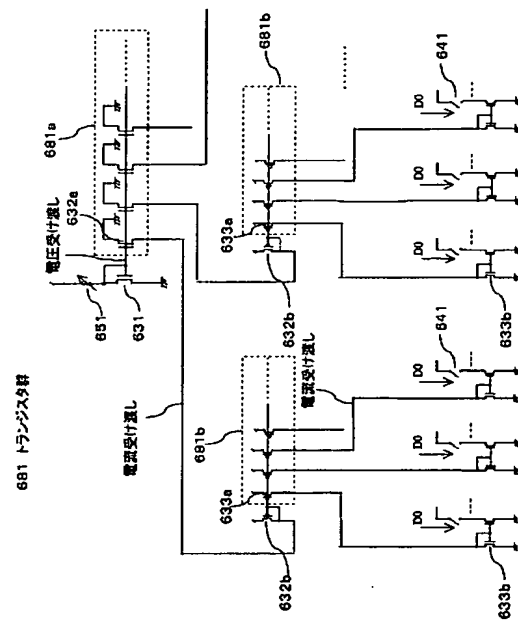
【 6 6 】



【图 67】



【 図 6 8 】

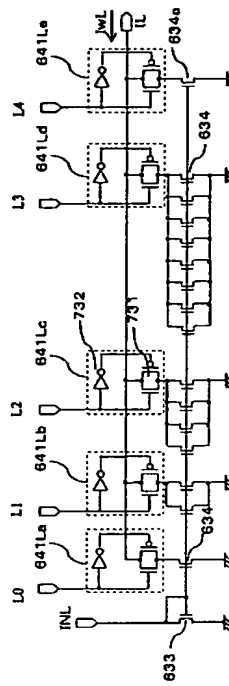




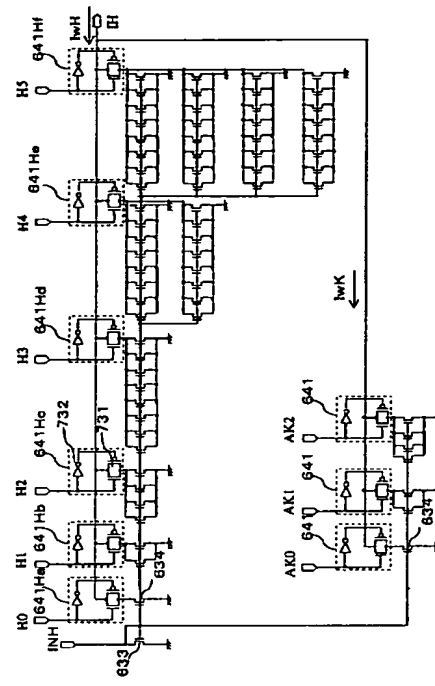


【図 73】

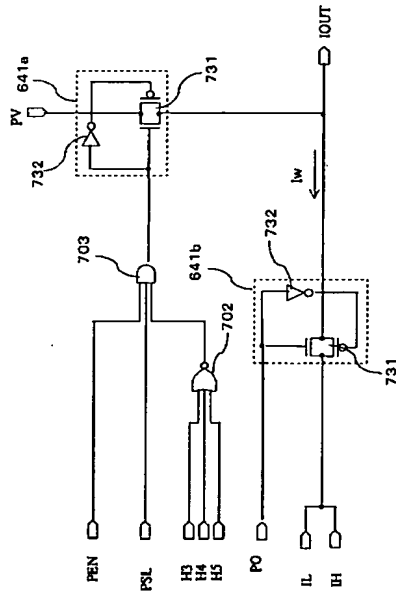
731 アナログスイッチ  
732 インバータ



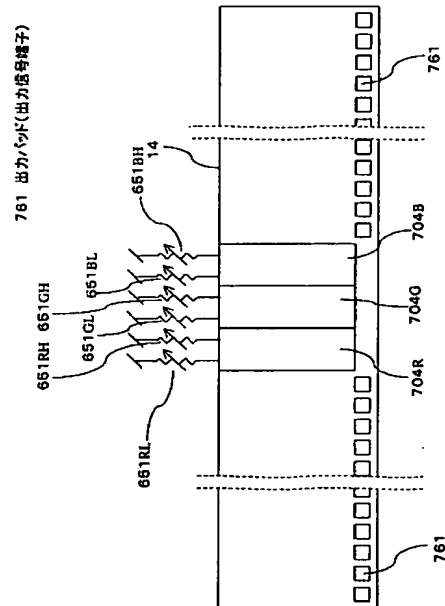
【図 74】



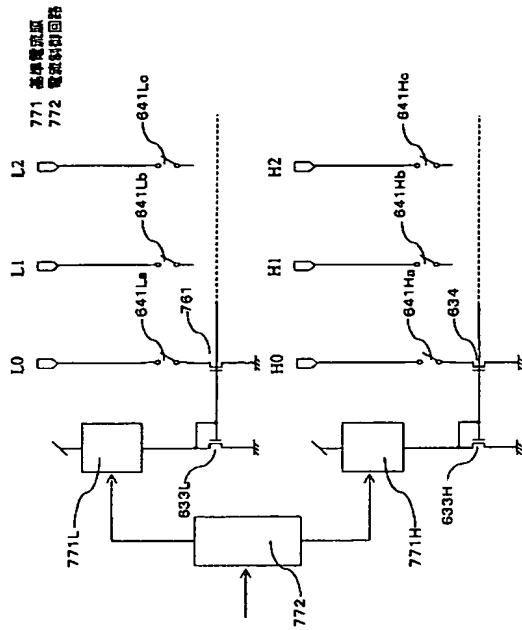
【図 75】



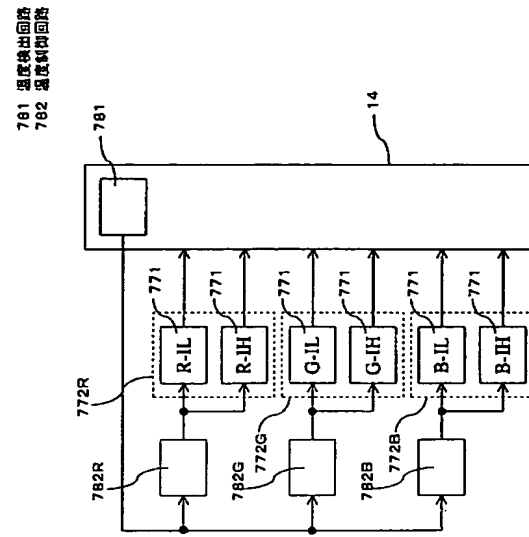
【図 76】



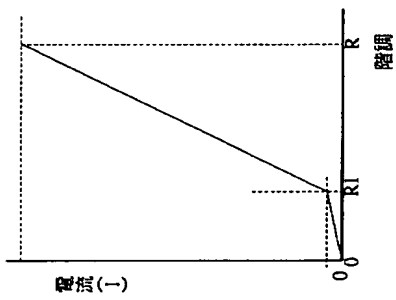
【図 77】



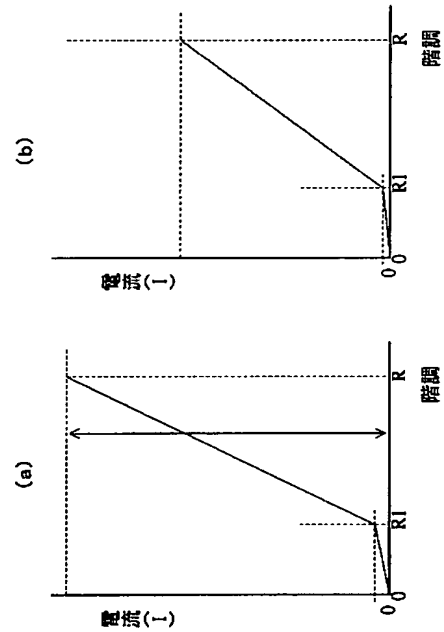
【図 78】



【図 79】



【図 80】





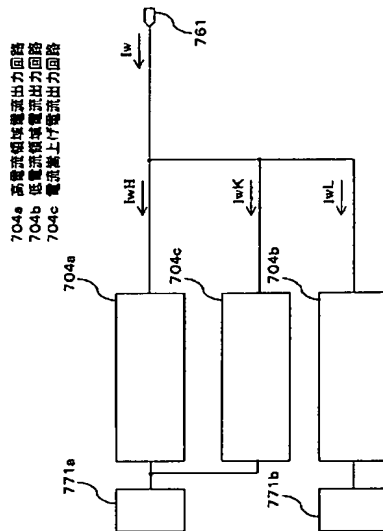
【図 85】

回路	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	1	1	1	0	1	0	0	0	0	0	0
9	1	1	1	0	1	1	0	0	0	0	0
10	1	1	1	0	1	0	1	0	0	0	0
11	1	1	1	0	1	1	1	0	0	0	0
12	1	1	1	0	1	0	0	1	0	0	0
13	1	1	1	0	1	1	0	1	0	0	0
14	1	1	1	0	1	0	1	1	0	0	0
15	1	1	1	0	1	1	1	1	0	0	0
16	1	1	1	0	1	0	0	0	1	0	0
17	1	1	1	0	1	1	0	0	1	0	0
18	1	1	1	0	1	0	1	0	1	0	0
..											

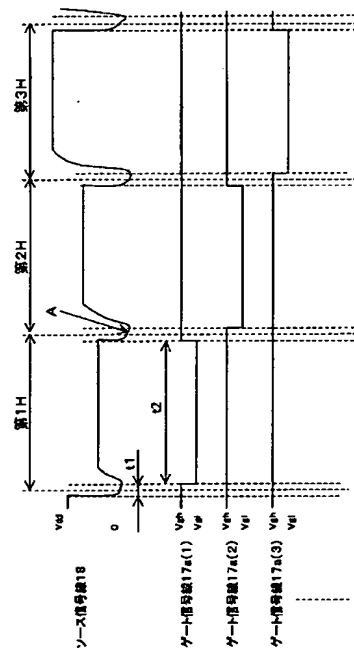
【図 86】

回路	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	0	0	0	1	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0
10	0	1	0	1	0	0	0	0	0	0	0
11	1	1	0	1	0	0	0	0	0	0	0
12	0	0	1	1	0	0	0	0	0	0	0
13	1	0	1	1	0	0	0	0	0	0	0
14	0	1	1	1	0	0	0	0	0	0	0
15	1	1	1	1	0	0	0	0	0	0	0
16	1	1	1	1	1	0	0	0	0	0	0
17	1	1	0	0	1	1	0	0	0	0	0
18	1	1	0	0	1	0	1	0	0	0	0
..											

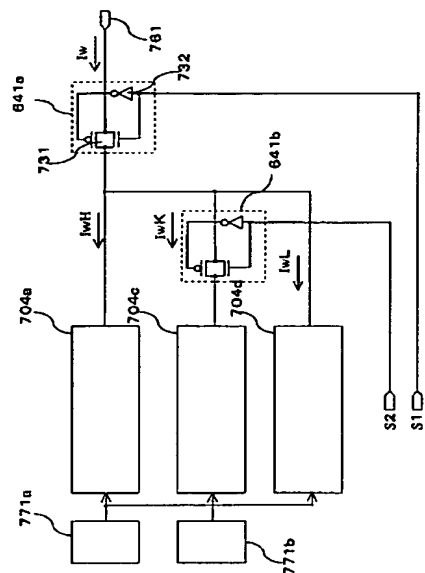
【図 87】



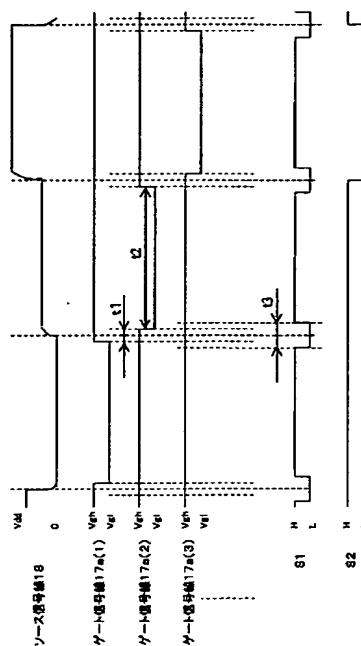
【図 88】



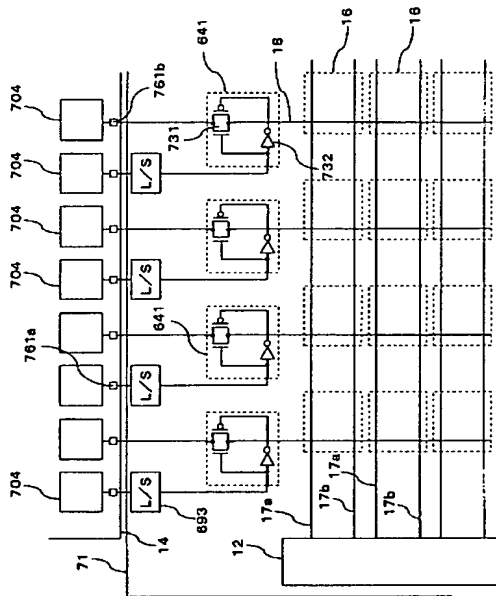
【図 89】



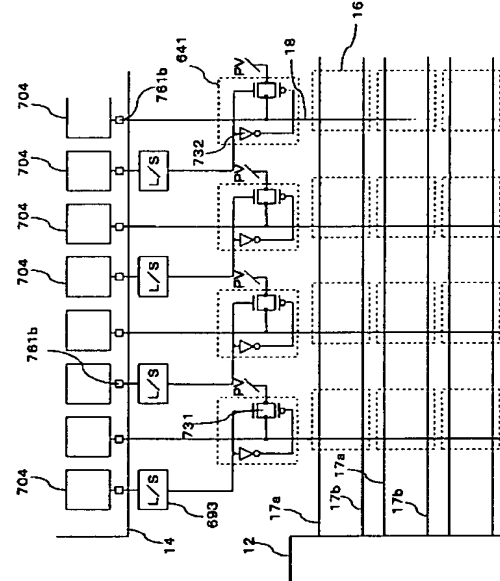
【図 90】



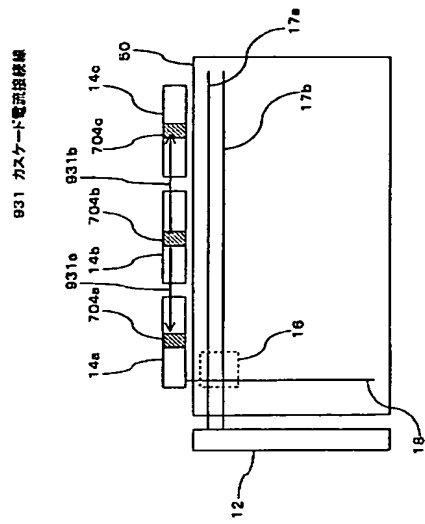
【図 91】



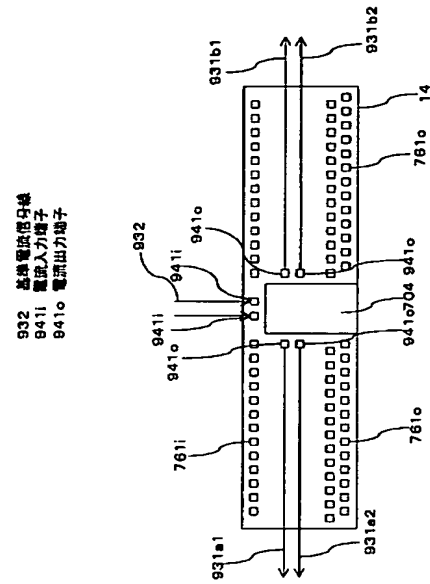
【図 92】



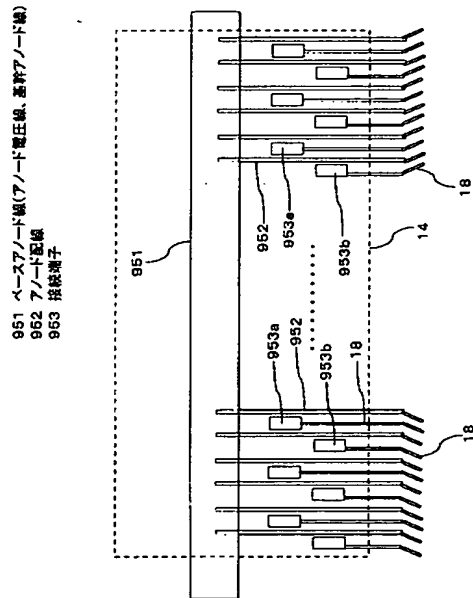
【図 93】



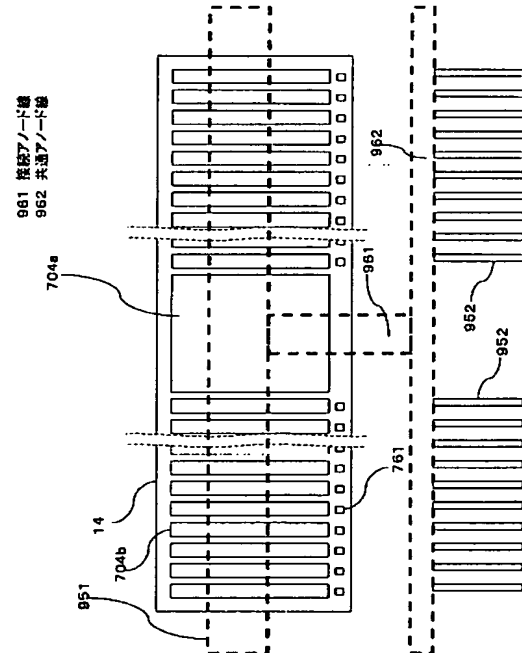
【図 94】



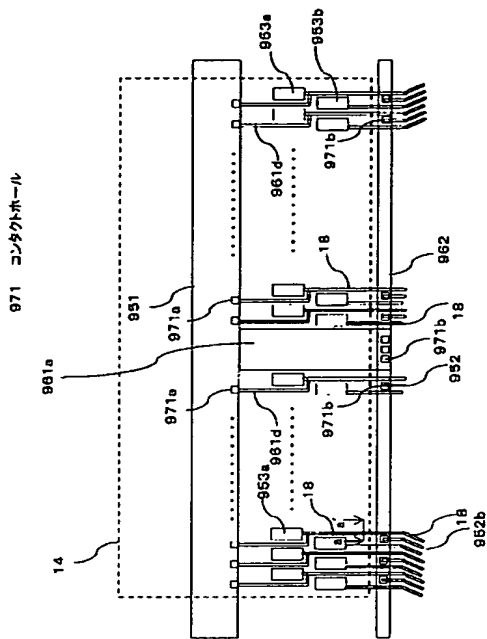
【図 95】



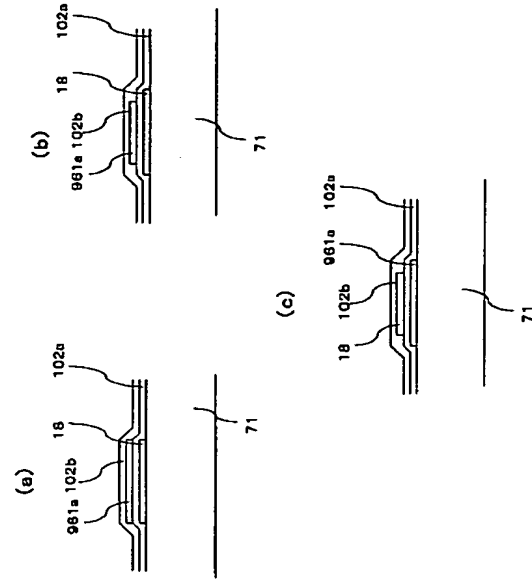
【図 96】



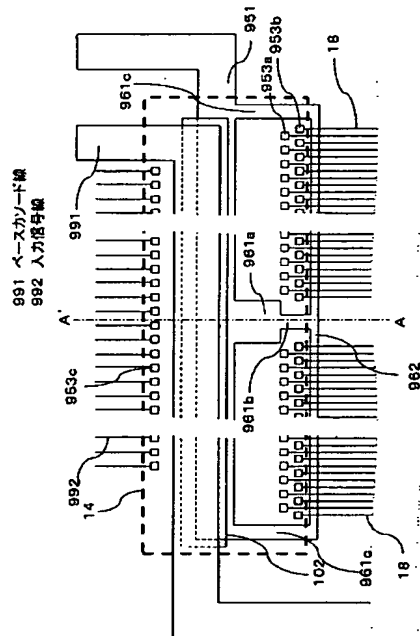
【 9 7 】



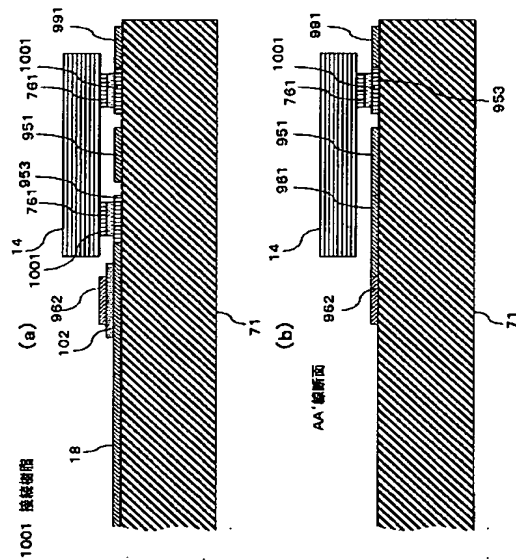
【 9 8 】



【 図 9 9 】

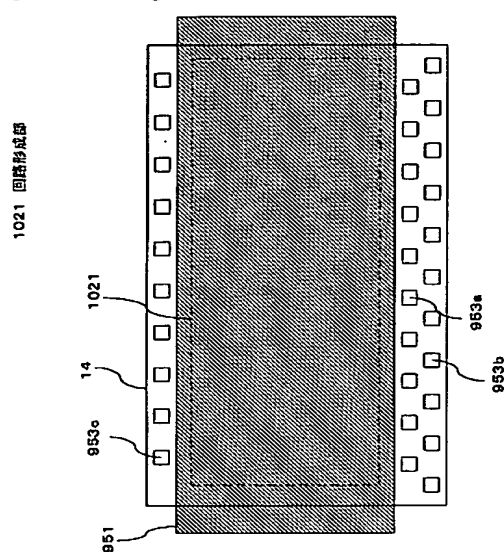


【 1 0 0 】

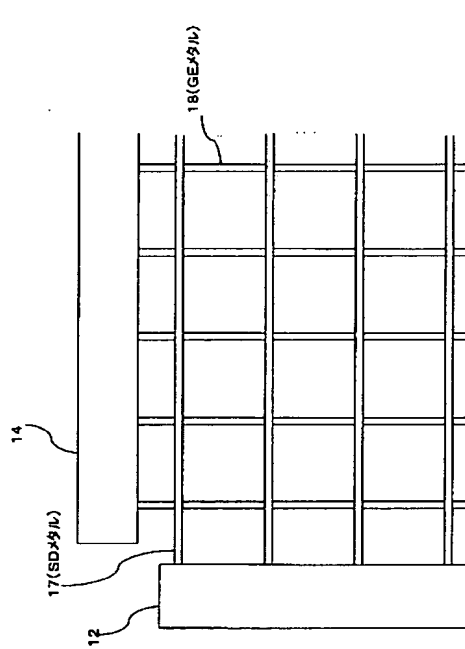




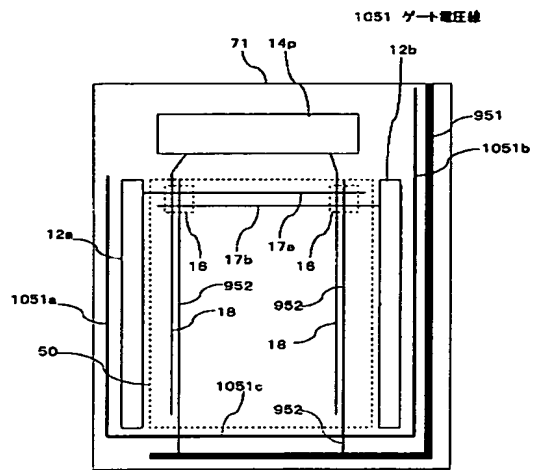
【图 102】



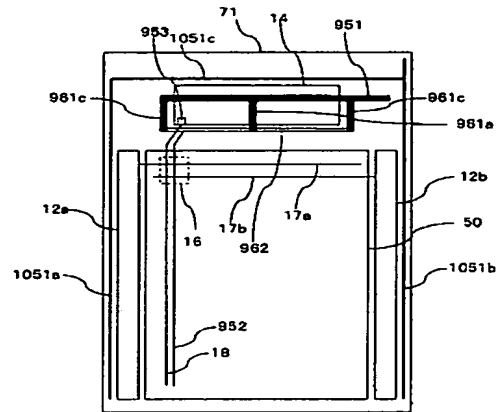
【 図 1 0 4 】



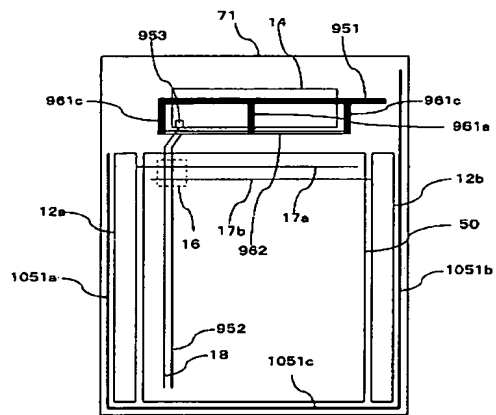
【図 105】



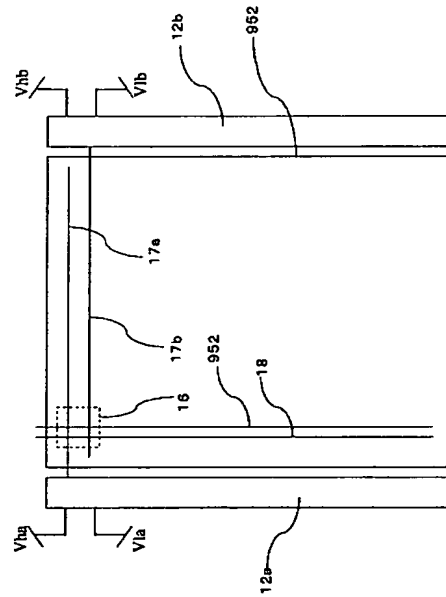
【図 106】



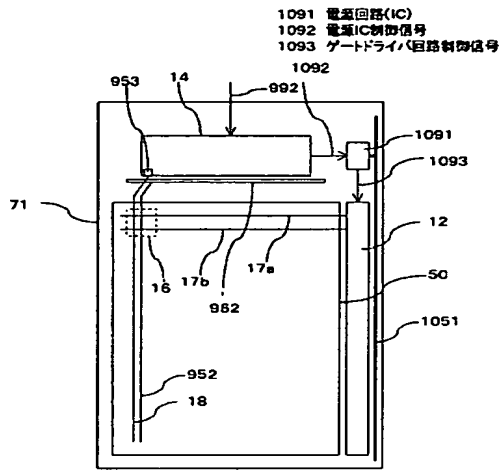
【図 107】



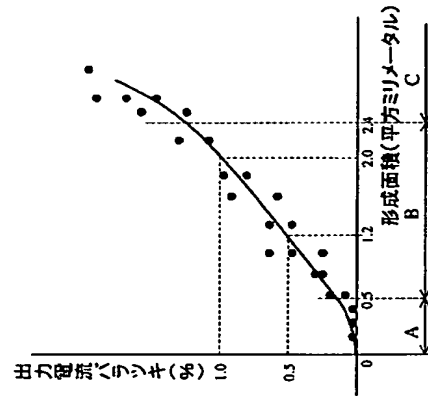
【図 108】



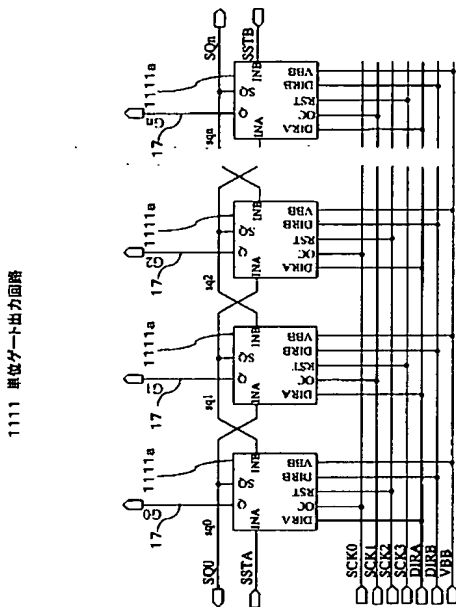
【 109 】



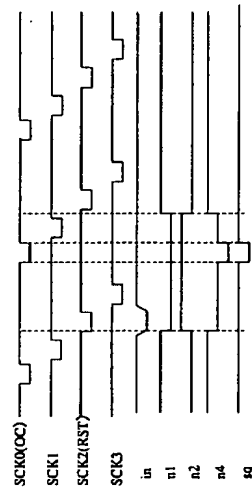
**【 1 1 0 】**



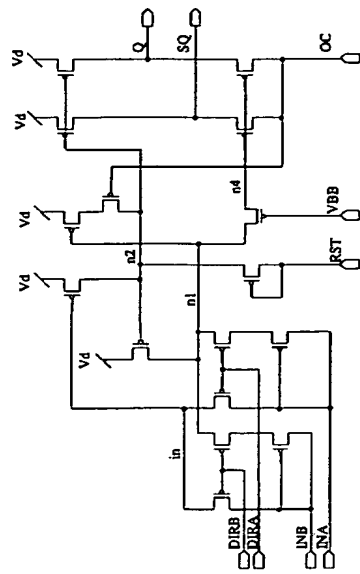
【 図 1 1 1 】



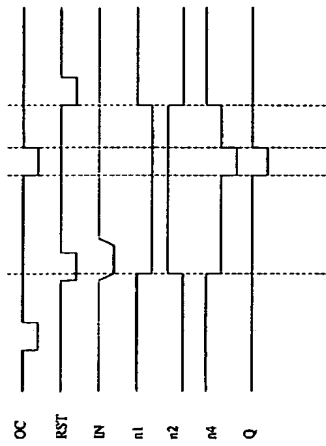
【图 1 1 2】



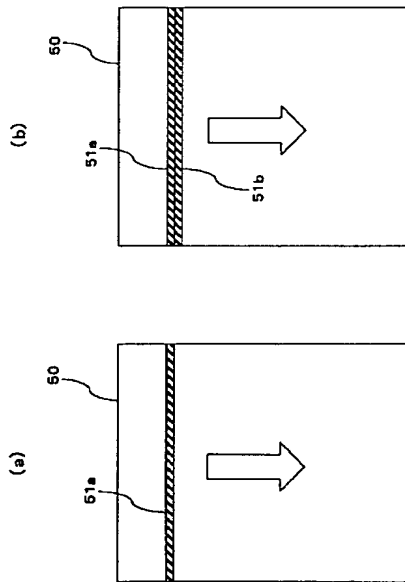
【図 1 1 3】



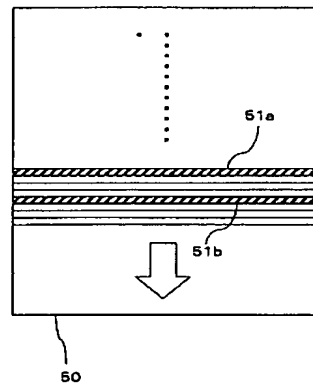
【図 1 1 4】



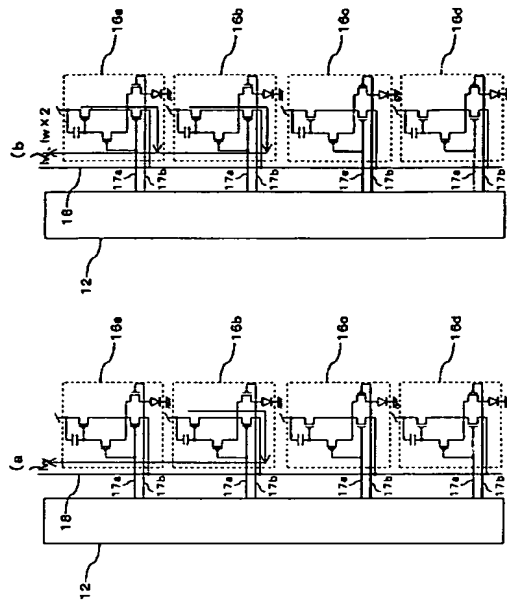
【図 1 1 5】



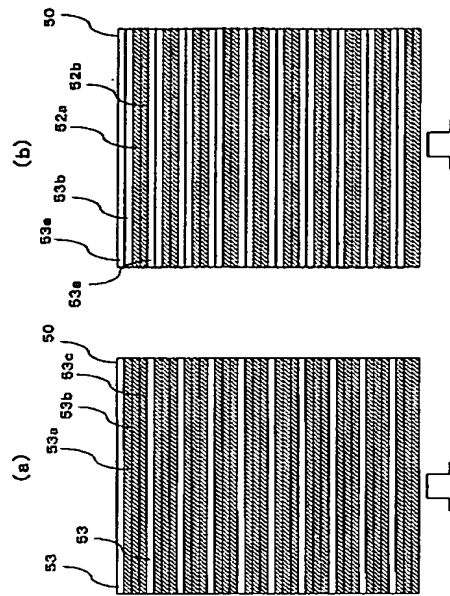
【図 1 1 6】



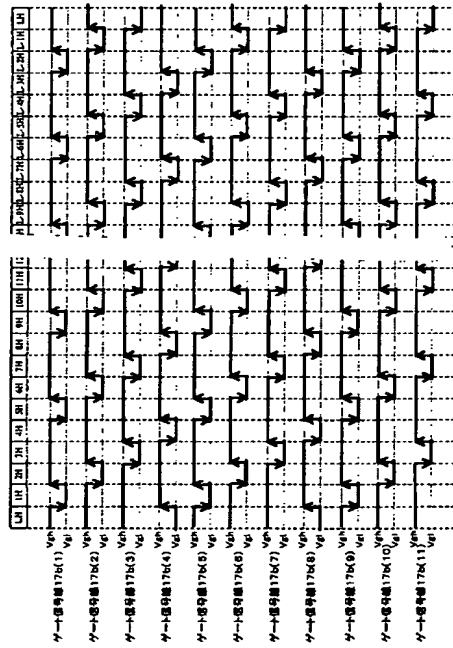
【図 117】



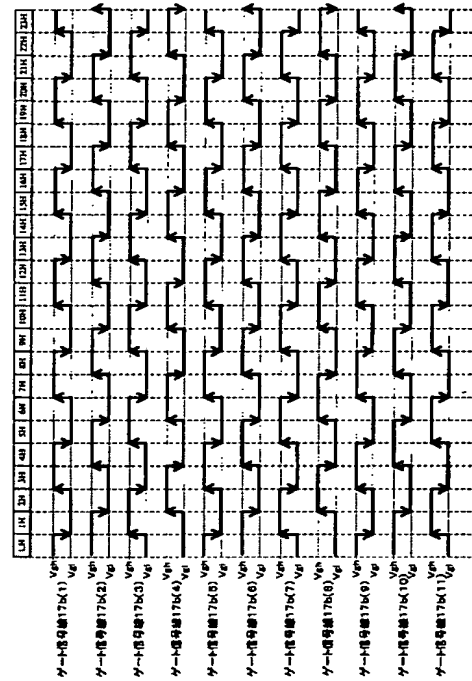
【図 118】



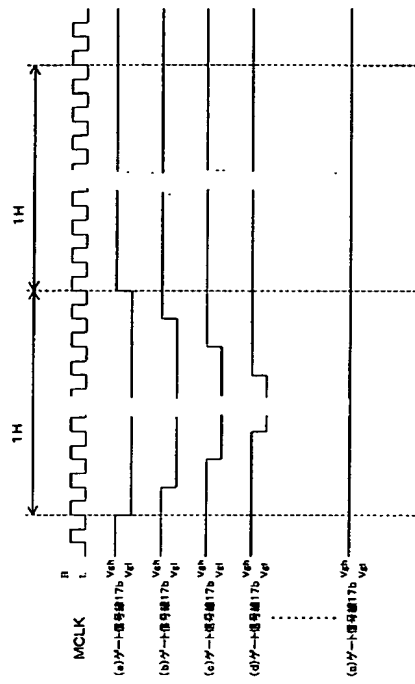
【図 119】



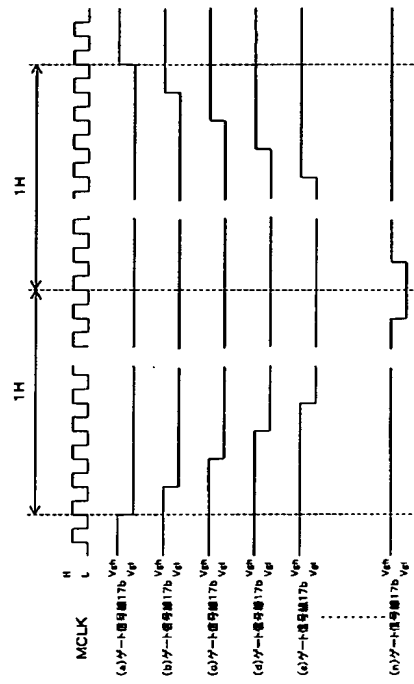
【図 120】



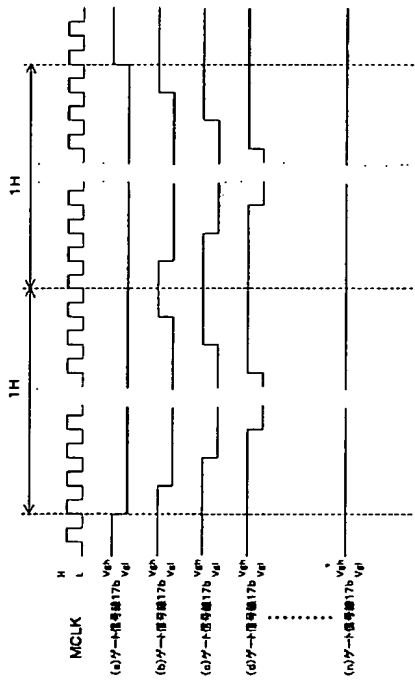
【図 1 2 1】



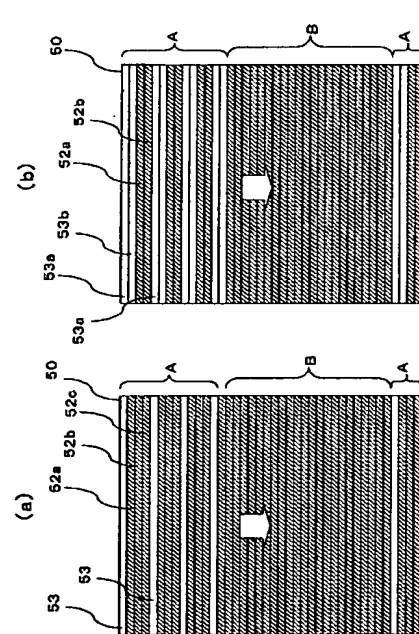
【図 1 2 2】



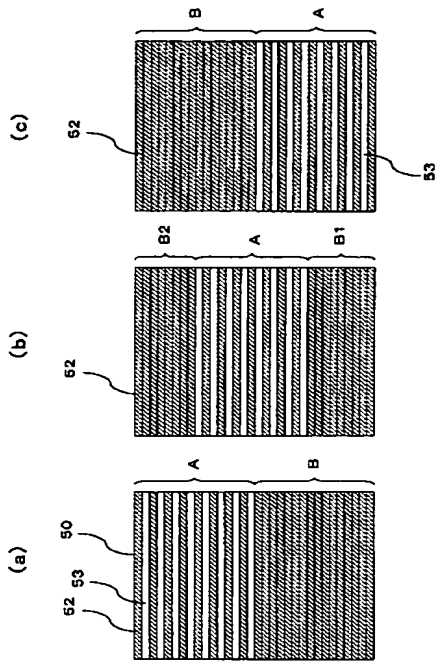
【図 1 2 3】



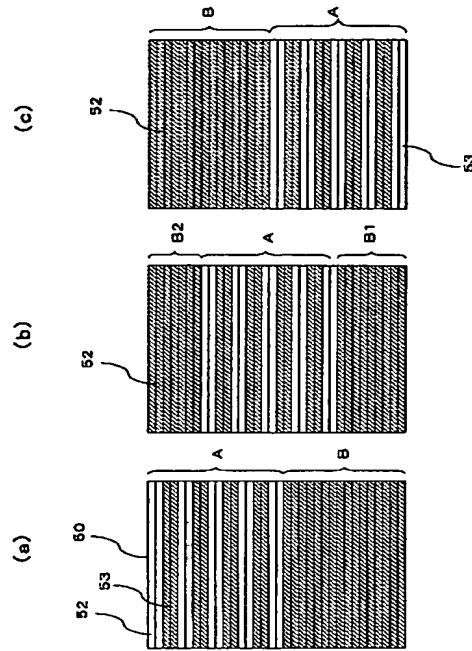
【図 1 2 4】



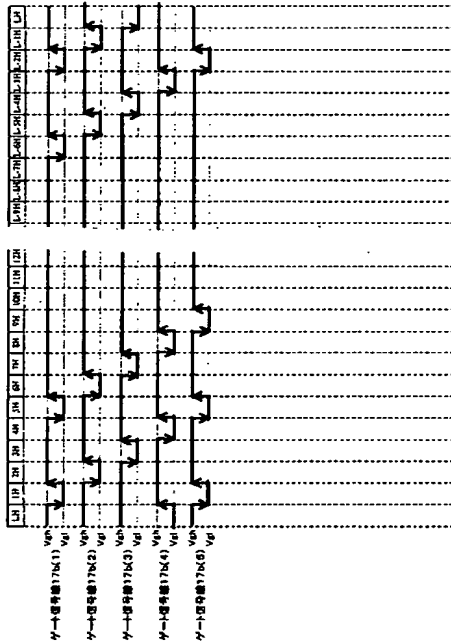
【図 125】



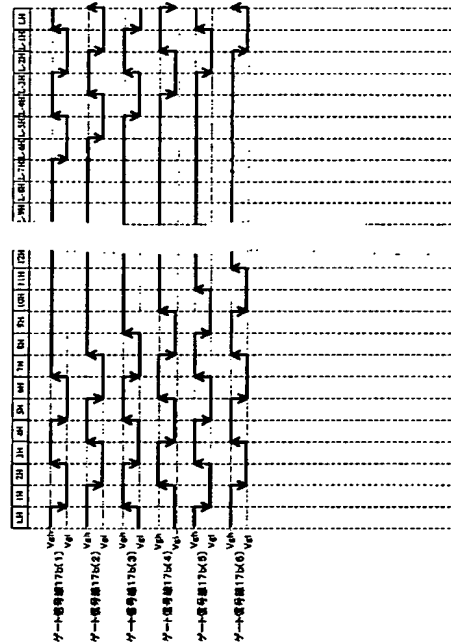
【図 126】



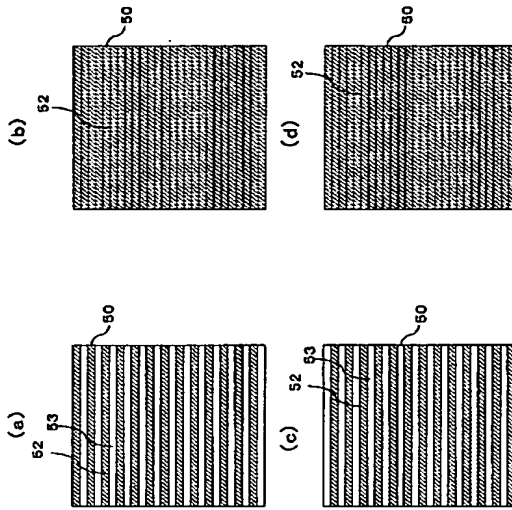
【図 127】



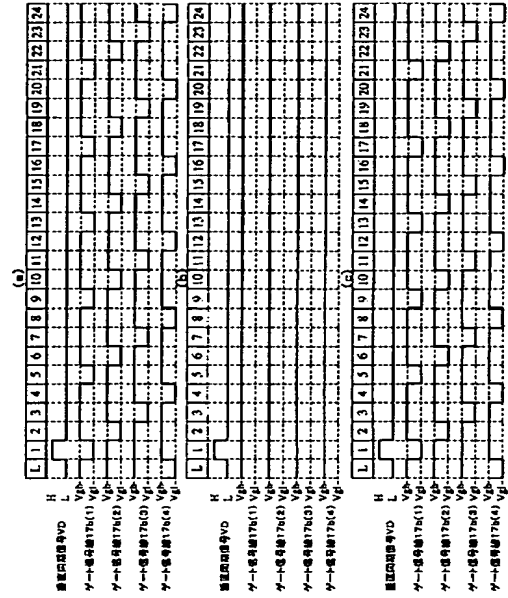
【図 128】



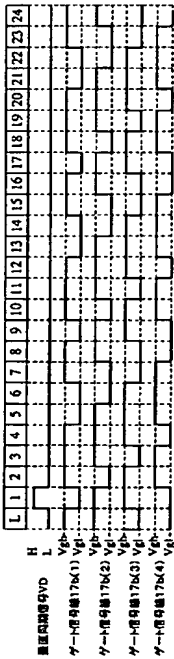
【図 129】



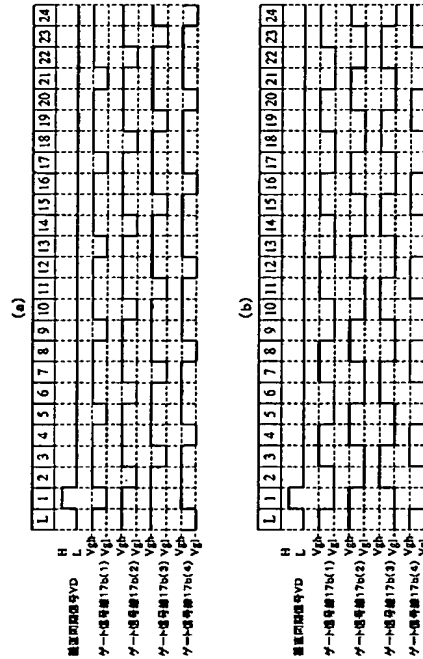
【図 130】



【図 131】



【図 132】

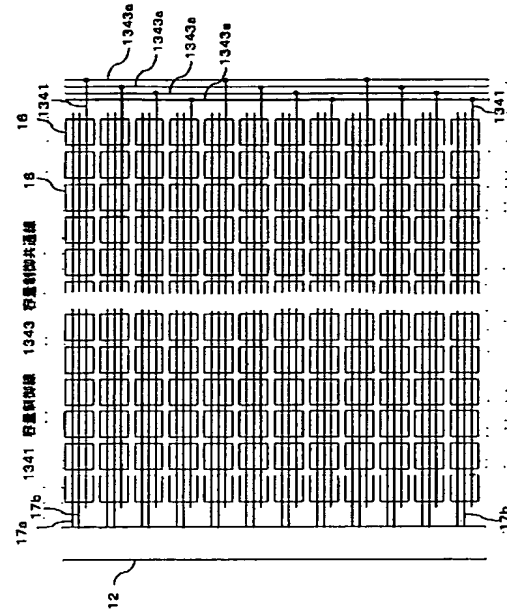




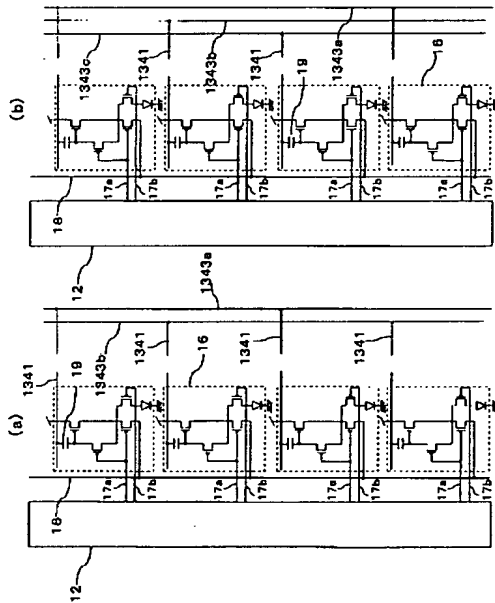
【図 133】

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	
電源供給線 9V <sub>DD</sub>																									
データ線 17a(1)																									
データ線 17a(2)																									
データ線 17a(3)																									
データ線 17a(4)																									

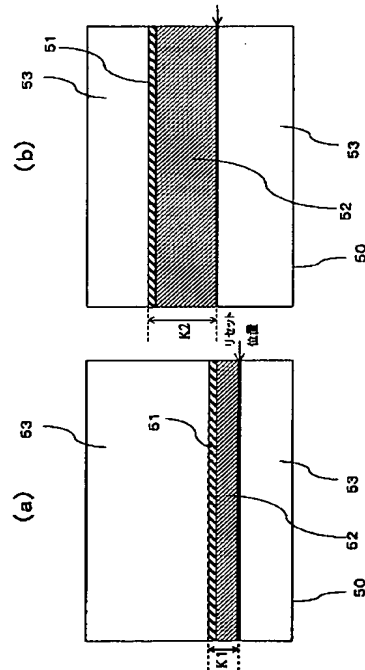
【図 134】



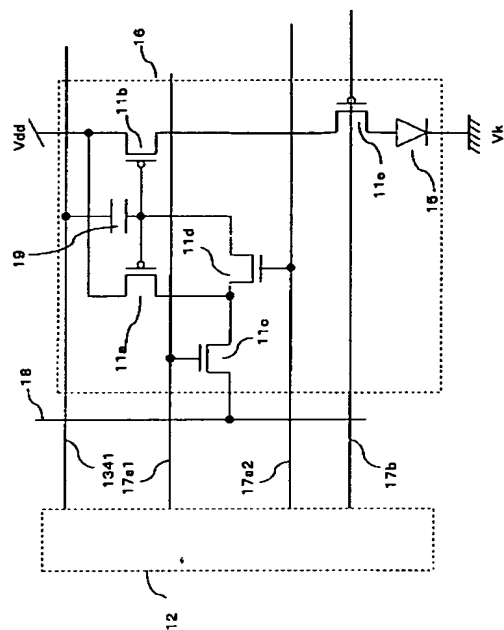
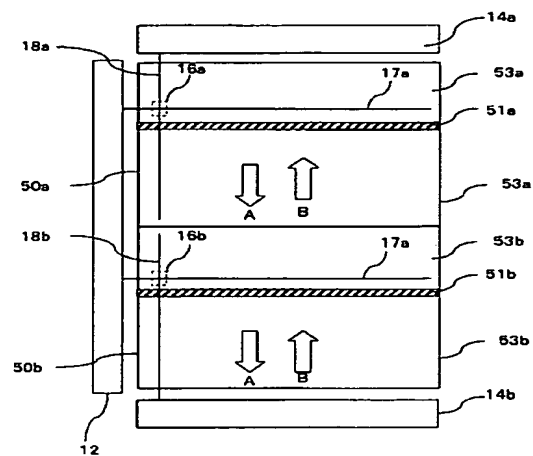
【図 135】



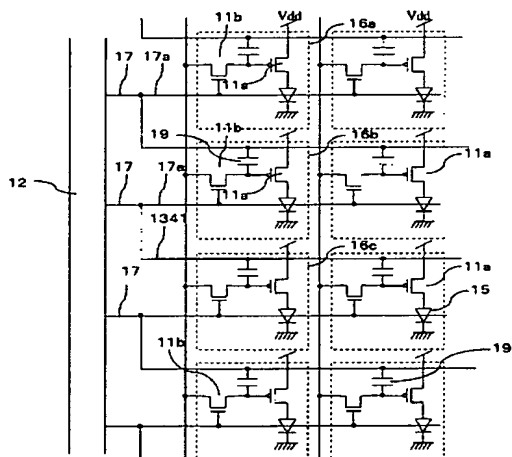
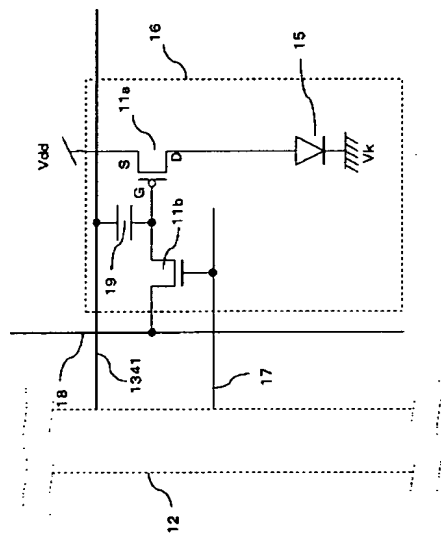
【図 136】



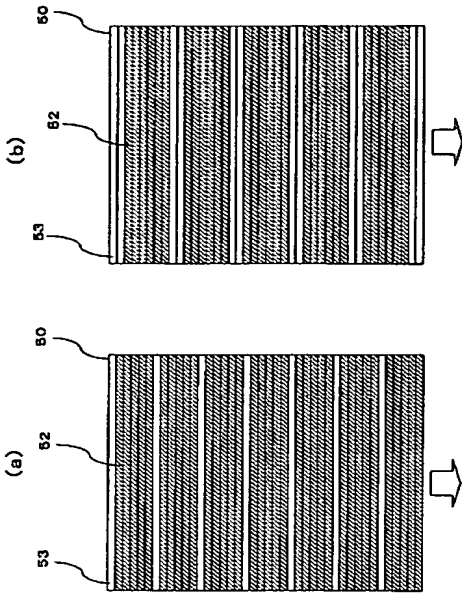
【 図 1 3 8 】



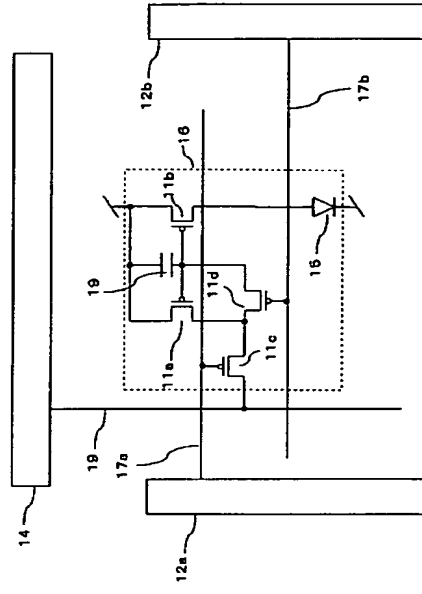
【図 140】



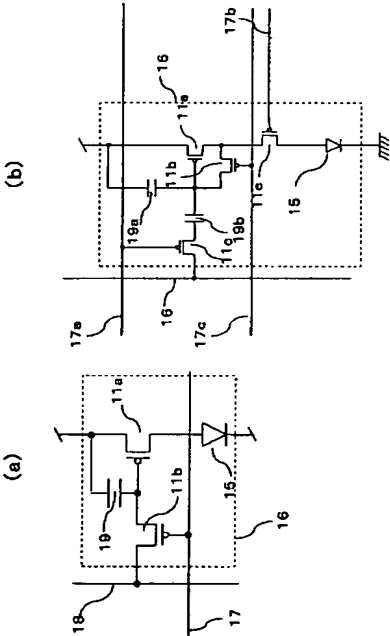
【図 1 4 1】



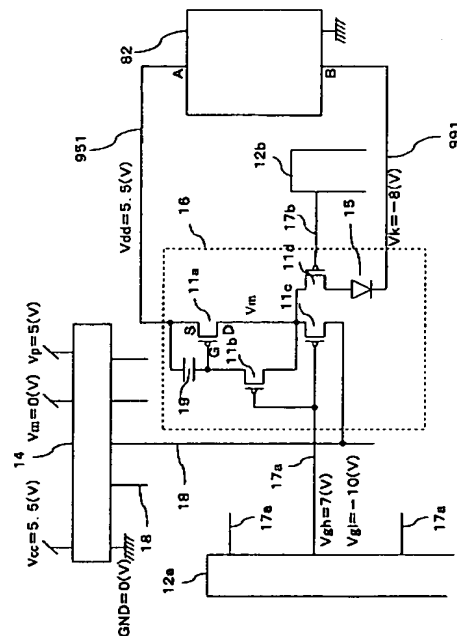
【図 1 4 2】



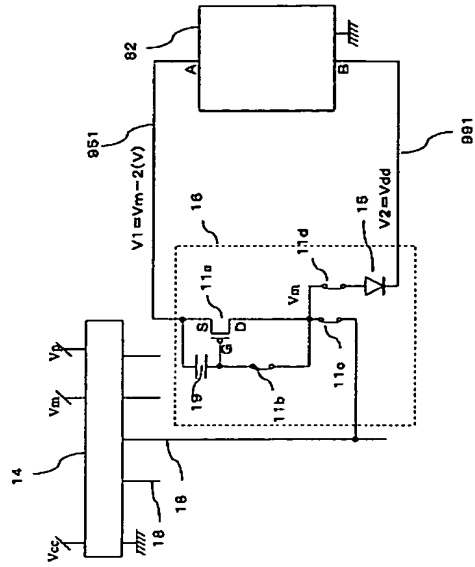
【図 1 4 3】



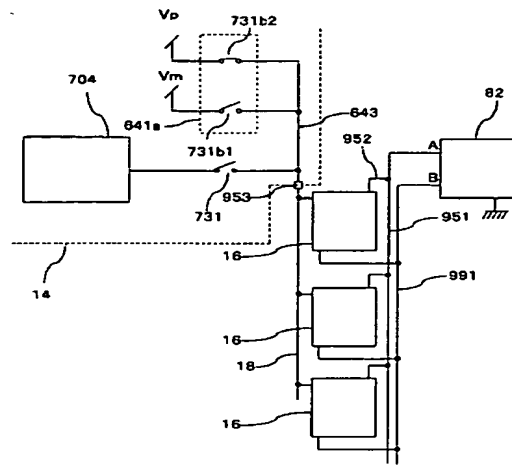
【図 1 4 4】



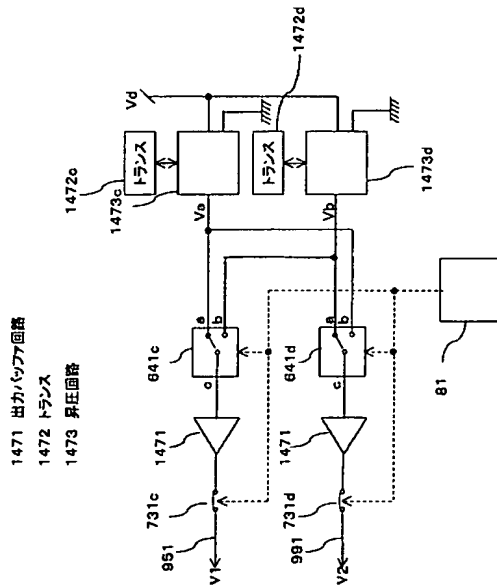
【図 145】



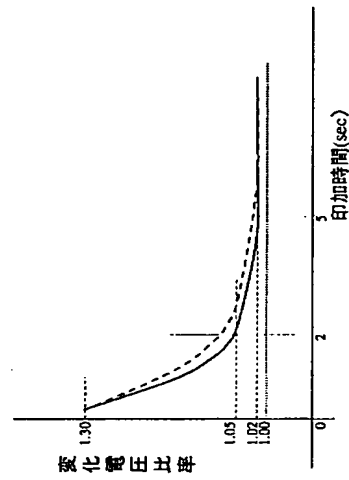
【図 146】



【図 147】

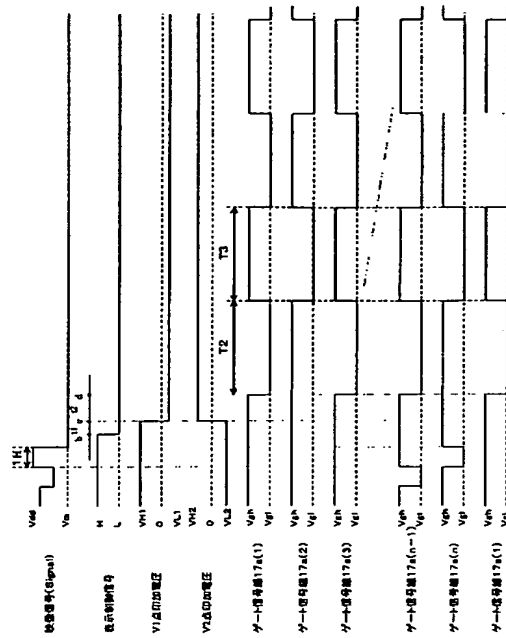


【図 148】

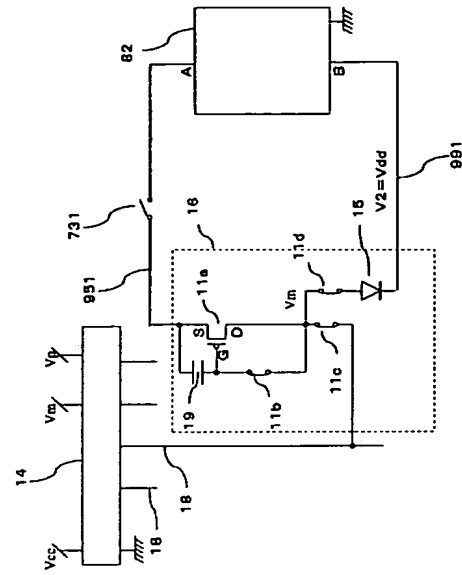




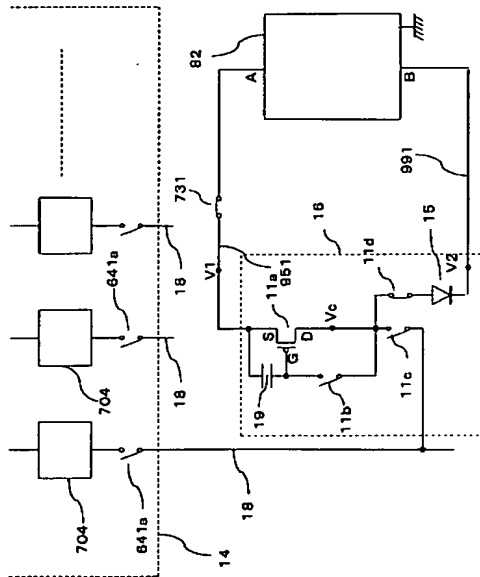
【 1 5 3 】



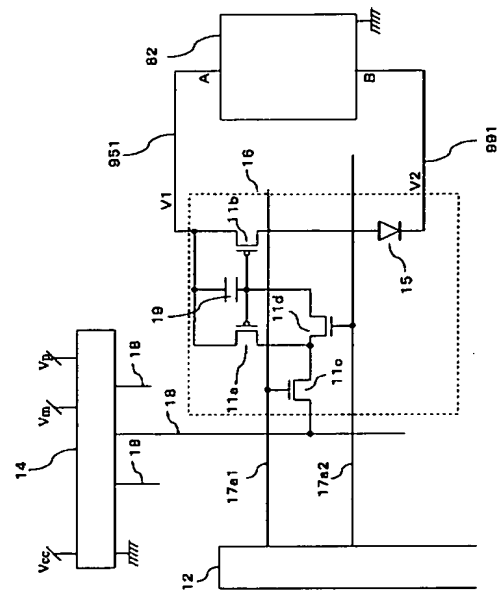
【 ㊦ 1 5 4 】



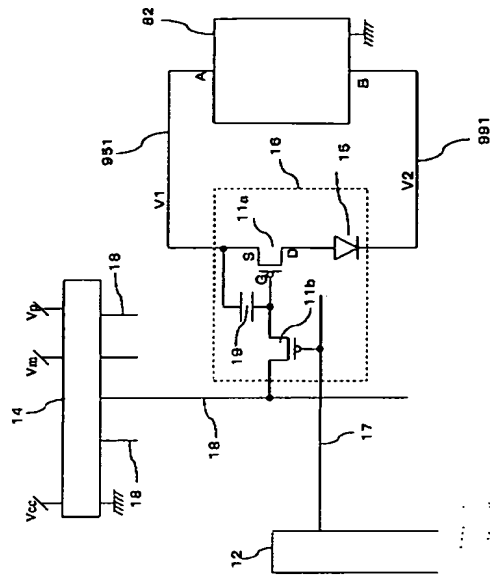
【 図 1 5 5 】



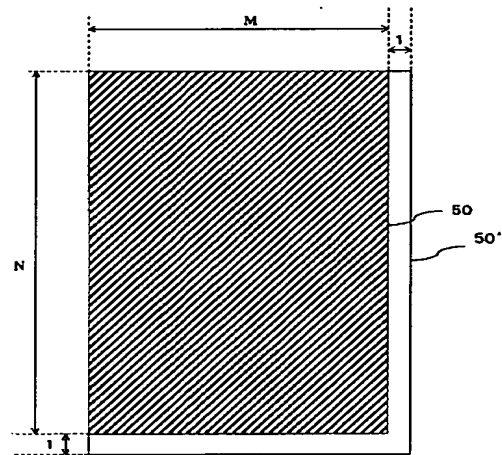
【 ㊦ 1 5 6 】



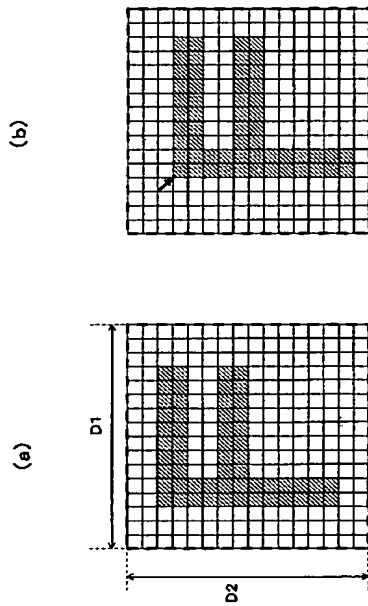
【図 157】



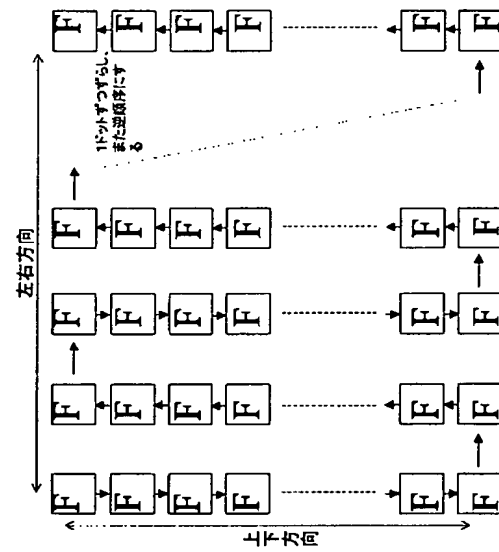
【図 158】



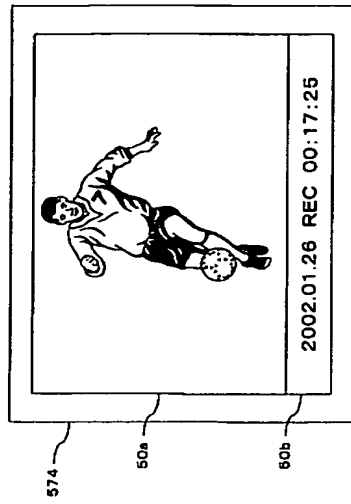
【図 159】



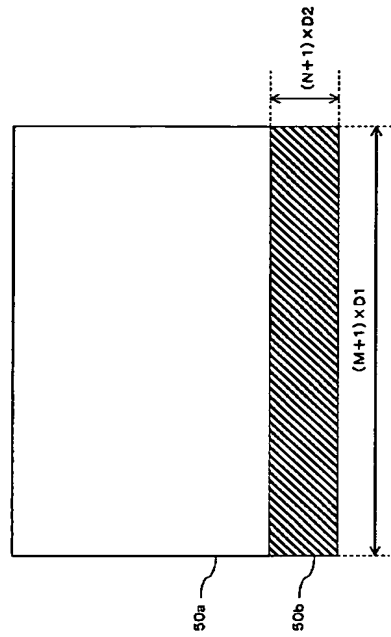
【図 160】



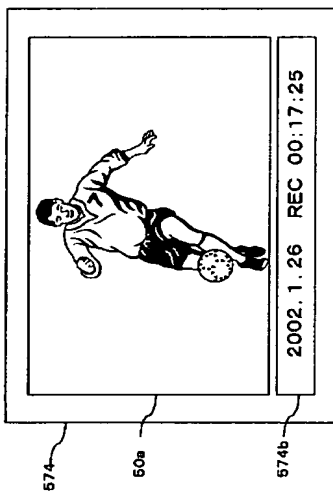
【図 161】



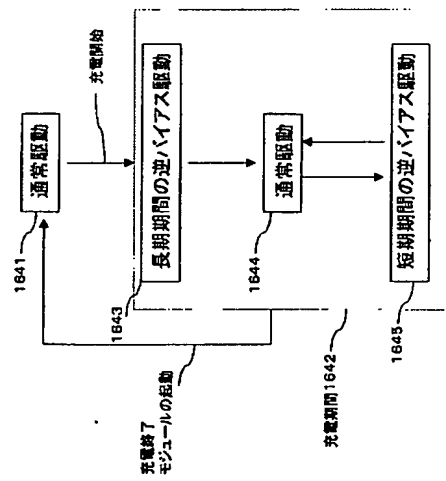
【図 162】



【図 163】

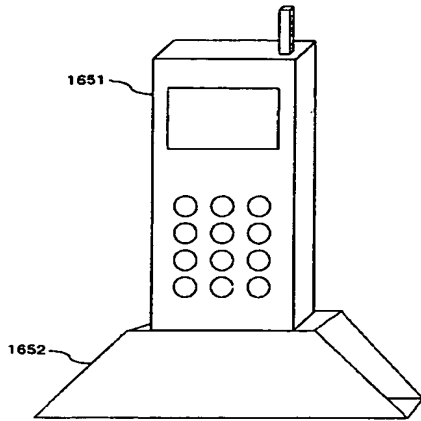


【図 164】





【図 165】



フロントページの続き

(51) Int. Cl.<sup>7</sup> ..... F I ..... テーマコード (参考)

... ..... G 0 9 G .. 3/20 ..... 6 2 1 B .....  
 ... ..... G 0 9 G .. 3/20 ..... 6 2 3 R .....  
 ... ..... G 0 9 G .. 3/20 ..... 6 2 4 B .....  
 ... ..... G 0 9 G .. 3/20 ..... 6 7 0 K .....  
 ... ..... H 0 5 B .. 33/14 ..... A .....



F ターム (参考) 5C080 1A06 1B05 1C03 1D03 1D29 1E01 1E29 1E30 1F03 1F11

• ..... 1G11 1H09 1J01 1J02 1J03 1J04 1J05 1J06 1K02 1K07

• ..... 1K43